

SH7786 グループ

32

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ

SuperH™ RISC engine ファミリ / SH7780 シリーズ

R8A77860

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事業の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違えば、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

はじめに

本 LSI は、ルネサス エレクトロニクスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイコンです。本 LSI は、CPU コアとして、SH-4A 拡張機能をサポートした SH-4A を内蔵しています。

対象者 本マニュアルは、本 LSI を用いた応用システムを設計するユーザーを対象としています。
本マニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 本マニュアルは、本 LSI のハードウェア機能と電気的特性をユーザーに理解していただくことを目的としています。

読み方

- 機能全体を理解しようとするとき。
目次にしたがって読んでください。
本書は、大きく分類すると、CPU、システム制御機能、周辺機能の順に構成されています。
- 各命令の詳細を理解したいとき。
別冊の「SH-4A拡張機能ソフトウェアマニュアル」を参照してください。

凡例 ビット表記 : 左側が上位ビット、右側が下位ビットの順に表記します。
数字の表記 : 2 進数は B'XXXX、16 進数は H'XXXX、10 進数は XXXX で表します。
記号の表記 : ローアクティブの信号にはオーバーバー (XXXX) を付けます。

略語の説明

ALU	Arithmetic Logic Unit 演算論理回路
ASID	Address Space Identifier アドレス空間識別子
BGA	Ball Grid Array ボールグリットアレイ
CPG	Clock Pulse Generator クロック発振器
CPU	Central Processing Unit 中央制御装置
DBSC3	DDR3-SDRAM Interface DDR3-SDRAM インタフェース
DDR	Double Data Rate ダブルデータレート
DMA	Direct Memory Access ダイレクトメモリアクセス
DMAC	Direct Memory Access Controller ダイレクトメモリアクセスコントローラ (DMA コントローラ)
FIFO	First-In First-Out 先入れ先出し
FLCTL	NAND Flash Memory Controller NAND フラッシュメモリコントローラ
FPU	Floating Point Unit 浮動小数点演算装置
HAC	Audio Codec オーディオコーデック
H-UDI	User Debugging Interface ユーザデバッグインタフェース
INTC	Interrupt Controller 割り込みコントローラ
JTAG	Joint Test Action Group バウンダリスキャン規格化グループ
LBSC	Local Bus State Controller ローカルバスステートコントローラ
LRAM	L Memory L メモリ (内蔵 RAM)

LRU	Least Recently Used (仮想記憶ページ置き換えアルゴリズムの名前)
LSB	Least Significant Bit 最下位ビット
MMU	Memory Management Unit メモリマネジメントユニット
MSB	Most Significant Bit 最上位ビット
PC	Program Counter プログラムカウンタ
PCI	Peripheral Components Interconnect ペリフェラルコンポーネントインタコネクト
PCIEC	PCI Express Controller PCI エクスプレスコントローラ
PFC	Pin Function Controller ピンファンクションコントローラ
RISC	Reduced Instruction Set Computer 縮小命令セットコンピュータ
SCIF	Serial Communication Interface with FIFO FIFO 内蔵シリアルコミュニケーションインタフェース
SSI	Serial Sound Interface シリアルサウンドインタフェース
TAP	Test Access Port テスト端子
TLB	Translation Lookaside Buffer 変換ルックアサイドバッファ
TMU	Timer Unit タイマユニット
UART	Universal Asynchronous Receiver/Transmitter 調歩同期インタフェース
UBC	User Break Controller ユーザブレイクコントローラ
WDT	Watchdog Timer ウォッチドッグタイマ

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要	1-1
1.1 本LSIの特長	1-2
1.2 ブロック図	1-10
1.3 ピン配置表	1-11
1.4 ピン配置図	1-17
1.5 アドレスマップ	1-19
2. プログラミングモデル	2-1
2.1 データフォーマット	2-1
2.2 レジスタの構成	2-2
2.2.1 特権モードとバンク	2-2
2.2.2 汎用レジスタ	2-5
2.2.3 浮動小数点レジスタ	2-6
2.2.4 コントロールレジスタ	2-9
2.2.5 システムレジスタ	2-11
2.3 メモリ割り付けレジスタ	2-15
2.4 レジスタのデータ形式	2-16
2.5 メモリ上でのデータ形式	2-17
2.6 処理状態	2-18
2.7 使用上の注意事項	2-19
2.7.1 自己書き換えコードに対する注意事項	2-19
2.7.2 命令プリフェッチとその副作用について	2-20
3. 命令セット	3-1
3.1 実行環境	3-1
3.2 アドレッシングモード	3-3
3.3 命令セット	3-6
4. パイプライン動作	4-1
4.1 パイプライン	4-1
4.2 並列実行性	4-12
4.3 発行レートと実行ステート	4-15
5. 例外処理	5-1
5.1 概要	5-1

5.2	レジスタ説明	5-1
5.2.1	TRAPA 例外レジスタ (TRA)	5-2
5.2.2	例外事象レジスタ (EXPEVT)	5-2
5.2.3	割り込み事象レジスタ (INTEVT)	5-3
5.2.4	CPU 動作モードレジスタ (CPUOPM)	5-3
5.2.5	非サポート検出例外レジスタ (EXPMASK)	5-4
5.3	例外処理の機能	5-6
5.3.1	例外処理の流れ	5-6
5.3.2	例外処理ベクタアドレス	5-6
5.4	例外の種類と優先順位	5-7
5.5	例外フロー	5-9
5.5.1	例外フロー	5-9
5.5.2	例外要因の受け付け	5-10
5.5.3	例外要求と BL ビット	5-11
5.5.4	例外処理からの復帰	5-11
5.6	各例外の説明	5-12
5.6.1	リセット	5-12
5.6.2	一般例外	5-13
5.6.3	割り込み	5-23
5.6.4	複数回の例外が発生する場合の優先順位	5-25
5.7	注意事項	5-26
6.	浮動小数点ユニット (FPU)	6-1
6.1	概要	6-1
6.2	データフォーマット	6-2
6.2.1	浮動小数点フォーマット	6-2
6.2.2	非数 (NaN)	6-4
6.2.3	非正規化数	6-5
6.3	レジスタ	6-6
6.3.1	浮動小数点レジスタ	6-6
6.3.2	浮動小数点ステータス/コントロールレジスタ (FPSCR)	6-8
6.3.3	浮動小数点通信レジスタ (FPUL)	6-10
6.4	丸め	6-11
6.5	浮動小数点例外	6-12
6.6	グラフィックサポート機能	6-14
6.6.1	ジオメトリック演算命令	6-14
6.6.2	ヘア単精度データ転送	6-15
7.	メモリマネジメントユニット (MMU)	7-1
7.1	MMUの概要	7-2
7.1.1	アドレス空間	7-4

7.2	レジスタの説明	7-9
7.2.1	ページテーブルエントリ上位レジスタ (PTEH)	7-10
7.2.2	ページテーブルエントリ下位レジスタ (PTEL)	7-11
7.2.3	変換テーブルベースレジスタ (TTB)	7-12
7.2.4	TLB 例外アドレスレジスタ (TEA)	7-12
7.2.5	MMU 制御レジスタ (MMUCR)	7-13
7.2.6	ページテーブルエントリアシスタンスレジスタ (PTEA)	7-16
7.2.7	物理アドレス空間制御レジスタ (PASCRCR)	7-17
7.2.8	命令再フェッチ抑止制御レジスタ (IRMCRCR)	7-18
7.3	TLBの機能 (TLB互換モード; MMUCR.ME = 0)	7-20
7.3.1	共用 TLB (UTLB) の構成	7-20
7.3.2	命令 TLB (ITLB) の構成	7-22
7.3.3	アドレス変換方式	7-23
7.4	TLBの機能 (TLB拡張モード; MMUCR.ME = 1)	7-25
7.4.1	共用 TLB (UTLB) の構成	7-25
7.4.2	命令 TLB (ITLB) の構成	7-27
7.4.3	アドレス変換方式	7-28
7.5	MMUの機能	7-30
7.5.1	MMU のハードウェア管理	7-30
7.5.2	MMU のソフトウェア管理	7-30
7.5.3	MMU の命令 (LDTLB)	7-30
7.5.4	ハードウェア ITLB ミスハンドリング	7-32
7.5.5	シノニム問題の回避	7-33
7.6	MMU例外	7-34
7.6.1	命令 TLB 多重ヒット例外	7-34
7.6.2	命令 TLB ミス例外	7-35
7.6.3	命令 TLB 保護違反例外	7-36
7.6.4	データ TLB 多重ヒット例外	7-37
7.6.5	データ TLB ミス例外	7-37
7.6.6	データ TLB 保護違反例外	7-38
7.6.7	初期ページ書き込み例外	7-39
7.7	メモリ割り付けTLBの構成	7-40
7.7.1	ITLB アドレスアレイ	7-41
7.7.2	ITLB データアレイ (TLB 互換モード)	7-42
7.7.3	ITLB データアレイ (TLB 拡張モード)	7-43
7.7.4	UTLB アドレスアレイ	7-45
7.7.5	UTLB データアレイ (TLB 互換モード)	7-46
7.7.6	UTLB データアレイ (TLB 拡張モード)	7-47
7.8	32ビットアドレス拡張モード	7-49
7.8.1	32 ビットアドレス拡張モード概要	7-49
7.8.2	32 ビットアドレス拡張モードへの切り替え	7-50

7.8.3	特権空間マッピングバッファ (PMB) 構成	7-51
7.8.4	PMB の機能	7-52
7.8.5	メモリ割り付け PMB の構成	7-53
7.8.6	32 ビットアドレス拡張モード使用時の注意事項	7-54
7.9	32ビットブート機能	7-56
7.9.1	PMB の初期エントリ	7-56
7.9.2	32 ビットブート時の注意点	7-56
7.10	使用上の注意事項	7-58
7.10.1	LDTLB 命令使用上の注意事項	7-58
8.	キャッシュ	8-1
8.1	特長	8-1
8.2	レジスタの説明	8-4
8.2.1	キャッシュ制御レジスタ (CCR)	8-5
8.2.2	キューアドレス制御レジスタ 0 (QACR0)	8-6
8.2.3	キューアドレス制御レジスタ 1 (QACR1)	8-7
8.2.4	内蔵メモリ制御レジスタ (RAMCR)	8-7
8.3	オペランドキャッシュの動作説明	8-9
8.3.1	読み出し動作	8-9
8.3.2	プリフェッチ動作	8-10
8.3.3	書き込み動作	8-11
8.3.4	ライトバックバッファ	8-12
8.3.5	ライトスルーバッファ	8-12
8.3.6	OC2 ウェイモード	8-12
8.4	命令キャッシュの動作説明	8-13
8.4.1	読み出し動作	8-13
8.4.2	プリフェッチ動作	8-13
8.4.3	IC2 ウェイモード	8-14
8.4.4	命令キャッシュウェイ予測	8-14
8.5	キャッシュ操作命令	8-15
8.5.1	キャッシュと外部メモリとのコヒーレンシ	8-15
8.5.2	プリフェッチ動作	8-17
8.6	メモリ割り付けキャッシュの構成	8-18
8.6.1	IC アドレスアレイ	8-18
8.6.2	IC データアレイ	8-19
8.6.3	OC アドレスアレイ	8-20
8.6.4	OC データアレイ	8-22
8.6.5	メモリ割り付け連想ライトの動作	8-22
8.7	ストアキュー	8-23
8.7.1	SQ の構成	8-23
8.7.2	SQ への書き込み	8-23

8.7.3	外部メモリへの転送	8-24
8.7.4	SQ アクセスの例外判定	8-25
8.7.5	SQ からの読み出し	8-25
8.8	32ビットアドレス拡張モード使用時の注意事項	8-25
9.	内蔵メモリ	9-1
9.1	特長	9-1
9.2	レジスタの説明	9-3
9.2.1	内蔵メモリ制御レジスタ (RAMCR)	9-4
9.2.2	OL メモリ転送元アドレスレジスタ 0 (LSA0)	9-5
9.2.3	OL メモリ転送元アドレスレジスタ 1 (LSA1)	9-6
9.2.4	OL メモリ転送先アドレスレジスタ 0 (LDA0)	9-7
9.2.5	OL メモリ転送先アドレスレジスタ 1 (LDA1)	9-8
9.3	動作説明	9-9
9.3.1	CPU からの命令フェッチアクセス	9-9
9.3.2	CPU からのオペランドアクセスおよび FPU からのアクセス	9-9
9.3.3	SuperHyway バスマスタモジュールからのアクセス	9-9
9.3.4	OL メモリブロック転送	9-10
9.4	内蔵メモリの保護機能	9-12
9.5	使用上の注意事項	9-13
9.5.1	ページ競合	9-13
9.5.2	ページの切り替わり	9-13
9.5.3	内蔵メモリのコヒーレンシ	9-13
9.5.4	スリープモード	9-14
9.6	32ビットアドレス拡張モード使用時の注意事項	9-14
10.	割り込みコントローラ (INTC)	10-1
10.1	特長	10-1
10.1.1	割り込み方式	10-3
10.1.2	割り込み要因	10-3
10.2	入出力端子	10-12
10.3	レジスタの説明	10-13
10.3.1	外部割り込み要求レジスタ	10-23
10.3.2	ユーザモード割り込み禁止機能	10-39
10.3.3	内蔵周辺モジュール割り込みレジスタ	10-41
10.3.4	GPIO 割り込み設定レジスタ (INT2GPIC)	10-74
10.3.5	温度センサ割り込み設定レジスタ (INT2THSC)	10-75
10.3.6	CPU 間割り込みレジスタ	10-76
10.3.7	割り込み分配レジスタ	10-80
10.3.8	割り込み受け付けレジスタ	10-86
10.4	割り込み要因	10-94

10.4.1	NMI 割り込み	10-94
10.4.2	IRQ 割り込み	10-94
10.4.3	IRL 割り込み	10-94
10.4.4	内蔵周辺モジュール割り込み	10-96
10.4.5	CPU 間割り込み	10-97
10.4.6	内蔵周辺モジュール割り込み優先順位	10-97
10.4.7	割り込み例外処理と優先順位	10-98
10.5	動作説明	10-99
10.5.1	割り込み動作の流れ	10-99
10.5.2	固定分配モード	10-100
10.5.3	自動分配モード	10-100
10.5.4	多重割り込み	10-102
10.5.5	MAI ビットによる割り込みマスク	10-102
10.6	割り込み応答時間	10-103
10.7	使用上の注意事項	10-106
10.7.1	IRQ/IRL[7:0]端子機能設定時の注意事項	10-106
10.7.2	IRL 割り込み要求および IRQ 割り込み要求のクリア方法	10-106
11.	ローカルバスステートコントローラ (LBSC)	11-1
11.1	特長	11-1
11.2	入出力端子	11-3
11.3	エリアの概要	11-5
11.3.1	空間分割	11-5
11.3.2	メモリバス幅	11-8
11.3.3	PCMCIA サポート	11-9
11.4	レジスタの説明	11-12
11.4.1	メモリアドレスマップ選択レジスタ (MMSELR)	11-14
11.4.2	バスコントロールレジスタ (BCR)	11-17
11.4.3	CSn バスコントロールレジスタ (CSnBCR)	11-20
11.4.4	CSn ウェイトコントロールレジスタ (CSnWCR)	11-25
11.4.5	CSnPCMCIA コントロールレジスタ (CSnPCR)	11-30
11.5	動作説明	11-34
11.5.1	エンディアン / アクセスサイズとデータアライメント	11-34
11.5.2	エリアの説明	11-41
11.5.3	SRAM インタフェース	11-45
11.5.4	バースト ROM インタフェース	11-54
11.5.5	PCMCIA インタフェース	11-58
11.5.6	MPX インタフェース	11-69
11.5.7	バイト制御 SRAM インタフェース	11-79
11.5.8	アクセスサイクル間ウェイト	11-83
11.5.9	バスアービトレーション	11-85

11.5.10	マスタモード	11-87
11.5.11	マスタとスレーブの協調	11-87
11.5.12	LBSC 以外の機能とマルチプレクスされている端子	11-88
11.5.13	$\overline{\text{DACK}}_n$ 出力の分割に関するレジスタ設定	11-88
12.	DDR3-SDRAM インタフェース (DBSC3)	12-1
12.1	特長	12-1
12.2	入出力端子	12-3
12.3	データアライメント	12-7
12.3.1	DDR3-SDRAM でのデータアライメント	12-7
12.4	レジスタの説明	12-10
12.4.1	DBSC3 ステータスレジスタ (DBSTATE)	12-14
12.4.2	SDRAM アクセス許可レジスタ (DBACEN)	12-15
12.4.3	自動リフレッシュ許可レジスタ (DBRFEN)	12-16
12.4.4	手動コマンド発行レジスタ (DMCMD)	12-17
12.4.5	操作完了待ちレジスタ (DBWAIT)	12-20
12.4.6	SDRAM 種類設定レジスタ (DBKIND)	12-21
12.4.7	SDRAM 構成設定レジスタ (DBCONF)	12-22
12.4.8	SDRAM タイミングレジスタ 0 (DBTR0)	12-24
12.4.9	SDRAM タイミングレジスタ 1 (DBTR1)	12-25
12.4.10	SDRAM タイミングレジスタ 2 (DBTR2)	12-26
12.4.11	SDRAM タイミングレジスタ 3 (DBTR3)	12-27
12.4.12	SDRAM タイミングレジスタ 4 (DBTR4)	12-28
12.4.13	SDRAM タイミングレジスタ 5 (DBTR5)	12-30
12.4.14	SDRAM タイミングレジスタ 6 (DBTR6)	12-31
12.4.15	SDRAM タイミングレジスタ 7 (DBTR7)	12-32
12.4.16	SDRAM タイミングレジスタ 8 (DBTR8)	12-33
12.4.17	SDRAM タイミングレジスタ 9 (DBTR9)	12-34
12.4.18	SDRAM タイミングレジスタ 10 (DBTR10)	12-35
12.4.19	SDRAM タイミングレジスタ 11 (DBTR11)	12-36
12.4.20	SDRAM タイミングレジスタ 12 (DBTR12)	12-37
12.4.21	SDRAM タイミングレジスタ 13 (DBTR13)	12-38
12.4.22	SDRAM タイミングレジスタ 14 (DBTR14)	12-39
12.4.23	SDRAM タイミングレジスタ 15 (DBTR15)	12-41
12.4.24	SDRAM タイミングレジスタ 16 (DBTR16)	12-42
12.4.25	SDRAM タイミングレジスタ 17 (DBTR17)	12-43
12.4.26	リフレッシュ設定レジスタ 0 (DBRFCNF0)	12-45
12.4.27	リフレッシュ設定レジスタ 1 (DBRFCNF1)	12-46
12.4.28	リフレッシュ設定レジスタ 2 (DBRFCNF2)	12-48
12.4.29	PHY 部制御レジスタ 0 (DBPDCNT0)	12-49
12.4.30	PHY 部制御レジスタ 1 (DBPDCNT1)	12-50

12.4.31	PHY 部制御レジスタ 2 (DBPDCNT2)	12-51
12.4.32	PHY 部制御レジスタ 3 (DBPDCNT3)	12-52
12.4.33	PHY 部ロックレジスタ (DBPDLCK)	12-54
12.4.34	PHY 部内部レジスタアドレスレジスタ (DBPDRGA)	12-55
12.4.35	PHY 部内部レジスタデータレジスタ (DBPDRGD)	12-56
12.4.36	バス制御部 0 設定レジスタ 0 (DBBS0CNT0)	12-58
12.4.37	バス制御部 0 設定レジスタ 1 (DBBS0CNT1)	12-59
12.5	動作説明	12-60
12.5.1	サポートする SDRAM コマンド	12-60
12.5.2	SDRAM コマンド発行詳細	12-61
12.5.3	初期化シーケンス	12-64
12.5.4	セルフリフレッシュ動作について	12-65
12.5.5	オートリフレッシュ動作について	12-66
12.5.6	アドレスマルチプレクスについて	12-67
12.5.7	SDRAM アクセスとタイミング制約について	12-71
12.5.8	SDRAM 電源バックアップ機能	12-82
13.	PCI Express コントローラ (PCIEC)	13-1
13.1	特長	13-1
13.2	ブロック図	13-3
13.3	入出力端子	13-6
13.4	レジスタの説明	13-8
13.4.1	PCIEC 制御レジスタ	13-24
13.4.2	物理層制御レジスタ	13-41
13.4.3	PCIEC 転送制御レジスタ	13-45
13.4.4	PCIEC-DMAC 制御レジスタ	13-71
13.4.5	コンフィグレーションレジスタ	13-82
13.4.6	PCI Express 制御系レジスタ	13-163
13.4.7	PCI Express 送信系レジスタ	13-181
13.4.8	物理層制御レジスタ	13-185
13.5	動作説明	13-186
13.5.1	サポートする機能	13-186
13.5.2	端子設定	13-191
13.5.3	初期化 (PCIEC モジュールの初期化)	13-192
13.5.4	コンフィグレーションサイクル (PCI Express の初期化)	13-193
13.5.5	PI/O 転送 (PCIEC 外部デバイスへのデータ転送)	13-196
13.5.6	ターゲット転送 (外部デバイス PCIEC へのデータ転送)	13-204
13.5.7	DMA 転送	13-208
13.5.8	メッセージの送受信	13-212
13.5.9	INTx 割り込み	13-218
13.5.10	MSI 割り込み	13-219

13.5.11	INTC への割り込み	13-222
13.5.12	パワーマネージメント	13-223
13.5.13	エラー処理	13-227
13.5.14	物理層制御レジスタへのアクセス	13-234
13.5.15	ソフトウェアリセット	13-238
13.5.16	参考文献	13-238
14.	USB	14-1
14.1	USB	14-1
14.1.1	概要	14-1
14.1.2	回路図	14-2
14.1.3	外部端子	14-3
14.1.4	レジスター一覧	14-4
14.1.5	初期設定	14-10
14.1.6	未使用時の接続例	14-12
14.2	USB2.0-HOSTコントローラ	14-13
14.2.1	概要	14-13
14.2.2	レジスタの説明	14-13
14.2.3	注意事項	14-37
14.3	USB1.1-HOSTコントローラ	14-38
14.3.1	概要	14-38
14.3.2	レジスタの説明	14-39
14.4	USB2.0-ファンクションコントローラ	14-57
14.4.1	特長	14-57
14.4.2	ブロック図	14-59
14.4.3	機能概要	14-60
14.4.4	レジスタ	14-62
14.4.5	動作説明	14-142
15.	ダイレクトメモリアクセスコントローラ0 (DMAC0)	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタ構成	15-4
15.4	レジスタの説明	15-8
15.4.1	DMA0 ソースアドレスレジスタ 0~5 (DMA0SAR0~5)	15-8
15.4.2	DMA0 ソースアドレスレジスタ B0~5 (DMA0SARB0~5)	15-8
15.4.3	DMA0 デスティネーションアドレスレジスタ 0~5 (DMA0DAR0~5)	15-9
15.4.4	DMA0 デスティネーションアドレスレジスタ B0~5 (DMA0DARB0~5)	15-9
15.4.5	DMA0 トランスファカウンタレジスタ 0~5 (DMA0TCR0~5)	15-10
15.4.6	DMA0 トランスファカウンタレジスタ B0~5 (DMA0TCRB0~5)	15-10
15.4.7	DMA0 ソースアドレスオフセットレジスタ 0~5 (DMA0SAOFR0~5)	15-11

15.4.8	DMA0 デスティネーションアドレスオフセットレジスタ 0~5 (DMA0DAOFR0~5)	15-11
15.4.9	DMA0 チャンネルコントロールレジスタ 0~5 (DMA0CHCR0~5)	15-12
15.4.10	DMA0 オペレーションレジスタ (DMA0OR)	15-19
15.4.11	DMA0 拡張リソースセクタ 0~2 (DMA0RS0~2)	15-22
15.5	動作説明	15-23
15.5.1	DMA 転送要求	15-23
15.5.2	チャンネルの優先順位	15-26
15.5.3	DMA 転送の種類	15-29
15.5.4	転送フロー	15-33
15.5.5	リピートモード転送	15-35
15.5.6	リロードモード転送	15-36
15.5.7	Multi-dimensional モード転送	15-37
15.5.8	DREQ 端子のサンプリングタイミング	15-42
15.6	DMAC0の割り込み要因	15-49
15.7	使用上の注意	15-50
15.7.1	モジュールストップ、周波数変更について	15-50
15.7.2	アドレスエラーについて	15-50
15.7.3	DACK の分割出力	15-50
16.	ダイレクトメモリアクセスコントローラ 1 (DMAC1)	16-1
16.1	概要	16-1
16.1.1	特長	16-1
16.1.2	ブロック図	16-3
16.1.3	外部端子	16-3
16.1.4	レジスタ構成	16-4
16.2	レジスタの説明	16-6
16.2.1	DMA1 オペレーションレジスタ (DMA1OR)	16-7
16.2.2	DMA1 ソースアドレスレジスタ 0~3 (DMA1SAR0~DMA1SAR3)	16-8
16.2.3	DMA1 デスティネーションアドレスレジスタ 0~3 (DMA1DAR0~DMA1DAR3)	16-8
16.2.4	DMA1 バイトカウントレジスタ 0~3 (DMA1BCNTR0~DMA1BCNTR3)	16-9
16.2.5	DMA1 ストライドカウントレジスタ 0, 1 (DMA1SBCNTR0, DMA1SBCNTR1)	16-10
16.2.6	DMA1 ストライドレジスタ 0, 1 (DMA1STRR0, DMA1STRR1)	16-11
16.2.7	DMA1 コマンドチェーンアドレスレジスタ 0, 1 (DMA1CCAR0, DMA1CCAR1)	16-11
16.2.8	DMA1 チャンネルコントロールレジスタ 0~3 (DMA1CHCR0~DMA1CHCR3)	16-12
16.2.9	DMA1 チャンネルステータスレジスタ 0~3 (DMA1CHSR0~DMA1CHSR3)	16-14
16.2.10	DMA1 ソース転送サイズレジスタ 2, 3 (DMA1STRS2, DMA1STRS3)	16-16
16.2.11	DMA1 デスティネーション転送サイズレジスタ 2, 3 (DMA1DTRS2, DMA1DTRS3)	16-17
16.3	動作説明	16-18
16.3.1	チャンネルの優先順	16-19
16.3.2	連続領域転送 (ch0~3)	16-20
16.3.3	ストライド/gather/scatter 転送 (ch0, ch1)	16-22

16.3.4	コマンドチェーン (ch0、ch1)	16-26
16.4	DMAC1の割り込み要因.....	16-28
16.5	使用上の注意事項	16-29
17.	HPB-DMAC	17-1
17.1	概要.....	17-1
17.2	特長.....	17-2
17.3	HPB-DMACにおけるDMA転送方法	17-3
17.4	レジスタの説明	17-4
17.4.1	HPB-DMAC レジスタ一覧.....	17-4
17.4.2	DMA ソースアドレスレジスタ 0、1 (DSAR0、DSAR1)	17-6
17.4.3	DMA デスティネーションアドレスレジスタ 0、1 (DDAR0、DDAR1)	17-7
17.4.4	DMA トランスファカウンタレジスタ 0、1 (DTCR0、DTCR1)	17-7
17.4.5	DMA ソースアドレスステータスレジスタ (DSASR)	17-8
17.4.6	DMA デスティネーションアドレスステータスレジスタ (DDASR)	17-8
17.4.7	DMA トランスファカウンタステータスレジスタ (DTCSR)	17-8
17.4.8	DMA ポート選択レジスタ (DPTR)	17-9
17.4.9	DMA コントロールレジスタ (DCR)	17-10
17.4.10	DMA コマンドレジスタ (DCMDR)	17-14
17.4.11	DMA 強制停止レジスタ (DSTPR)	17-15
17.4.12	DMA ステータスレジスタ (DSTSR)	17-15
17.4.13	DMA チャンネルデバッグレジスタ (DDBG)	17-19
17.4.14	DMA チャンネルデバッグレジスタ 2 (DDBG2)	17-19
17.4.15	DMA タイマコントロールレジスタ (DTIMR)	17-20
17.4.16	DMA 転送終了割り込み表示レジスタ (DINTSR)	17-21
17.4.17	DMA 転送終了割り込み表示クリアレジスタ (DINTCR)	17-21
17.4.18	DMA 転送終了割り込みイネーブルレジスタ (DINTMR)	17-22
17.4.19	DMA 起動状態表示レジスタ (DACTSR)	17-22
17.4.20	ソフトリセットレジスタ (HSRSTR0、HSRSTR1)	17-23
17.4.21	HPB-DMA SuperHyway プライオリティコントロールレジスタ 0 (HPBDMASPR0)	17-24
17.4.22	HPB-DMA SuperHyway プライオリティコントロールレジスタ 1 (HPBDMASPR1)	17-24
17.4.23	SD モード選択レジスタ (SDMDR)	17-25
17.5	動作説明	17-26
17.5.1	DMA 転送手順	17-26
17.5.2	DMA 連続転送動作	17-29
17.5.3	Peripheral からのリードデータバッキング機能	17-33
17.5.4	Peripheral からのリードデータバッキング機能に関する制限事項	17-33
17.5.5	DMA 転送終了通知	17-34
17.5.6	DMA 転送停止、再開手順	17-34
17.5.7	SuperHyway バスインタフェースにおけるデータアライメント	17-36
17.5.8	HPB バスインタフェースにおけるデータアライメント	17-37

17.6	使用上の注意事項	17-37
17.6.1	周波数変更について	17-37
18.	クロック発振器 (CPG)	18-1
18.1	特長	18-1
18.2	入出力端子	18-4
18.3	クロック動作モード	18-5
18.4	レジスタの説明	18-6
18.4.1	周波数制御レジスタ 0 (FRQCR0)	18-7
18.4.2	周波数制御レジスタ 1 (FRQCR1)	18-8
18.4.3	周波数表示レジスタ 1 (FRQMR1)	18-10
18.4.4	PLL コントロールレジスタ (PLLCR)	18-12
18.5	周波数の算出方法	18-13
18.6	周波数の変更方法	18-14
18.6.1	バスクロック以外のクロックの周波数変更	18-14
18.6.2	バスクロックの周波数変更	18-14
18.7	ボード設計上の注意事項	18-17
19.	リセット、ウォッチドッグタイマ (WDT、WDT (CPU0)、WDT (CPU1))	19-1
19.1	特長	19-1
19.1.1	WDT の特長	19-1
19.1.2	WDT (CPU0)、WDT (CPU1) の特長	19-1
19.2	入出力端子	19-3
19.3	レジスタの説明	19-4
19.3.1	ウォッチドッグタイマストップタイムレジスタ (WDTST)	19-6
19.3.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WDTCSR)	19-7
19.3.3	ウォッチドッグタイマベースストップタイムレジスタ (WDTBST)	19-9
19.3.4	ウォッチドッグタイマカウンタ (WDTCNT)	19-10
19.3.5	ウォッチドッグタイマベースカウンタ (WDTBCNT)	19-11
19.3.6	CPU _n ウォッチドッグタイマストップタイムレジスタ (CnWDTST) (n=0、1)	19-12
19.3.7	CPU _n ウォッチドッグタイマコントロール/ステータスレジスタ (CnWDTCSR) (n=0、1)	19-13
19.3.8	CPU _n ウォッチドッグタイマベースストップタイムレジスタ (CnWDTBST) (n=0、1)	19-14
19.3.9	CPU _n ウォッチドッグタイマカウンタ (CnWDTCNT) (n=0、1)	19-15
19.3.10	CPU _n ウォッチドッグタイマベースカウンタ (CnWDTBCNT) (n=0、1)	19-16
19.3.11	CPU _n リセットベクタセットレジスタ (CnRESETVEC) (n=0、1)	19-17
19.4	動作説明	19-18
19.4.1	リセット要求	19-18
19.4.2	WDT、WDT (CPU0)、WDT (CPU1) でのウォッチドッグタイマモードの使用法	19-20
19.4.3	WDT でのインターバルタイマモードの使用法	19-20
19.4.4	WDT オーバフロー発生までの時間	19-20

19.4.5	WDT (CPU0)、WDT (CPU1) オーバフロー発生までの時間	19-22
19.4.6	WDT、WDT (CPU0)、WDT (CPU1) カウンタのクリア方法	19-23
19.5	リセット中の端子タイミング	19-23
19.5.1	$\overline{\text{PRESET}}$ 端子によるパワーオンリセット	19-23
19.5.2	WDT オーバフローによるパワーオンリセット	19-25
20.	低消費電力モード	20-1
20.1	特長	20-1
20.1.1	低消費電力モードの種類	20-1
20.2	入出力端子	20-2
20.3	レジスタの説明	20-3
20.3.1	スタンバイコントロールレジスタ 0 (MSTPCR0)	20-4
20.3.2	スタンバイコントロールレジスタ 1 (MSTPCR1)	20-6
20.3.3	スタンバイ表示レジスタ (MSTPMR)	20-7
20.3.4	CPU0 Ick 周波数コントロールレジスタ (COIFC)	20-9
20.3.5	CPU1 Ick 周波数コントロールレジスタ (CIIFC)	20-10
20.3.6	CPU0 スタンバイコントロールレジスタ (COSTBCR)	20-11
20.3.7	CPU1 スタンバイコントロールレジスタ (C1STBCR)	20-12
20.4	スリープモード	20-13
20.4.1	スリープモードへの遷移	20-13
20.4.2	スリープモードの解除	20-13
20.5	モジュールスタンバイ機能	20-13
20.5.1	モジュールスタンバイ機能への遷移	20-13
20.5.2	モジュールスタンバイ機能の解除	20-13
20.5.3	CPU コアのモジュールストップ制御について	20-14
20.6	STATUS端子の変化タイミング	20-15
20.6.1	リセットの場合	20-15
20.6.2	スリープ解除の場合	20-15
20.7	DDR3-SDRAM電源バックアップ	20-15
21.	タイマユニット (TMU)	21-1
21.1	特長	21-1
21.2	入出力端子	21-3
21.3	レジスタの説明	21-4
21.3.1	タイマスタートレジスタ (TSTRn) (n=0~3)	21-8
21.3.2	タイマコンスタントレジスタ (TCORn) (n=0~11)	21-10
21.3.3	タイマカウンタ (TCNTn) (n=0~11)	21-11
21.3.4	タイマコントロールレジスタ (TCRn) (n=0~11)	21-11
21.3.5	インプットキャプチャレジスタ 2 (TCPR2)	21-13
21.4	動作説明	21-14
21.4.1	カウンタの動作	21-14

21.4.2	インプットキャプチャ機能.....	21-16
21.5	割り込み.....	21-17
21.6	低消費電力モード.....	21-18
21.7	使用上の注意事項.....	21-18
21.7.1	レジスタの書き込みについて.....	21-18
21.7.2	TCNT レジスタの読み出しについて.....	21-18
21.7.3	外部クロック周波数について.....	21-18
22.	Ethernet MAC コントローラ (Ether)	22-1
22.1	Ether概要	22-1
22.1.1	Ether の特長.....	22-1
22.1.2	論理構成.....	22-2
22.2	端子定義.....	22-4
22.2.1	端子機能.....	22-4
22.3	エンディアン.....	22-5
22.4	レジスタの説明.....	22-6
22.4.1	レジスタアクセスにおける注意事項.....	22-6
22.4.2	レジスタの構成.....	22-7
22.4.3	HDMAC 動作モード設定レジスタ (CXR0)	22-11
22.4.4	送信指示レジスタ (CXR1)	22-12
22.4.5	受信指示レジスタ (CXR2)	22-13
22.4.6	送信ディスクリプタ先頭アドレス設定レジスタ (CXR3)	22-14
22.4.7	受信ディスクリプタ先頭アドレス設定レジスタ (CXR4)	22-15
22.4.8	ステータス表示レジスタ (CXR5)	22-15
22.4.9	割り込みマスク設定レジスタ (CXR6)	22-17
22.4.10	エラーマスク設定レジスタ (CXR7)	22-18
22.4.11	廃棄フレーム数カウントレジスタ (CXR8)	22-19
22.4.12	送信 FIFO しきい値設定レジスタ (CXR9)	22-20
22.4.13	外部 FIFO 容量値設定レジスタ (CXR10)	22-21
22.4.14	受信起動リセット方法設定レジスタ (CXR11)	22-22
22.4.15	送信 FIFO アンダフローカウンタレジスタ (CXR13)	22-23
22.4.16	受信 FIFO オーバフローカウンタレジスタ (CXR14)	22-23
22.4.17	受信 FIFO ビジー送出しきい値設定レジスタ (CXR16)	22-24
22.4.18	送信割り込みモード設定レジスタ (CXR18)	22-25
22.4.19	feLic 動作モード設定レジスタ (CXR20)	22-26
22.4.20	ロングフレーム長チェック値設定レジスタ (CXR2A)	22-28
22.4.21	ステータス表示レジスタ (CXR21)	22-29
22.4.22	割り込みマスク設定レジスタ (CXR22)	22-30
22.4.23	MII 制御レジスタ (CXR23)	22-31
22.4.24	PHY ステータス表示レジスタ (CXR2B)	22-32
22.4.25	乱数生成カウンタ上限値設定レジスタ (CXR30)	22-32

22.4.26	IPG カウンタ設定レジスタ (CXR70)	22-33
22.4.27	Auto PAUSE パラメータ設定レジスタ (CXR71)	22-34
22.4.28	Manual PAUSE パラメータ設定レジスタ (CXR72)	22-35
22.4.29	受信 PAUSE フレームカウンタレジスタ (CXR80)	22-35
22.4.30	PAUSE フレーム再送回数設定レジスタ (CXR81)	22-36
22.4.31	PAUSE フレーム再送回数カウンタレジスタ (CXR82)	22-37
22.4.32	MAC アドレス (上位) レジスタ (CXR24)	22-37
22.4.33	MAC アドレス (下位) レジスタ (CXR25)	22-38
22.4.34	TINT1 カウントレジスタ (CXR40)	22-38
22.4.35	TINT2 カウントレジスタ (CXR41)	22-39
22.4.36	TINT3 カウントレジスタ (CXR42)	22-39
22.4.37	TINT4 カウントレジスタ (CXR43)	22-40
22.4.38	RINT1 カウントレジスタ (CXR50)	22-40
22.4.39	RINT2 カウントレジスタ (CXR51)	22-41
22.4.40	RINT3 カウントレジスタ (CXR52)	22-41
22.4.41	RINT4 カウントレジスタ (CXR53)	22-42
22.4.42	RINT5 カウントレジスタ (CXR54)	22-42
22.4.43	RINT8 カウントレジスタ (CXR55)	22-43
22.5	データフォーマット	22-43
22.5.1	Ether パケット	22-43
22.6	ソフト制御フロー	22-45
22.6.1	Ether ソフト制御フロー	22-45
22.7	注意事項	22-49
22.7.1	ソフトリセット	22-49
22.7.2	スタンバイ	22-49
22.8	HDMAC機能仕様	22-50
22.8.1	動作	22-50
22.8.2	送信ディスクリプタ	22-58
22.8.3	受信ディスクリプタ	22-60
22.8.4	障害検出・通知	22-62
22.8.5	ファームウェア/ソフトウェアインタフェース	22-63
22.9	feLic機能仕様	22-64
22.9.1	構成	22-64
22.9.2	機能	22-65
22.9.3	送受信制御部詳細説明	22-68
23.	ディスプレイユニット (DU)	23-1
23.1	DUの概要	23-1
23.1.1	特長	23-1
23.1.2	ブロック図	23-3
23.1.3	外部端子	23-4

23.1.4	レジスタ構成	23-5
23.2	レジスタの説明	23-10
23.2.1	表示制御レジスタ	23-10
23.2.2	表示タイミング生成レジスタ	23-31
23.2.3	表示属性レジスタ	23-38
23.2.4	表示プレーンレジスタ (アルファ値プレーンレジスタ)	23-45
23.2.5	表示キャプチャレジスタ	23-64
23.2.6	カラーパレットレジスタ	23-67
23.2.7	外部同期制御レジスタ	23-69
23.3	表示機能	23-78
23.3.1	出力画面構造	23-78
23.3.2	表示 ON、OFF	23-80
23.3.3	プレーンパラメータ	23-81
23.3.4	メモリ割り付け	23-82
23.3.5	表示データフォーマット	23-83
23.3.6	出力データおよび表示キャプチャデータフォーマット	23-85
23.3.7	エンディアン変換	23-85
23.3.8	カラーパレット	23-87
23.3.9	プレーンの重ね合わせ表示	23-88
23.3.10	表示の競合	23-91
23.3.11	プリンキング	23-92
23.3.12	スクロール表示	23-93
23.3.13	ラップアラウンド表示	23-94
23.3.14	左上はみ出し表示	23-95
23.3.15	ダブルバッファ制御	23-96
23.3.16	同期方式	23-97
23.3.17	アルファ値プレーン	23-99
23.3.18	表示キャプチャ	23-99
23.4	表示制御	23-100
23.4.1	表示タイミング生成	23-100
23.4.2	CSYNC	23-102
23.4.3	走査方式	23-103
23.4.4	色検出	23-107
23.4.5	外部同期制御	23-108
23.4.6	出力信号タイミング調整	23-109
23.5	使用上の注意	23-110
23.5.1	モジュールスタンバイモード	23-110
23.5.2	モジュールスタンバイモードへの遷移	23-110
23.5.3	モジュールスタンバイモードの解除と表示起動	23-110
23.5.4	外部 SYNC 信号の取り込み	23-111
23.5.5	外部 SYNC 信号の同時変化制約	23-111

24.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	24-1
24.1	特長	24-1
24.2	入出力端子	24-8
24.3	レジスタの説明	24-8
24.3.1	レシーブシフトレジスタ (SCRSR)	24-13
24.3.2	レシーブ FIFO データレジスタ (SCFRDR)	24-14
24.3.3	トランスミットシフトレジスタ (SCTSR)	24-14
24.3.4	トランスミット FIFO データレジスタ (SCFTDR)	24-14
24.3.5	シリアルモードレジスタ (SCSMR)	24-15
24.3.6	シリアルコントロールレジスタ (SCSCR)	24-17
24.3.7	シリアルステータスレジスタ (SCFSR)	24-20
24.3.8	ビットレートレジスタ (SCBRR)	24-24
24.3.9	FIFO コントロールレジスタ (SCFCR)	24-25
24.3.10	トランスミット FIFO データ数レジスタ (SCTFDR)	24-27
24.3.11	レシーブ FIFO データ数レジスタ (SCRFDR)	24-27
24.3.12	シリアルポートレジスタ (SCSPTR)	24-28
24.3.13	ラインステータスレジスタ (SCLSR)	24-30
24.3.14	シリアルエラーレジスタ (SCRER)	24-31
24.4	動作説明	24-32
24.4.1	概要	24-32
24.4.2	調歩同期式モードの動作	24-34
24.4.3	クロック同期式モードの動作	24-44
24.5	SCIF割り込み要因とDMAC	24-52
24.6	低消費電力モード	24-53
24.7	使用上の注意事項	24-54
25.	シリアルペリフェラルインタフェース (HSPI)	25-1
25.1	特長	25-1
25.2	入出力端子	25-3
25.3	レジスタの説明	25-3
25.3.1	コントロールレジスタ (SPCR)	25-4
25.3.2	ステータスレジスタ (SPSR)	25-6
25.3.3	システムコントロールレジスタ (SPSCR)	25-8
25.3.4	トランスミットバッファレジスタ (SPTBR)	25-10
25.3.5	レシーブバッファレジスタ (SPRBR)	25-11
25.4	動作説明	25-12
25.4.1	FIFO モード無効時の動作	25-12
25.4.2	FIFO モード有効時の動作	25-13
25.4.3	タイミング図	25-14
25.4.4	HSPI ソフトリセット	25-15

25.4.5	クロック極性と送信制御.....	25-16
25.4.6	送信と受信ルーチン	25-16
25.4.7	各種フラグと割り込みのタイミング	25-16
25.4.8	低消費電力モード	25-17
26.	NAND フラッシュメモリコントローラ (FLCTL)	26-1
26.1	特長.....	26-1
26.2	入出力端子	26-4
26.3	レジスタの説明	26-5
26.3.1	共通コントロールレジスタ (FLCMNCR)	26-6
26.3.2	コマンド制御レジスタ (FLCMDCR)	26-8
26.3.3	コマンドコードレジスタ (FLCMCDR)	26-10
26.3.4	アドレスレジスタ (FLADR)	26-11
26.3.5	アドレスレジスタ 2 (FLADR2)	26-12
26.3.6	データカウンタレジスタ (FLDTCNTR)	26-13
26.3.7	データレジスタ (FLDATAR)	26-14
26.3.8	割り込み DMA 制御レジスタ (FLINTDMACR)	26-15
26.3.9	レディビジータイムアウト設定レジスタ (FLBSYTMR)	26-19
26.3.10	レディビジータイムアウトカウンタ (FLBSYCNT)	26-20
26.3.11	データ FIFO レジスタ (FLDTFIFO)	26-21
26.3.12	管理コード FIFO レジスタ (FLECFIFO)	26-22
26.3.13	転送制御レジスタ (FLTRCR)	26-23
26.3.14	データアライメントレジスタ (FLALGCR)	26-24
26.3.15	ローカルバス競合制御レジスタ (FLABTCTL)	26-25
26.3.16	ローカルバスエリア選択レジスタ (FLCSLR)	26-26
26.4	動作説明.....	26-27
26.4.1	動作モード	26-27
26.4.2	コマンドアクセスモード.....	26-27
26.4.3	セクタアクセスモード.....	26-31
26.4.4	ECC のエラーの修正.....	26-33
26.4.5	ステータスリード	26-33
26.5	レジスタ設定手順	26-35
26.6	割り込み処理	26-38
26.7	DMA転送の設定	26-38
27.	オーディオコーデックインタフェース (HAC)	27-1
27.1	特長.....	27-1
27.2	入出力端子	27-2
27.3	レジスタの説明	27-3
27.3.1	コントロールステータスレジスタ (HACCR)	27-5
27.3.2	コマンド/ステータスアドレスレジスタ (HACCSAR)	27-6

27.3.3	コマンド/ステータスデータレジスタ (HACCSSDR)	27-8
27.3.4	PCM レフトチャンネルレジスタ (HACPCML)	27-9
27.3.5	PCM ライトチャンネルレジスタ (HACPCMR)	27-10
27.3.6	TX 割り込みイネーブルレジスタ (HACTIER)	27-11
27.3.7	TX ステータスレジスタ (HACTSR)	27-12
27.3.8	RX 割り込みイネーブルレジスタ (HACRIER)	27-14
27.3.9	RX ステータスレジスタ (HACRSR)	27-15
27.3.10	HAC コントロールレジスタ (HACACR)	27-16
27.4	ACフレームのスロット構成	27-18
27.5	動作説明	27-20
27.5.1	レシーバ	27-20
27.5.2	トランスミッタ	27-20
27.5.3	DMA	27-20
27.5.4	割り込み	27-21
27.5.5	初期化シーケンス	27-21
27.5.6	低消費電力モード	27-26
27.5.7	注意事項	27-27
27.5.8	参考	27-27
28.	シリアルサウンドインタフェース (SSI)	28-1
28.1	特長	28-1
28.2	入出力端子	28-3
28.3	レジスタの説明	28-3
28.3.1	コントロールレジスタ (SSICR)	28-5
28.3.2	ステータスレジスタ (SSISR)	28-10
28.3.3	トランスミットデータレジスタ (SSITDR)	28-15
28.3.4	レシーブデータレジスタ (SSIRDR)	28-15
28.4	動作説明	28-16
28.4.1	バスフォーマット	28-16
28.4.2	非圧縮モード	28-16
28.4.3	圧縮モード	28-25
28.4.4	動作モード	28-27
28.4.5	送信動作	28-28
28.4.6	受信動作	28-30
28.4.7	送信時における一時停止、再開手順	28-33
28.4.8	シリアルビットクロックコントロール	28-33
28.5	低消費電力モード	28-33
28.6	使用上の注意事項	28-35
28.6.1	受信 DMA 動作中にオーバフローが起こった場合の制限事項	28-35
28.6.2	SSI モジュール動作を停止するときの注意事項	28-35
28.6.3	スレーブモードで動作させる場合の制限事項	28-35

28.6.4	設定変更時の制限事項.....	28-35
28.6.5	SSI モジュールの端子機能設定について	28-36
29.	I ² C バスインタフェース	29-1
29.1	特長.....	29-1
29.2	入出力端子	29-3
29.3	レジスタの説明	29-3
29.3.1	スレーブコントロールレジスタ (ICSCR)	29-5
29.3.2	スレーブステータスレジスタ (ICSSR)	29-6
29.3.3	スレーブ割り込みイネーブルレジスタ (ICSIER)	29-8
29.3.4	スレーブアドレスレジスタ (ICSAR)	29-9
29.3.5	マスタコントロールレジスタ (ICMCR)	29-9
29.3.6	マスタステータスレジスタ (ICMSR)	29-11
29.3.7	マスタ割り込みイネーブルレジスタ (ICMIER)	29-13
29.3.8	マスタアドレスレジスタ (ICMAR)	29-14
29.3.9	クロックコントロールレジスタ (ICCCR)	29-15
29.3.10	受信 / 送信データレジスタ (ICRXD/ICTXD)	29-16
29.4	動作説明.....	29-17
29.4.1	データとクロックフィルタ.....	29-17
29.4.2	クロックジェネレータ.....	29-17
29.4.3	マスタ / スレーブインタフェース.....	29-17
29.4.4	ソフトウェアステータスインターロック	29-17
29.4.5	I ² C バスデータフォーマット.....	29-19
29.4.6	7 ビットアドレスフォーマット.....	29-20
29.4.7	10 ビットアドレスフォーマット.....	29-21
29.4.8	マスタ送信動作	29-23
29.4.9	マスタ受信動作	29-25
29.5	プログラム例.....	29-26
29.5.1	マスタ送信	29-26
29.5.2	マスタ受信	29-27
29.5.3	マスタ送信—リスタート—マスタ受信	29-28
30.	汎用入出力ポート (GPIO)	30-1
30.1	特長.....	30-1
30.2	レジスタの説明	30-4
30.2.1	ポート A コントロールレジスタ (PACR)	30-7
30.2.2	ポート B コントロールレジスタ (PBCR)	30-9
30.2.3	ポート C コントロールレジスタ (PCCR)	30-11
30.2.4	ポート D コントロールレジスタ (PDCR)	30-13
30.2.5	ポート E コントロールレジスタ (PECR)	30-15
30.2.6	ポート F コントロールレジスタ (PFCR)	30-16

30.2.7	ポート G コントロールレジスタ (PGCR)	30-18
30.2.8	ポート H コントロールレジスタ (PHCR)	30-19
30.2.9	ポート J コントロールレジスタ (PJCR)	30-21
30.2.10	ポート A データレジスタ (PADR)	30-23
30.2.11	ポート B データレジスタ (PBDR)	30-23
30.2.12	ポート C データレジスタ (PCDR)	30-24
30.2.13	ポート D データレジスタ (PDDR)	30-24
30.2.14	ポート E データレジスタ (PEDR)	30-25
30.2.15	ポート F データレジスタ (PFDR)	30-25
30.2.16	ポート G データレジスタ (PGDR)	30-26
30.2.17	ポート H データレジスタ (PHDR)	30-26
30.2.18	ポート J データレジスタ (PJDR)	30-27
30.2.19	ポート A ブルアップ制御レジスタ (PAPUPR)	30-27
30.2.20	ポート B ブルアップ制御レジスタ (PBPUPR)	30-28
30.2.21	ポート C ブルアップ制御レジスタ (PCPUPR)	30-28
30.2.22	ポート D ブルアップ制御レジスタ (PDPUPR)	30-29
30.2.23	ポート E ブルアップ制御レジスタ (PEPUPR)	30-29
30.2.24	ポート F ブルアップ制御レジスタ (PFPUPR)	30-30
30.2.25	ポート G ブルアップ制御レジスタ (PGPUPR)	30-30
30.2.26	ポート H ブルアップ制御レジスタ (PHPUPR)	30-31
30.2.27	ポート J ブルアップ制御レジスタ (PJPUPR)	30-32
30.2.28	入力端子ブルアップ制御レジスタ 1 (PPUPR1)	30-32
30.2.29	入力端子ブルアップ制御レジスタ 2 (PPUPR2)	30-33
30.2.30	周辺モジュールセレクトレジスタ 1 (P1MSELR)	30-34
30.2.31	周辺モジュールセレクトレジスタ 2 (P2MSELR)	30-36
30.3	使用例	30-38
30.3.1	ポート出力機能	30-38
30.3.2	ポート入力機能	30-39
30.3.3	周辺モジュール機能	30-39
31.	ユーザブ레이크コントローラ (UBC)	31-1
31.1	特長	31-1
31.2	レジスタの説明	31-3
31.2.1	マッチ条件設定レジスタ 0、1 (CBR0、CBR1)	31-5
31.2.2	CPU マッチ条件設定拡張レジスタ (ECBR0、ECBR1)	31-11
31.2.3	マッチ動作設定レジスタ 0、1 (CRR0、CRR1)	31-12
31.2.4	マッチアドレス設定レジスタ 0、1 (CAR0、CAR1)	31-14
31.2.5	マッチアドレスマスク設定レジスタ 0、1 (CAMR0、CAMR1)	31-15
31.2.6	マッチデータ設定レジスタ 1 (CDR1)	31-16
31.2.7	マッチデータマスク設定レジスタ 1 (CDMR1)	31-17
31.2.8	実行回数ブ레이크レジスタ 1 (CETR1)	31-18

31.2.9	チャンネルマッチフラグレジスタ (CCMFR)	31-19
31.2.10	拡張マッチフラグレジスタ (CEMFR)	31-20
31.2.11	ブレークコントロールレジスタ (CBCR)	31-21
31.3	動作説明	31-22
31.3.1	アクセスに関する用語の説明	31-22
31.3.2	ユーザブレーク動作の流れ	31-22
31.3.3	命令フェッチサイクルブレーク	31-24
31.3.4	オペランドアクセスサイクルブレーク	31-25
31.3.5	シーケンシャルブレーク	31-26
31.3.6	回避されるプログラムカウンタの値	31-27
31.4	ユーザブレークデバッグサポート機能	31-28
31.5	ユーザブレーク使用例	31-29
31.6	使用上の注意事項	31-34
32.	ユーザデバッグインタフェース (H-UDI)	32-1
32.1	特長	32-1
32.2	入出力端子	32-3
32.3	レジスタの説明	32-4
32.3.1	インストラクションレジスタ (SDIR)	32-5
32.3.2	割り込み要因レジスタ (SDINT)	32-5
32.3.3	バイパスレジスタ (SDBPR)	32-6
32.3.4	バウンダリスキャンレジスタ (SDBSR)	32-6
32.4	動作説明	32-13
32.4.1	バウンダリスキャン TAP コントローラ (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS)	32-13
32.4.2	TAP 制御	32-15
32.4.3	H-UDI リセット	32-16
32.4.4	H-UDI 割り込み	32-17
32.5	注意事項	32-18
33.	温度センサ	33-1
33.1	特長	33-1
33.2	出力端子	33-2
33.3	レジスタの説明	33-2
33.3.1	温度センサ出力調整レジスタ (THTAPR)	33-3
33.4	外部接続推奨回路	33-5
33.5	電気的特性	33-6
33.6	注意事項	33-7
34.	電気的特性	34-1
34.1	絶対最大定格	34-1

34.2	DC特性	34-2
34.3	AC特性	34-7
34.3.1	クロック・制御信号タイミング	34-8
34.3.2	制御信号タイミング	34-12
34.3.3	バスタイミング	34-13
34.3.4	DDR3-SDRAM インタフェース電気的特性	34-30
34.3.5	割り込み信号タイミング	34-33
34.3.6	PCIEC モジュール信号タイミング	34-34
34.3.7	USB モジュール信号タイミング	34-35
34.3.8	DMAC モジュール信号タイミング	34-37
34.3.9	TMU モジュール信号タイミング	34-38
34.3.10	Ether MAC コントローラ	34-39
34.3.11	DU モジュール信号タイミング	34-41
34.3.12	SCIF モジュール信号タイミング	34-44
34.3.13	HSPI モジュール信号タイミング	34-45
34.3.14	NAND 型フラッシュメモリインタフェースタイミング	34-46
34.3.15	HAC インタフェースモジュール信号タイミング	34-50
34.3.16	SSI インタフェースモジュール信号タイミング	34-52
34.3.17	I ² C 信号タイミング	34-54
34.3.18	GPIO 信号タイミング	34-55
34.3.19	H-UDI モジュール信号タイミング	34-56
34.4	AC特性測定条件 (DDR/USB/PCI端子をのぞく)	34-58
34.5	AC特性測定条件 (DDR端子)	34-58
34.6	AC特性測定条件 (PCI端子)	34-59
34.7	AC特性測定条件 (USBハイスピード端子)	34-59
付録 A	SH-4A 拡張機能 (PVR.VER=H'40)	付録-1
A.1	概要	付録-1
A.2	メモリマネジメントユニット (MMU)	付録-2
A.2.1	MMU の変更点	付録-2
A.2.2	レジスタの説明	付録-2
A.2.3	MMU の機能	付録-10
A.2.4	メモリ割り付け TLB の構成	付録-13
A.3	キャッシュ	付録-16
A.3.1	変更点	付録-16
A.3.2	特長	付録-16
A.3.3	レジスタの説明	付録-18
A.3.4	オペランドキャッシュ動作の説明	付録-23
A.3.5	メモリ割り付けキャッシュの構成	付録-32
A.3.6	使用上の注意	付録-36
A.4	内蔵メモリ	付録-37

A.4.1	内蔵メモリ変更点	付録-37
A.4.2	特長	付録-37
A.4.3	動作説明	付録-38
A.4.4	使用上の注意	付録-39
A.5	2次キャッシュ	付録-41
A.5.1	特長	付録-41
A.5.2	レジスタの説明	付録-42
A.5.3	2次キャッシュの構成と動作	付録-47
A.6	各命令の説明	付録-52
A.6.1	CPU 命令の変更点	付録-52
A.7	レジスター一覧（追加変更分）	付録-65
A.7.1	レジスター一覧	付録-65
A.7.2	各動作モードにおけるレジスタの状態	付録-65
A.8	CPUコアIDレジスタ（CPIDR）	付録-66
A.9	バリア同期レジスタ	付録-67
付録 B	モード端子の設定	付録-69
付録 C	バージョンレジスタ	付録-73
付録 D	電源投入および切断順序	付録-75
D.1	異電位電源間および同電位電源間の電源投入および切断順序について	付録-75
D.2	DDR3-SDRAM 電源バックアップモード時の異電位電源間および同電位電源間の電源投入および切断順序について	付録-76
付録 E	外形寸法図	付録-77
付録 F	製品一覧	付録-79

1. 概要

本 LSI は、マルチメディア、情報機器、ネットワーク、アミューズメント機器、CIS (カーナビゲーションなど) 向けとして開発された次世代 SH-4 ファミリの製品です。

本 LSI には、DDR3-SDRAM インタフェース、PCI Express コントローラ、USB コントローラ、DMA コントローラ、タイマ、シリアル、オーディオインタフェース、デジタル RGB 表示をサポートするディスプレイユニット (DU) などを搭載しています。また、外部バスインタフェースは、DDR3 インタフェース、PCI Express インタフェース、USB2.0 インタフェース、ローカルバスを独立した専用インタフェースにより、大容量のデータ転送およびストリーミングデータ転送に適したバスインタフェース構成になっております。

本 LSI の CPU、FPU は、SH-1、SH-2、SH-3 および SH-4 マイクロコンピュータと命令セットレベルで上位互換性を特長とする 32 ビット RISC (縮小命令セットコンピュータ) マルチプロセッサである SH-4A を 2 個内蔵しており、CPU、FPU 性能 533MHz (1.9 GIPS、7.4 GFLOPS) を実現し、命令キャッシュ、コピーバックまたはライトスルーモードの選択が可能なオペランドキャッシュ、4 エントリのフルアソシアティブ命令 TLB (変換ルックアサイドバッファ)、64 エントリのフルアソシアティブ共用 TLB 付き MMU (メモリマネジメントユニット) を内蔵しています。

【注】 SH7786 の CPU 関連機能は SH7785 の拡張になります。拡張機能については付録 A にまとめてあります。

1.1 本 LSI の特長

本 LSI の特長を表 1.1 に示します。

表 1.1 本 LSI の特長

項 目	特 長
LSI	<ul style="list-style-type: none"> • CPU 動作周波数：533MHz (1.92GIPS、7.46GFLOPS) • 電圧：1.25V (内部)、1.5V (DDR3-SDRAM / PCI Express)、3.3V (I/O / PCI Express) • パッケージ：593 ピン BGA (大きさ：25×25mm、ピンピッチ：0.8mm) • 外部バス (ローカルバス) <ul style="list-style-type: none"> 独立した 26 ビットアドレスと 32 ビットデータバス 外部バス周波数：最大 88.9MHz • 外部バス (DDR3-SDRAM バス) <ul style="list-style-type: none"> 独立した 16 ビットアドレスと 32 ビットデータバス 外部バス周波数：最大 533MHz (最大データ転送レート 1066Mbps) • 外部バス (PCI Express バス) <ul style="list-style-type: none"> 4/2/1 レーン + 1 レーン Root point / End point 選択可能
CPU (各 CPU)	<ul style="list-style-type: none"> • ルネサスエレクトロニクスオリジナルアーキテクチャ • 32 ビット内部データバス • 汎用レジスタファイル： <ul style="list-style-type: none"> 16 本の 32 ビット汎用レジスタ (および 8 本の 32 ビットシャドウレジスタ) 7 本の 32 ビット制御レジスタ 4 本の 32 ビットシステムレジスタ • RISC タイプ命令セット (SH-1、SH-2、SH-3、SH-4 と上位互換性あり)： <ul style="list-style-type: none"> 命令長：コードの効率改善のための 16 ビット固定長 ロードストアアーキテクチャ 遅延分岐命令 条件付き実行 C 言語に基づく命令セット • FPU を含む 2 命令同時実行型スーパースカラ • 命令実行時間：最大 2 命令 / サイクル • 仮想アドレス空間：4G バイト • 空間識別子 ASID：8 ビット (オプションで 16 ビット対応可)、256 仮想アドレス空間 • 乗算器内蔵

項 目	特 長
FPU (各 CPU)	<ul style="list-style-type: none"> • 浮動小数点コプロセッサ内蔵 • 単精度 (32 ビット) および倍精度 (64 ビット) をサポート • IEEE754 に準拠したデータタイプおよび例外をサポート • 丸めモード: 近傍および 0 方向への丸め • 非正規化数の扱い: 0 への切り捨て、または IEEE754 に準拠のための割り込み発生 • 浮動小数点レジスタ: 32 ビット×16 レジスタ×2 バンク (単精度×16 レジスタまたは倍精度×8 レジスタ)×2 バンク • 32 ビット CPU-FPU 浮動小数点通信レジスタ (FPUL) • FMAC (乗算およびアキュムレート) 命令をサポート • FDIV (除算) / FSQRT (平方根) 命令をサポート • FLDI0/FLDI1 (ロード定数 0/1) 命令をサポート • 命令実行時間 レイテンシ (FADD/FSUB): 3 サイクル (単精度)、5 サイクル (倍精度) レイテンシ (FMAC/FMUL): 5 サイクル (単精度)、7 サイクル (倍精度) ピッチ (FADD/FSUB): 1 サイクル (単精度 / 倍精度) ピッチ (FMAC/FMUL): 1 サイクル (単精度)、3 サイクル (倍精度) 【注】 FMAC は単精度に対してのみサポートしています • 3D グラフィック命令 (単精度のみ) 4 次元ベクトル変換および行列演算 (FTRV): 4 サイクル (ピッチ)、8 サイクル (レイテンシ) 4 次元ベクトル (FIPR) の内積: 1 サイクル (ピッチ)、5 サイクル (レイテンシ)
メモリマネジメント ユニット (MMU) (各 CPU)	<ul style="list-style-type: none"> • 4G バイトのアドレス空間、256 のアドレス空間識別子 (ASID 8 ビット/16 ビット対応) • 単一仮想記憶モードと多重仮想記憶モード • 複数のページサイズをサポート: 1K、4K、8K、64K、256K、1M、4M、64M バイト • 命令に対する 4 エントリのフルアソシアティブ TLB • 命令およびオペランドに対する 64 エントリのフルアソシアティブ TLB • ソフトウェアによる入れ替え方法およびランダムカウンタ方式入れ替えアルゴリズムをサポート • TLB の内容はアドレスマッピングにより直接アクセス可能 • 29 ビットの物理アドレスモードと 32 ビットの物理アドレスモード
キャッシュメモリ (L1) (各 CPU)	<ul style="list-style-type: none"> • 命令キャッシュ (IC) 32K バイト、4 ウェイセットアソシエイティブ 256 エントリ/ウェイ、32 バイトブロック長 • オペランドキャッシュ (OC) 32K バイト、4 ウェイセットアソシエイティブ 256 エントリ/ウェイ、32 バイトブロック長 • 選択可能な書き込み方式 (コピーバック/ライトスルー) • ストアキュー (32 バイト×2 エントリ) • 1 段コピーバックバッファ、1 段ライトスルーバッファ • キャッシュコヒーレンシ サポート • ライト方式: コピーバック、ライトスルー

項 目	特 長
L1RAM (各 CPU)	<ul style="list-style-type: none"> • IL メモリ <ul style="list-style-type: none"> 高速アクセスメモリ 8K バイト 3本の独立した読み出し/書き込みポート CPU、FPU からの 8/16/32/64 ビットアクセス 外部要求による 8/16/32 ビットおよび 16/32 バイトアクセス CPU、FPU アクセスでのメモリ保護機能をサポート • OL メモリ <ul style="list-style-type: none"> 高速アクセスメモリ 16K バイト 3本の独立した読み出し/書き込みポート CPU、FPU からの 8/16/32/64 ビットアクセス 外部要求による 8/16/32 ビットおよび 16/32 バイトアクセス CPU および FPU アクセスでのメモリ保護機能をサポート
L2 キャッシュ/ 共有メモリ	<ul style="list-style-type: none"> • L2 キャッシュメモリ 256K バイト • 4 ウェイセットアソシエイティブ • ライト方式：ライトスルー • IC 専用モード、OC 専用モード、IC/OC 共用モード対応 • 共有メモリとしても使用可能 (L2 256K、共有メモリ 256K、L2 128K/共有メモリ 128K 選択可能)
割り込みコントローラ (INTC)	<ul style="list-style-type: none"> • 2つの割り込み動作モード <ul style="list-style-type: none"> 固定分配モード：CPU ごとに固定的に分配するモード 自動分配モード：CPU に対して分配するモード • 9本の独立した外部割り込み：NMI、IRQ7～IRQ0 <ul style="list-style-type: none"> NMI：立ち下がり/立ち上がり選択可能 IRQ：立ち下がり/立ち上がり/ハイレベル/ローレベル選択可能 • 15レベルの符号化した外部割り込み：IRL3～IRL0 または IRL7～IRL4 • 内蔵モジュール割り込み：モジュールごとに優先レベルを設定 <ul style="list-style-type: none"> 内蔵モジュール割り込みを発行できるモジュールは以下のモジュールです。 TMU、DU、SCIF、WDT、H-UDI、DMAC0、DMAC1、HPB-DMAC、HAC、PCIEC、USB、HSPI、SDIF、SSI、FLCTL、I2C、GPIO

項 目	特 長
ローカルバスステート コントローラ (LBSC)	<ul style="list-style-type: none"> • ローカルバス専用インタフェース それぞれ最大 64M バイトの 5 つのエリアに分割した外部メモリ空間を管理 インタフェースタイプ、バス幅、ウェイトステート挿入を各エリアごと独立に設定可能 • SRAM インタフェース ウェイトステート挿入をレジスタによって設定可能 \overline{RDY} 端子によるウェイトステート挿入 接続可能エリア：全エリア (CS0/CS1/CS2/CS3/CS4/CS5/CS6) 設定可能バス幅：32、16、8 ビット • バースト ROM インタフェース ウェイトステート挿入をレジスタによって設定可能 バースト転送回数をレジスタによって設定可能 接続可能エリア：全エリア (CS0/CS1/CS2/CS3/CS4/CS5/CS6) 設定可能バス幅：32、16、8 ビット • MPX インタフェース アドレス / データマルチプレクス 接続可能エリア：全エリア (CS0/CS1/CS2/CS3/CS4/CS5/CS6) 設定可能バス幅：32 ビット • バイト制御 SRAM インタフェース 接続可能エリア：1、4 設定可能バス幅：32、16 ビット • PCMCIA インタフェース (リトルエンディアンモード時のみ) ウェイトステート挿入をレジスタによって設定可能 I/O バス幅のバスサイジング機能 接続可能エリア：5、6 設定可能バス幅：16、8 ビット • E-IDE / ATAPI デバイス (ATA3) との転送をサポート PIO モード 4、マルチワード DMA モード 2 の転送をサポート 接続可能エリア：5、6 • ビッグエンディアンまたはリトルエンディアンを設定可能

項 目	特 長
DDR3-SDRAM バスコントローラ (DBSC)	<ul style="list-style-type: none"> • DDR3-SDRAM バス専用インタフェース マルチバンク対応：4バンクのマルチバンクオペレーションに対応 バンク数：4、8バンク対応（ただし、同時に開くのは4バンクまで） バス幅：32ビット 先行プリチャージ・アクティベート機能サポート バースト長：8 バーストタイプ：シーケンシャル（固定） CAS レイテンシ：5、6、7、8、9、10 • オートリフレッシュモード 平均間隔をレジスタに設定可能。リクエストの空きがあれば先行リフレッシュ動作を実施 • セルフリフレッシュモード • 接続対象メモリ：接続可能最大メモリ容量 2G バイト バス幅：32ビット 16M×16bit (256Mbit) ×2、32M×16bit (512Mbit) ×2、64M×16bit (1Gbit) ×2、 128M×16bit (2Gbit) ×2、32M×8bit (256Mbit) ×4、64M×8bit (512Mbit) ×4、 128M×8bit (1Gbit) ×4、256M×8bit (2Gbit) ×4
PCI Express コントローラ (PCIEC)	<ul style="list-style-type: none"> • PCI Express 規格のレビジョン 1.1 のサブセット 4（または 2+1）レーン+1レーン、バス周波数：2.5GHz • PCI Express Root point または End point として動作 • マルチレーン（4/2/1）対応 • バーチャルチャネル（VC）：1チャネル • Ack/Nack 機構による自動リトライ（再送）機能をサポート • MAX ペイロードサイズ：1KB（PCIEC0）、512B（PCIEC1/2）
USB コントローラ (USB)	<ul style="list-style-type: none"> • USB2.0 インタフェース • ポート数：2ポート（Host/Function 1ポート、Host 1ポート） • ホスト機能：EHCI Ver1.0、OHCI Ver1.0a をサポート • ファンクション機能：USB2.0 サポートの UDC（USB デバイスコントローラ）を内蔵 • 転送速度：ハイスピード（480 Mbps）/フルスピード（12 Mbps） • （Host/Function 各 1 モジュール搭載、Host2 ポート使用時には内蔵 Root Hub 使用） • OnTheGo 機能は非サポート
Ethernet MAC コントロ ーラ (Ether)	<ul style="list-style-type: none"> • IEEE 802.3u MAC 機能 • 10/100 Mbps 転送対応 • フロー制御（IEEE 802.3x/バックプレッシャー方式） • IEEE 802.3u 準拠のインタフェース • マジックパケット検出 • DMA コントローラを内蔵

項目	特長
ダイレクト メモリアクセス コントローラ 0 (DMAC0)	<ul style="list-style-type: none"> • チェネル数：6 • 6 チェネル物理アドレス DMA コントローラ • 4 チェネル外部リクエスト受け付け可能 (チャンネル 0~3) • アドレス空間：4G バイト • 転送データサイズ：8、16、32 ビットまたは 16、32 バイト • アドレスモード：デュアルアドレスモード • 転送要求：外部リクエスト、またはオートリクエストから選択可能 • DACK/DRAK 選択可能 (4 つの外部端子) • バスモード：サイクルスチールモードとバーストモード選択可能 • 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能 • スキャット・ギャザ転送サポート
ダイレクト メモリアクセス コントローラ 1 (DMAC1)	<ul style="list-style-type: none"> • チェネル数：4 • 4 チェネル物理アドレス DMA コントローラ • アドレス空間：4G バイト • 転送データサイズ：32 ビットまたは 8、16、32 バイト (チャンネル 0、1) 8、16、32 ビットまたは 8、16、32 バイト (チャンネル 2、3) • アドレスモード：デュアルアドレスモード • 転送要求：オートリクエスト • コマンドチェインサポート (チャンネル 0、1 のみ) • キャッシュコヒーレンシサポート (チャンネル 0、1 のみ) • スキャット・ギャザ転送サポート (チャンネル 0、1 のみ)
クロック発振器 (CPG)	<ul style="list-style-type: none"> • CPU 周波数：最大 533MHz • ローカルバス周波数：最大 88.9MHz • DDR3-SDRAM インタフェース周波数：最大 533MHz • 内蔵周辺バス周波数：最大 66MHz • 低消費電力モード スリープモード モジュールスタンバイ機能 DDR 電源バックアップ機能 (DDR 電源のみ電源供給)
ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> • チャンネル数：3 (チップ全体：1、各 CPU に 1) • 1 チャンネルのウォッチドッグタイマ (パワーオンリセット専用) (ウォッチドッグタイマモードまたはインターバルタイマモード選択可能) • CPU コアごとのウォッチドッグタイマ (マニュアルリセット専用)
タイマユニット (TMU)	<ul style="list-style-type: none"> • チャンネル数：12 • 12 ネルのオートリロード方式の 32 ビットダウンカウンタを内蔵 • インพุットキャプチャ機能 (チャンネル 2 のみ) • 最大 6 種類 (外部クロックおよび周辺クロック) のカウンタ入力クロック選択可能

項 目	特 長
ディスプレイユニット (DU)	<ul style="list-style-type: none"> • 表示プレーン <ul style="list-style-type: none"> 4 プレーン (854×480 ドット時の最大) 3 プレーン (800×600 ドット時の最大) • CRT 走査方式: ノンインタレース、インタレース、インタレースシンク & ビデオ • 同期方式: マスタモード (内部同期モード)、TV 同期モード (外部同期モード)、同期方式切り替えモード • カラーパレット内蔵 <ul style="list-style-type: none"> 26 万色中同時 256 色表示 4 組 (レイヤごとに設定可能) • ブレンド比設定 <ul style="list-style-type: none"> ブレンド比ありカラーパレット面数: 4 面 プレーン (面数と兼用) • デジタル RGB 出力: RGB 各 6bit 精度 • ドットクロック: 外部入力、内部クロック切り替え可能 (分周率: 1~32 分周)
FIFO 内蔵シリアル コミュニケーション インタフェース (SCIF)	<ul style="list-style-type: none"> • チャンネル数: 6 (最大) • 6 チャンネルに 64 バイト (8 ビット×64 段) の FIFO を内蔵 • 2 本の全二重通信チャンネル • 調歩同期式モードおよびクロック同期式モードをサポート • 内蔵ポーレートジェネレータにより、任意のビットレートを選択可能 • モデムコントロール機能 (RTS、CTS) 内蔵 (チャンネル 0 のみ) • ポーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックを選択可能
I ² C バスインタフェース (I ² C)	<ul style="list-style-type: none"> • チャンネル数: 2 • Philips 社提唱 I²C バスインタフェース方式に対応 • マスタ/スレープ対応 • マルチタスク対応 • ファーストモード対応 • クロック周波数は可変 • I²C バッファは 3.3VLVTTL インタフェースで実現 (一部 I²C バスインタフェース規格に準拠していません)
シリアルペリフェラル インタフェース (HSPI)	<ul style="list-style-type: none"> • チェネル数: 1 (最大) • 全二重通信をサポート • マスタ/スレープモード • 内蔵ポーレートジェネレータにより、任意のビットレートを選択可能

項 目	特 長
SD ホスト インタフェース (SDIF)	<ul style="list-style-type: none"> • チャンネル数 : 2 (最大) • SD メモリ/IO カードインタフェース (1 ビット / 4 ビット SD バス) • エラーチェック機能 : CRC7 (コマンド)、CRC16 (データ) • 割り込み要求 : カードアクセス割り込み、SDIO アクセス割り込み、カード検出割り込み • DMA 転送要求 : SD_BUF ライト、SD_BUF リード • カード検出機能、ライトプロテクトサポート • SD ホストインタフェースのマニュアルは、守秘契約を結んでいただいたうえで公開致します。 (詳細は、弊社営業窓口までご照会ください。)
オーディオコーデック インタフェース (HAC)	<ul style="list-style-type: none"> • チャンネル数 : 2 (最大) • オーディオコーデック用デジタルインタフェース • スロット 1~4 の送受信に対応 • 送受信 DMA 転送は 16 または 20 ビットを選択可能 • スロットデータの調整により各種サンプリングレートをサポート
シリアルサウンド インタフェース (SSI)	<ul style="list-style-type: none"> • チャンネル数 : 4 (最大) • 圧縮データ転送および非圧縮データ転送をサポート • フレームサイズを設定可能
NAND フラッシュメモリ コントローラ (FLCTL)	<ul style="list-style-type: none"> • チャンネル数 : 1 (最大) • NAND 型フラッシュメモリインタフェース • 動作モード : コマンドアクセスモード、セクタアクセスモード • データ転送用 FIFO フラッシュメモリのデータ転送用に 224 バイトの FIFO を内蔵 管理コードのデータ転送用に 32 バイトの FIFO を内蔵 CPU および DMAC からのアクセス時、オーバラン / アンダラン検出フラグビット
汎用 I/O (GPIO)	<ul style="list-style-type: none"> • 汎用 I/O ポート : 入出力 103 本 • GPIO 割り込みサポート
ユーザブレーク コントローラ (UBC) (各 CPU)	<ul style="list-style-type: none"> • ユーザブレーク割り込みによるデバッグをサポート • 2 本のブレークチャンネル • アドレス、データ値、アクセスのタイプ、データサイズはすべてブレーク条件として設定可能 • シーケンシャルブレーク機能をサポート
ユーザデバッグ インタフェース (H-UDI)	<ul style="list-style-type: none"> • JTAG インタフェース (TCK、TMS、TRST、TDI、TDO) • E10A エミュレータサポート • リアルタイム分岐トレース
パッケージ	<ul style="list-style-type: none"> • フリップチップ BGA 593 ピン (25 x 25 mm、0.8mm ピッチ)
電源電圧	<ul style="list-style-type: none"> • 内部 (VDD)、PCI Express (VDD-PCIE)、PLL2 (VDDAI) : 1.25V • DDR3 I/O (VCCQ-DDR15)、PCI Express I/O (VCCQ-PCI15) : 1.5V • I/O (VCCQ)、PCI Express I/O (VCCQ-PCI) : 3.3V

1.2 ブロック図

本 LSI のブロック図を図 1.1 に示します。

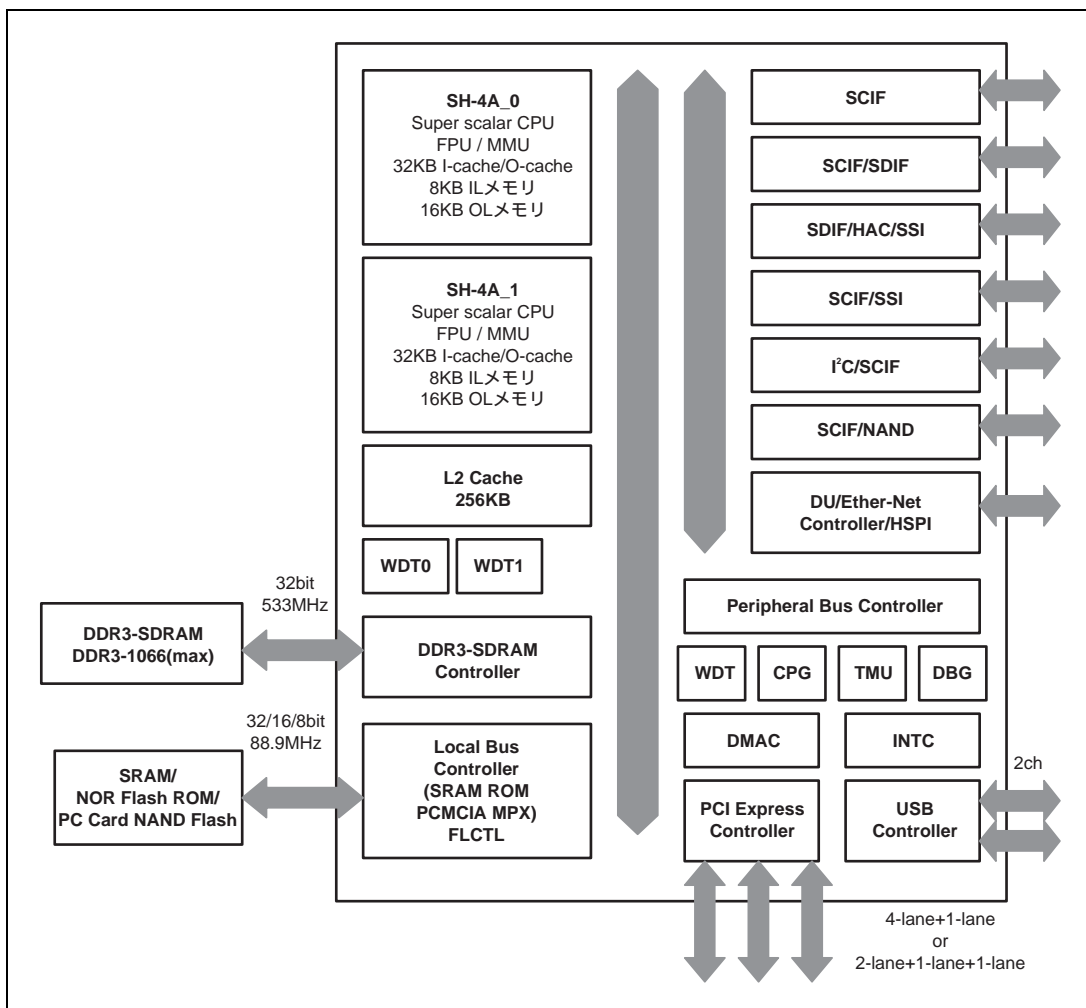


図 1.1 ブロック図

1.3 ピン配置表

番号	端子名	I/O	機能
1	MDQ0	IO	DDR data 0
2	MDQ1	IO	DDR data 1
3	MDQ2	IO	DDR data 2
4	MDQ3	IO	DDR data 3
5	MDQ4	IO	DDR data 4
6	MDQ5	IO	DDR data 5
7	MDQ6	IO	DDR data 6
8	MDQ7	IO	DDR data 7
9	MDQ8	IO	DDR data 8
10	MDQ9	IO	DDR data 9
11	MDQ10	IO	DDR data 10
12	MDQ11	IO	DDR data 11
13	MDQ12	IO	DDR data 12
14	MDQ13	IO	DDR data 13
15	MDQ14	IO	DDR data 14
16	MDQ15	IO	DDR data 15
17	MDQ16	IO	DDR data 16
18	MDQ17	IO	DDR data 17
19	MDQ18	IO	DDR data 18
20	MDQ19	IO	DDR data 19
21	MDQ20	IO	DDR data 20
22	MDQ21	IO	DDR data 21
23	MDQ22	IO	DDR data 22
24	MDQ23	IO	DDR data 23
25	MDQ24	IO	DDR data 24
26	MDQ25	IO	DDR data 25
27	MDQ26	IO	DDR data 26
28	MDQ27	IO	DDR data 27
29	MDQ28	IO	DDR data 28
30	MDQ29	IO	DDR data 29
31	MDQ30	IO	DDR data 30
32	MDQ31	IO	DDR data 31
33	MDM0	O	DDR data mask 0
34	MDM1	O	DDR data mask 1
35	MDM2	O	DDR data mask 2
36	MDM3	O	DDR data mask 3
37	MDQS0	IO	DDR data strobe 0

番号	端子名	I/O	機能
38	MDQS1	IO	DDR data strobe 1
39	MDQS2	IO	DDR data strobe 2
40	MDQS3	IO	DDR data strobe 3
41	MDQS $\bar{0}$	IO	DDR data strobe 0
42	MDQS $\bar{1}$	IO	DDR data strobe 1
43	MDQS $\bar{2}$	IO	DDR data strobe 2
44	MDQS $\bar{3}$	IO	DDR data strobe 3
45	MA0	O	DDR address 0
46	MA1	O	DDR address 1
47	MA2	O	DDR address 2
48	MA3	O	DDR address 3
49	MA4	O	DDR address 4
50	MA5	O	DDR address 5
51	MA6	O	DDR address 6
52	MA7	O	DDR address 7
53	MA8	O	DDR address 8
54	MA9	O	DDR address 9
55	MA10	O	DDR address 10
56	MA11	O	DDR address 11
57	MA12	O	DDR address 12
58	MA13	O	DDR address 13
59	MA14	O	DDR address 14
60	MA15	O	DDR address 15
61	MBA0	O	DDR bank address 0
62	MBA1	O	DDR bank address 1
63	MBA2	O	DDR bank address 2
64	MCK0	O	DDR clock 0
65	MCK $\bar{0}$	O	DDR clock 0
66	MCK1	O	DDR clock 1
67	MCK $\bar{1}$	O	DDR clock 1
68	MCS $\bar{0}$	O	DDR chip select
69	MCS $\bar{1}$	O	DDR chip select
70	MRAS	O	DDR row address select
71	MCAS	O	DDR column address select
72	MWE	O	DDR write enable

番号	端子名	I/O	機能
73	MODT0	O	DDR on chip terminator
74	MODT1	O	DDR on chip terminator
75	MCKE0	O	DDR clock enable
76	MCKE1	O	DDR clock enable
77	MVREF0	I	DDR reference voltage DQ
78	MVREF1	I	DDR reference voltage ADR/CMD
79	MBKPRST	I	DDR backup reset
80	MZQ	I	DDR MZQ
81	MRESET	I	DDR reset
82	SDBUP	I	DDR Backup mode input
83	D0/FD0	IO/IO	Local bus data 0/NAND flash data 0
84	D1/FD1	IO/IO	Local bus data 1/NAND flash data 1
85	D2/FD2	IO/IO	Local bus data 2/NAND flash data 2
86	D3/FD3	IO/IO	Local bus data 3/NAND flash data 3
87	D4/FD4	IO/IO	Local bus data 4/NAND flash data 4
88	D5/FD5	IO/IO	Local bus data 5/NAND flash data 5
89	D6/FD6	IO/IO	Local bus data 6/NAND flash data 6
90	D7/FD7	IO/IO	Local bus data 7/NAND flash data 7
91	D8	IO	Local bus data 8
92	D9	IO	Local bus data 9
93	D10	IO	Local bus data 10
94	D11	IO	Local bus data 11
95	D12	IO	Local bus data 12
96	D13	IO	Local bus data 13
97	D14	IO	Local bus data 14
98	D15	IO	Local bus data 15
99	D16	IO	Local bus data 16
100	D17	IO	Local bus data 17
101	D18	IO	Local bus data 18

番号	端子名	I/O	機能
102	D19	IO	Local bus data 19
103	D20	IO	Local bus data 20
104	D21	IO	Local bus data 21
105	D22	IO	Local bus data 22
106	D23	IO	Local bus data 23
107	D24	IO	Local bus data 24
108	D25	IO	Local bus data 25
109	D26	IO	Local bus data 26
110	D27	IO	Local bus data 27
111	D28	IO	Local bus data 28
112	D29	IO	Local bus data 29
113	D30	IO	Local bus data 30
114	D31	IO	Local bus data 31
115	A0	O	Local bus address 0
116	A1	O	Local bus address 1
117	A2	O	Local bus address 2
118	A3	O	Local bus address 3
119	A4	O	Local bus address 4
120	A5	O	Local bus address 5
121	A6	O	Local bus address 6
122	A7	O	Local bus address 7
123	A8	O	Local bus address 8
124	A9	O	Local bus address 9
125	A10	O	Local bus address 10
126	A11	O	Local bus address 11
127	A12	O	Local bus address 12
128	A13	O	Local bus address 13
129	A14	O	Local bus address 14
130	A15	O	Local bus address 15
131	A16	O	Local bus address 16
132	A17	O	Local bus address 17
133	A18	O	Local bus address 18
134	A19	O	Local bus address 19
135	A20	O	Local bus address 20
136	A21	O	Local bus address 21
137	A22	O	Local bus address 22
138	A23	O	Local bus address 23
139	A24	O	Local bus address 24

番号	端子名	I/O	機能
140	A25	O	Local bus address 25
141	$\overline{CS0}$	O/O	Chip select 0
142	$\overline{CS1/A26}$	O/O	Chip select 1/Local bus address 26
143	$\overline{CS2}$	O	Chip select 2
144	$\overline{CS3}$	O	Chip select 3
145	$\overline{CS4}$	O	Chip select 4
146	$\overline{CS5}$	O	Chip select 5
147	$\overline{CS6}$	O	Chip select 6
148	$\overline{RD/FRAME/FRE}$	O/O	Read strobe/MPX IF FRAME/NAND flash read enable
149	\overline{RW}	O	Read/Write
150	\overline{BS}	O	Bus start
151	$\overline{WE0/REG}$	O/O	Write enable 0/PCMCIA IF REG
152	$\overline{WE1/FWE}$	O/O	Write enable 1/NAND flash write enable
153	$\overline{WE2/IORD}$	O/O	Write enable 2/PCMCIA IF IORD
154	$\overline{WE3/IOWR}$	O/O	Write enable 3/PCMCIA IF IOWR
155	RDY	I	Bus ready
156	CLKOUT	O	Clock out
157	CLKOUTENB	O	Clock out enable
158	GCLK	I	PCI Express differential clock input
159	\overline{GCLK}	I	PCI Express differential clock input
160	PCIE_TX0_0	O	PCI Express transmit differential data 0 ch0
161	$\overline{PCIE_TX0_0}$	O	PCI Express transmit differential data 0 ch0
162	PCIE_RX0_0	I	PCI Express receive differential data 0 ch0
163	$\overline{PCIE_RX0_0}$	I	PCI Express receive differential data 0 ch0
164	PCIE_TX0_1	O	PCI Express transmit differential data 1 ch0

番号	端子名	I/O	機能
165	$\overline{PCIE_TX0_1}$	O	PCI Express transmit differential data 1 ch0
166	PCIE_RX0_1	I	PCI Express receive differential data 1 ch0
167	$\overline{PCIE_RX0_1}$	I	PCI Express receive differential data 1 ch0
168	PCIE_TX0_2	O	PCI Express transmit differential data 2 ch0
169	$\overline{PCIE_TX0_2}$	O	PCI Express transmit differential data 2 ch0
170	PCIE_RX0_2	I	PCI Express receive differential data 2 ch0
171	$\overline{PCIE_RX0_2}$	I	PCI Express receive differential data 2 ch0
172	PCIE_TX0_3	O	PCI Express transmit differential data 3 ch0
173	$\overline{PCIE_TX0_3}$	O	PCI Express transmit differential data 3 ch0
174	PCIE_RX0_3	I	PCI Express receive differential data 3 ch0
175	$\overline{PCIE_RX0_3}$	I	PCI Express receive differential data 3 ch0
176	PCIE_TX1_0	O	PCI Express transmit differential data 0 ch1
177	$\overline{PCIE_TX1_0}$	O	PCI Express transmit differential data 0 ch1
178	PCIE_RX1_0	I	PCI Express receive differential data 0 ch1
179	$\overline{PCIE_RX1_0}$	I	PCI Express receive differential data 0 ch1
180	USB_DP0	IO	USB ch0 differential data
181	USB_DM0	IO	USB ch0 differential data
182	USB_DP1	IO	USB ch1 differential data
183	USB_DM1	IO	USB ch1 differential data
184	USB_REXT	I	USB external register
185	USB_OVC0	I	USB ch0 over current control

番号	端子名	I/O	機能
186	USB_VBUS1_O VC1	I	USB ch1 over current control / Voltage bus
187	USB_EXTAL	I	USB crystal resonator
188	USB_XTAL	O	USB crystal resonator
189	USB_PENC0	O	USB ch0 power enable control
190	USB_PENC1	O	USB ch1 power enable control
191	VTHREF	I	Temperature sensor
192	VTHSENSE	I	Temperature sensor
193	EXTAL	I	External input clock/crystal resonator
194	XTAL	O	Crystal resonator
195	PRESET	I	Power on reset
196	NMI	I	Non-maskable interrupt
197	IRL0	I	IRL interrupt request 0
198	IRL1	I	IRL interrupt request 1
199	IRL2	I	IRL interrupt request 2
200	IRL3	I	IRL interrupt request 3
201	TCK	I	H-UDI clock
202	TMS	I	H-UDI emulator
203	TDI	I	H-UDI data
204	TDO	O	H-UDI data
205	TRST	I	H-UDI emulator
206	ASEBRK/ BRKACK	I/O	H-UDI emulator
207	MPMD	I	H-UDI emulator mode
208	AUDCK	IO	H-UDI emulator clock
209	AUDSYNC	IO	H-UDI emulator
210	AUDATA0	IO	H-UDI emulator data 0
211	AUDATA1	IO	H-UDI emulator data 1
212	AUDATA2	IO	H-UDI emulator data 2
213	AUDATA3	IO	H-UDI emulator data 3
214	SCIF1_TXD	O	SCIF1 transmit data
215	SCIF1_RXD	I	SCIF1 receive data
216	SCIF1_SCK	IO	SCIF1 serial clock
217	DR0/ETH_TXD0	O/O	Digital red 0/ether transmit data

番号	端子名	I/O	機能
218	DR1/ETH_TXD1	O/O	Digital red 1/ether transmit data
219	DR2/ETH_TXD2	O/O	Digital red 2/ether transmit data
220	DR3/ETH_TXD3	O/O	Digital red 3/ether transmit data
221	DR4/ETH_TX_ EN	O/O	Digital red 4/ether transmit data enable
222	DR5/ETH_TX_ ER	O/O	Digital red 5/ether transmit error
223	DG0/ETH_CRS	O/I	Digital green 0/ether carrier sense
224	DG1/ETH_TX_ CLK	O/I	Digital green 1/ether transmit clock
225	DG2/ETH_COL	O/I	Digital green 2/ether collision detect
226	DG3/ETH_MDC	O/O	Digital green 3/ether managed data clock
227	DG4/ETH_RX_ CLK	O/I	Digital green 4/ether receive clock
228	DG5/ETH_MDIO	O/IO	Digital green 5/ether managed data
229	DB0/ETH_RX_ ER	O/I	Digital blue 0/ether receive error
230	DB1/ETH_RX_ DV	O/I	Digital blue 1/ether receive data valid
231	DB2/ETH_RXD0	O/I	Digital blue 2/ether receive data
232	DB3/ETH_RXD1	O/I	Digital blue 3/ether receive data
233	DB4/ETH_RXD2	O/I	Digital blue 4/ether receive data
234	DB5/ETH_RXD3	O/I	Digital blue 5/ether receive data
235	DISP/ETH_LINK	O/I	DU display/ether PHY Link
236	CDE/ETH_ MAGIC	O/O	DU color detect/ether magic packet detect
237	ODDF/HSPI_CS	IO/IO	DU Odd Even frame/HSPI chip selection

番号	端子名	I/O	機能
238	VSYNC/HSPI_ CLK	IO/IO	DU VSYNC/HSPI serial clock
239	HSYNC/HSPI_ TX	IO/O	DU HSYNC/HSPI transmit data
240	DCLKIN/HSPI_ RX	I/I	DU Dot clock in/HSPI receive data
241	DCLKOUT	O	DU dot clock out
242	DREQ0/USB_ OVC0	I	DMA channel 0 request/USB ch0 over current control
243	DREQ1/BREQ/ USB_OVC1	I/I/I	DMA channel 1 request/Bus request/USB ch1 over current control
244	DACK0/FCLE	O/O	DMA acknowledgment 0/NAND flash command latch enable
245	DACK1/BACK/ FALE	O/O/ O	DMA acknowledgment 1/Bus acknowledgement/NAND flash address latch enable
246	I2C_SCL0/ SCIF2_RXD	IO/I	I2C0 clock/SCIF2 receive data
247	I2C_SDA0/ SCIF2_TXD	IO/O	I2C0 data/SCIF2 transmit data
248	I2C_SCL1/ SCIF2_SCK	IO/IO	I2C1 clock/SCIF2 serial clock
249	I2C_SDA1/ IRQOUT	IO/O	I2C1 data/Interrupt request output
250	HAC0_BITCLK/ SSI0_CLK/ SDIF1D0	I/I/IO	HAC0 bit clock/SSI0 serial bit clock/Data bus SD1 data bus signal 0
251	HAC0_SYNC/ SSI0_WS/ SDIF1D1	O/IO/ IO	HAC0 flame synchronous/SSI0 word select/Data bus SD1 data bus signal 1
252	HAC0_SDIN/ SSI0_SCK/ SDIF1D2	I/IO/ IO	HAC0 serial data incoming to Rx frame/SSI0 serial bit clock/Data bus SD1 data bus signal 2

番号	端子名	I/O	機能
253	HAC0_SDOUT/ SSI0_SDATA/ SDIF1D3	O/IO/ IO	HAC0 serial data/SSI0 serial data/Data bus SD1 data bus signal 3
254	HAC1_BITCLK/ SSI1_CLK/ SDIF1CLK	I/I/O	HAC1 bit clock/SSI1 serial bit clock/Output Clock SD1 clock output pin
255	HAC1_SYNC/ SSI1_WS/ SDIF1WP	O/IO/ IO	HAC1 synchronous/SSI1 serial bit clock/SD1 write-protection signal
256	HAC1_SDIN/ SSI1_SCK/ SDIF1CD	I/IO/I	HAC1 serial data/SSI1 serial data/SD1 card detection signal
257	HAC1_SDOUT/ SSI1_SDATA/ SDIF1CMD	O/IO/ IO	HAC1 serial data/SSI1 serial data/SD1command output and response input signal
258	SCIF3_TXD/ HAC_RES/ SSI2_WS	O/O/ IO	SCIF3 transmit data/SSI2 word select/HAC Reset
259	SCIF3_RXD/ TCLK/SSI2_ SCK	O/IO/ IO	SCIF3 receive data/SSI2 serial clock/TMU clock
260	SCIF3_SCK/ SSI2_SDATA	IO/IO	SCIF3 synchronous/SSI2 serial data
261	STATUS0/SSI2_ CLK	O/I	Status 0/SSI2 serial bit clock
262	STATUS1/SSI3_ CLK	O/I	Status 1/SSI3 serial bit clock
263	MODE0/SCIF0_ TXD/IRL4/ SDIF0D0	I/O/I/ IO	Mode 0/IRL interrupt request 4/SCIF0 transmit data/Data bus SD0 data bus signal 0
264	MODE1/SCIF0_ RXD/IRL5/ SDIF0D1	I/I/I/ IO	Mode 1/IRL interrupt request 5/SCIF0 receive data/Data bus SD0 data bus signal 1

番号	端子名	I/O	機能
265	MODE2/SCIF0_ SCK/IRL6/ SDIF0D2	I/O// IO	Mode 2/IRL interrupt request 6/SCIF0 serial clock/Data bus SD0 data bus signal 2
266	MODE3/ SCIF0_RTS/ IRL7/SDIF0D3	I/O// IO	Mode 3/IRL interrupt request 7/SCIF0 modem control/Data bus SD0 data bus signal 3
267	MODE4/ SCIF0_CTS/ DREQ2/ SDIF0CLK	I/O// O	Mode 4/DMA channel 2 request/SCIF0 modem control/Output clock SD0 clock output pin
268	MODE5/DREQ3 /SDIF0WP	I//I	Mode 5/DMA channel 3 request/SD0 write-protection signal
269	MODE6/DACK2/ SDIF0CD	I/O/I	Mode 6/DMA acknowledgment 2/SD0 card detection signal
270	MODE7/DACK3/ SDIF0CMD	I/O/ IO	Mode 7/DMA acknowledgment 3/SD0 command output and response input signal
271	MODE8/SCIF4_ TXD/DRAK0/ SSI3_SCK/FSE	I/O/O /I/O/O	Mode 8/SCIF4 transmit data/DMA transfer request acknowledge 0/SSI3 serial bit clock/NAND FSE
272	MODE9/SCIF4_ RXD/DRAK1/ SSI3_SDATA	I/I/O/ IO	Mode 9/SCIF4 receive data/DMA transfer request acknowledge 1/SSI3 serial data
273	MODE10/SCIF4 _SCK/DRAK2/ SSI3_WS	I/O/ O/O	Mode 10/SCIF4 synchronous/DMA transfer request acknowledge 2/SSI3 word select
274	MODE11/ DRAK3/CE2A	I/O/O	Mode 11/DMA transfer request acknowledge 3/PCMCIA CE2A

番号	端子名	I/O	機能
275	MODE12/SCIF5 _TXD/CE2B	I/O/O	Mode 12/SCIF5 transmit data/PCMCIA CE2B
276	MODE13/SCIF5 _RXD/IOIS16	I//O	Mode 13/SCIF5 receive data/PCMCIA IOIS16
277	MODE14/SCIF5 _SCK/FRB	I/O/I	Mode 14/SCIF5 synchronous/NAND flash ready or busy

1.4 ピン配置図

パッケージ：FC-BGA 593 ピン、25mm × 25mm、ボールピッチ 0.8mm

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	
A	VSS	MFRAS	MA10	MA2	VCCQ_DDR15	MA9	VSS	MA13	VCCQ_DDR15	MBKPRST	SDBUP	VSS	PCIE_TX1_0	VSS	VSS	PCIE_TX0_3	PCIE_TX0_2	VSS	GCLK	GCLK	VSS	PCIE_RX0_1	VSS	VSS	VSS	VSS	VSS	VSS	
B	VCCQ_DDR15	VSS	MCA5	MWE	MA1	MA3	MA11	MA5	MA14	MZQ	NC	VSS	PCIE_TX1_0	VSS	VSS	PCIE_RX0_3	PCIE_RX0_2	VSS	VSS	VSS	VSS	PCIE_RX0_1	PCIE_TX0_1	VSS	VSS	VSS	MPMD	PRESET	
C	VSS	VCCQ_DDR15	VSS	MA2	MA15	MA0	MA12	MA4	MA7	MRESET	VSS	VSS	PCIE_RX1_0	VSS	VSS	PCIE_RX0_3	PCIE_RX0_2	VSS	VSS	VSS	VSS	PCIE_RX0_1	PCIE_RX0_0	VSS	VSS	VCCQ	IRL0	VSS	
D	VSS	VCCQ_DDR15	VCCQ_DDR15	VSS	VCCQ_DDR15	MBA0	MBA1	VSS	MA6	MA8	VSS	VDD_PCIE	PCIE_RX1_0	VSS	VSS	PCIE_RX0_3	PCIE_RX0_2	VSS	VCCQ_PC15	VCCQ_PC15	VSS	PCIE_RX0_1	PCIE_RX0_0	VSS	VSS	NMI	HACL1_S01	HACL1_S00	
E	MD02	MD06	MD04	MD07	VSS	VCCQ_DDR15	VCCQ_DDR15	VSS	VSS	VCCQ_DDR15	VSS	VDD_PCIE	VCCQ_PCIE	VCCQ_PC15	VDD_PCIE	VCCQ_PCIE	VDD_PCIE	VCCQ_PC15	VDD_PCIE	VCCQ_PCIE	VDD_PCIE	VCCQ_PCIE	VDD_PCIE	VCCQ_PCIE	NC	VSS	HACL1_S01	HACL1_S00	
F	VCCQ_DDR15	MDM0	MDQ55	MDQ50	VSS	VCCQ_DDR15	VSS	VSS	VSS	VCCQ_DDR15	VSS	VDD_PCIE	VCCQ_PCIE	VCCQ_PC15	VDD_PCIE	VCCQ_PCIE	VDD_PCIE	VDD_PCIE	VDD_PCIE	VDD_PCIE	VDD_PCIE	VDD_PCIE	VDD_PCIE	VCCQ_PCIE	VSS	VSS	HACL1_S01	HACL1_S00	
G	MD01	MD05	MDQ0	MD03	VSS	VSS	VSS																	VSS	VSS	DREQ1_OV1	IRL2	IRL3	
H	VSS	VSS	VSS	VSS	VCCQ_DDR15	VCCQ_DDR15																		VCCQ	VCCQ	VCCQ	USB_OVCO	USB_DM0	USB_DP0
J	MDQ9	MDQ13	MDQ15	MDQ11	VCCQ_DDR15	MVREF0																		AV12	VCCQ	VCCQ	AV33	AG33	USB_REXT
K	VCCQ_DDR15	MDM1	MDQ51	MDQ51	VSS	VSS																		AG12	VSS	VSS	USB_OV1	USB_DM1	USB_DP1
L	MDQ14	MDQ12	MDQ8	MDQ10	VSS	VSS							VDD	VSS	VSS	VSS	VDD							VSS	VSS	USB_PENCO	USB_EXTAL	USB_XTAL	
M	MCK0	VSS	VSS	VSS	VCCQ_DDR15	VCCQ_DDR15							VSS	VSS	VSS	VDD	VSS	VSS	VSS					VCCQ	VCCQ	DREQ0_OV1	IC2_SD1	IC2_SCIF2	
N	MCK0	VSS	MODT0	MCKE0	VCCQ_DDR15								VSS	VSS	VSS	VDD	VSS	VSS	VSS					VCCQ	VCCQ	IC2_SCIF1	IC2_SCIF2	IC2_SCIF3	
P	VSS	VSS	VSS	VSS	VSS	VSS							VDD	VDD	VDD	VDD	VDD	VDD	VDD					VSS	VSS	D31	D30	D29	
R	MCK1	VSS	MCKE1	MCKE1	MODT1	VCCQ_DDR15							VSSA	VDD	VDD	VDD	VDD	VDD	VDD					VSS	VSS	STATUS_S01	D28	D25	
T	MCK1	VSS	VSS	VSS	VCCQ_DDR15	VCCQ_DDR15							VREFA	VSS	VSS	VDD	VDD	VSS	VSS					VCCQ	VCCQ	D26	D23	D22	
U	MDQ22	MDQ18	MDQ20	MDQ23	VSS	VSS							VSS	VSS	VSS	VDD	VSS	VSS	VSS					VCCQ	VCCQ	D21	D19	D17	
V	VCCQ_DDR15	MDM2	MDQ52	MDQ52	VSS	VSS							VDD	VSS	VSS	VDD	VSS	VSS	VDD					VSS	VSS	WE0_IORD	WE1_FWE	D18	
W	MDQ21	MDQ17	MDQ16	MDQ19	VCCQ_DDR15	MVREF1																		VSS	VSS	D13	D14	D15	
Y	VSS	VSS	VSS	VSS	VCCQ_DDR15	VCCQ_DDR15																		VCCQ	VCCQ	D7/FD7	D11	D12	
AA	MDQ29	MDQ25	MDQ31	MDQ27	VSS	VSS																		VCCQ	VCCQ	D6/FD6	D10	D8	
AB	VCCQ_DDR15	MDM3	MDQ53	MDQ53	VSS	VCCQ_DDR15																		VSS	VSS	D3/FD3	R/W	D4/FD4	
AC	MDQ28	MDQ30	MDQ24	MDQ26	VCCQ_DDR15	VSS	VCCQ_DDR15	VSS	VCCQ	VCCQ	VSS	VSS	VCCQ	VCCQ	VSS	VSS	VCCQ	VCCQ	VSS	VSS	VCCQ	VCCQ	VSS	VSS	VSS	BS	D0/FD0	D1/FD1	
AD	VSS	VSS	VSS	VCCQ_DDR15	VSS	VSS	VSS	VSS	VCCQ	VCCQ	VSS	VSS	VCCQ	VCCQ	VSS	VSS	VCCQ	VCCQ	VSS	VSS	VCCQ	VCCQ	VSS	VSS	VSS	VTHSE	VTHRE	CLKOU	
AE	VCCQ_DDR15	VCCQ_DDR15	VCCQ_DDR15	VSS	VSS	TRST	SCIF1_SCK	DCLK_OUT	HSYNC_HSP1_TX	DB1_ETH_RX_DV	DG0_ETH_CRS	DR1_ETH_TXD1	MODE0_DRDQ1	MODE10_SCK_S01	AS	A11	A18	A23	CS0	A10	VSSA1	VDDA1	CS3	VSS	VSS	A24	RDY		
AF	AUDSYNC	VCCQ_DDR15	AUDAT_A2	VSS	TDI	SCIF1_TXD	ODDF_HSP1_CS	DCLKIN_RX	DISP1_ETH_LINK	DB5_ETH_RXD3	DB2_ETH_RXD0	DG4_ETH_RX_GL4	DR3_ETH_TXD3	MODE11_SCK_S01	MODE12_SCK_S01	MODE13_SCK_S01	MODE14_SCK_S01	MODE15_SCK_S01	MODE16_SCK_S01	MODE17_SCK_S01	MODE18_SCK_S01	MODE19_SCK_S01	MODE20_SCK_S01	MODE21_SCK_S01	MODE22_SCK_S01	MODE23_SCK_S01	MODE24_SCK_S01	MODE25_SCK_S01	
AG	AUDACK	AUDAT_A0	VSS	VSS	TCK	TDO	XTAL	VSSYNC_HSP1_CLK	CDE_ETH_LINK	DB4_ETH_RXD2	DG3_ETH_MDC	DG2_ETH_COL	DR5_ETH_TX_ER	MODE26_SCK_S01	MODE27_SCK_S01	MODE28_SCK_S01	MODE29_SCK_S01	MODE30_SCK_S01	MODE31_SCK_S01	MODE32_SCK_S01	MODE33_SCK_S01	MODE34_SCK_S01	MODE35_SCK_S01	MODE36_SCK_S01	MODE37_SCK_S01	MODE38_SCK_S01	MODE39_SCK_S01	MODE40_SCK_S01	
AH	VSS	AUDAT_A1	AUDAT_A3	VSS	ASEBRK_BRRACK	TMS	EXTAL	SCIF1_RXD	DB3_ETH_RX_ER	DB0_ETH_RX_ER	DG5_ETH_MDC	DG1_ETH_TX_CLK	DR0_ETH_TXD0	MODE36_SCK_S01	MODE37_SCK_S01	MODE38_SCK_S01	MODE39_SCK_S01	MODE40_SCK_S01	MODE41_SCK_S01	MODE42_SCK_S01	MODE43_SCK_S01	MODE44_SCK_S01	MODE45_SCK_S01	MODE46_SCK_S01	MODE47_SCK_S01	MODE48_SCK_S01	MODE49_SCK_S01	MODE50_SCK_S01	

【注】誤動作の原因となることがありますので、PRESET、NMI、MPMD、の各端子にはノイズ対策を行ってください。

図 1.2 SH7786 のピン配置図 (1) (パッケージ TOP VIEW)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28																	
AH	VSS	AUDAT A1	AUDAT A3	VSS	ASEBR/ BRKACK	TMS	EXTAL	SCIF1_RXD	DB3/ ETH_RXD1	DB0/ ETH_RX_ER	DG5/ ETH_MDIO	DG1/ ETH_TX_CLK	DR4/ ETH_TX_EN	DR0/ ETH_TXD0	MODE3/ SCIF2_RX1	MODE4/ SCIF2_RX2	MODE5/ SCIF2_RX3	A3	A4	A7	A15	A16	A19	A22	CS2	R0/ FRAME/ FRE	MODE14/ SCIF5_RX0	VSS																	
AG	AUDACK	AUDAT A0	VSS	VSS	TCK	TDO	XTAL	VSYNCP/ HSPL_CLK	CDE/ ETH_RXD2	DB4/ ETH_RXD2	DG3/ ETH_MD0	DG2/ ETH_TX_CLK	DR5/ ETH_TXD2	DR2/ ETH_TXD2	MODE3/ SCIF2_RX1	MODE4/ SCIF2_RX2	MODE5/ SCIF2_RX3	A0	A1	A5	A8	A13	A17	A20	CS5	CS7/ A26	DAK0/ FCLE	MODE13/ SCIF5_RX0	A25																
AF	AUDSY NC	VCCQ_DDR15	AUDAT A2	VSS	TDI	SCIF1_TXD	ODD7/ RSPL_CS	DCLNPN/ HSPL_RX	DISP/ ETH_LINK	DB5/ ETH_RXD3	DB2/ ETH_RXD0	DG4/ ETH_TX_CLK	DR3/ ETH_TXD3	DR1/ ETH_TXD3	MODE2/ SCIF1_RX0	MODE1/ SCIF1_RX1	MODE6/ SCIF4_RX0	A2	A9	A12	A14	A21	CS6	CS4	DAK1/ BACK/ FALE	VCCQ	MODE12/ SCIF5_TX0	MODE11/ DAACK/ CE2A																	
AE	VCCQ_DDR15	VCCQ_DDR15	VCCQ_DDR15	VSS	VSS	TRST	SCIF1_SCK	DCLK OUT	HSYNCP/ HSPL_TX	DB1/ ETH_RX_DV	DG0/ ETH_CR0	DR1/ ETH_TXD1	MODE5/ DRFG0	MODE2/ SCIF1_RX0	A6	A11	A18	A23	CS0	A10	VSSA1	VDDA1	CS3	VSS	VSS	A24	R0V	CLKOUT																	
AD	VSS	VSS	VSS	VCCQ_DDR15	VSS	VSS	VSS	VSS	VCCQ	VCCQ	VSS	VSS	VCCQ	VCCQ	VSS	VSS	VCCQ	VCCQ	VSS	VSS	VCCQ	VCCQ	VSS	VSS	VSS	VSS	VSS	VTHSE	VTHRE	CLKOUT															
AC	MDQ28	MDQ30	MDQ24	MDQ26	VCCQ_DDR15	VSS	VCCQ_DDR15	VSS	VCCQ	VCCQ	VSS	VSS	VCCQ	VCCQ	VSS	VSS	VCCQ	VCCQ	VSS	VSS	VCCQ	VCCQ	VSS	VSS	VSS	VSS	BS	D0/FO0	D1/FD1	D2/FD2															
AB	VCCQ_DDR15	MDM3	MDQ33	MDQ33	VSS	VCCQ_DDR15	PKG Bottom															VSS	VSS	D3/FD3	R/W	D4/FD4	D5/FD5																		
AA	MDQ29	MDQ25	MDQ31	MDQ27	VSS	VSS																VCCQ	VCCQ	D6/FD6	D10	D8	D9																		
Y	VSS	VSS	VSS	VSS	VCCQ_DDR15	VCCQ_DDR15																VCCQ	VCCQ	D7/FD7	D11	D12	WE0	REG																	
W	MDQ21	MDQ17	MDQ16	MDQ19	VCCQ_DDR15	MVREF 1																VSS	VSS	D13	D14	D15	WE3	IOWR																	
V	VCCQ_DDR15	MDM2	MDQ32	MDQ32	VSS	VSS																VSS	VSS	WE5	IORD	WE1	D18	D16																	
U	MDQ22	MDQ18	MDQ20	MDQ23	VSS	VSS																VSS	VSS	VCCQ	VCCQ	D21	D19	D17	D20																
T	MCK1	VSS	VSS	VSS	VCCQ_DDR15	VCCQ_DDR15																VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS
R	MCKT	VSS	MCKE1	MC51	MODT1	VCCQ_DDR15																VSSA	VDD	VDD	VDD	VDD	VDD	VDD	VDD	VSS	VSS	STATU S1/ SSI2_CLK	D28	D25	D27										
P	VSS	VSS	VSS	VSS	VSS	VSS																VDD	VDD	VDD	VDD	VDD	VDD	VDD	VDD	VSS	VSS	I2C_SCL1/ SCIF2_SCK	D31	D30	D29										
N	MCK0	VSS	MODT0	MC50	MCKE0	VCCQ_DDR15																VSS	VSS	VSS	VDD	VDD	VSS	VSS	VSS	VSS	VSS	I2C_SCL0/ SCIF2_RXD	SCIF3_RX0	SCIF3_TX0	SCIF3_RX1	SCIF3_TX1	STATUS0	SS2_CLK							
M	MCK0	VSS	VSS	VSS	VCCQ_DDR15	VCCQ_DDR15	VSS	VSS	VSS	VDD	VDD	VSS	VSS	VSS	VSS	VSS	DREQ0 USB_OVCO	I2C_SDA1/ I2C_PEN0	I2C_SDA2/ I2C_PEN1	SCIF3_TX0	SCIF3_TX1	STATUS0	SS2_CLK																						
L	MDQ14	MDQ12	MDQ8	MDQ10	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS															
K	VCCQ_DDR15	MDM1	MDQ31	MDQ31	VSS	VSS	AG12	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS															
J	MDQ9	MDQ13	MDQ15	MDQ11	VCCQ_DDR15	MVREF 0	AV12	VCCQ	VCCQ	VCCQ	AV33	AG33	USB_REXT																																
H	VSS	VSS	VSS	VSS	VCCQ_DDR15	VCCQ_DDR15	VCCQ	VCCQ	VCCQ	USB_OVCO	USB_DM0	USB_DP0																																	
G	MDQ1	MDQ5	MDQ0	MDQ3	VSS	VSS	VSS	VSS	IREG0	BREQ USB_OVCO	IRL2	IRL3	IRL1																																
F	VCCQ_DDR15	MDM0	MDQ30	MDQ30	VSS	VCCQ_DDR15	VSS	VSS	VSS	VCCQ_PCH15	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS																
E	MDQ2	MDQ6	MDQ4	MDQ7	VSS	VCCQ_DDR15	VCCQ_DDR15	VSS	VSS	VCCQ_PCH15	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS																
D	VSS	VCCQ_DDR15	VCCQ_DDR15	VSS	VCCQ_DDR15	MBA0	MBA1	VSS	MA6	MA8	VSS	VDD_PCIE	PCIE_RX1_0	VSS	VSS	PCIE_RX0_3	PCIE_RX0_2	VSS	VCCQ_PCH15	PCIE_PCH15	VSS	PCIE_RX0_1	PCIE_RX0_0	VSS	VSS	NMI	IRL0	VSS																	
C	VSS	VCCQ_DDR15	VSS	MBA2	MA15	MA0	MA12	MA4	MA7	MRESET	VSS	VSS	PCIE_RX1_0	VSS	VSS	PCIE_RX0_3	PCIE_RX0_2	VSS	VSS	VSS	VSS	VSS	PCIE_RX0_1	PCIE_RX0_0	VSS	VSS	VCCQ	IRL0	VSS																
B	VCCQ_DDR15	VSS	MCA3	MWE	MA1	MA3	MA11	MA5	MA14	MZQ	NC	VSS	PCIE_TX1_0	VSS	VSS	PCIE_TX0_3	PCIE_TX0_2	VSS	VSS	VSS	VSS	VSS	PCIE_TX0_1	PCIE_TX0_0	VSS	VSS	VSS	MPMD	PRESET																
A	VSS	MRA3	MA10	MA2	VCCQ_DDR15	MA9	VSS	MA13	VCCQ_DDR15	MARPR ST	SDBUP	VSS	PCIE_TX1_0	VSS	VSS	PCIE_TX0_3	PCIE_TX0_2	VSS	VSS	GCLK	GCLK	VSS	PCIE_TX0_1	PCIE_TX0_0	VSS	VSS	VSS	VSS	VSS																

【注】 振動作の要因となることがありますので、PRESET、NMI、MPMD、の各端子にはノイズ対策を行ってください。

図 1.3 SH7786 のピン配置図 (2) (パッケージ BOTTOM VIEW)

1.5 アドレスマップ

SH7786 は 32 ビットの論理アドレス空間と、29 ビットおよび 32 ビットの物理アドレス空間をサポートします。
(29 ビットアドレスモードと 32 ビットアドレスモードはモードピンによって選択されます)

論理アドレス空間と物理アドレス空間の詳細については「第 7 章 メモリマネジメントユニット (MMU)」を参照してください。

図 1.4 に SH7786 のメモリアドレスマップを示します。SH7786 のメモリアドレスマップは LBSC の MMSEL.R.MM_SEL ビットの設定により、CS2 から CS5 の空間が切り替わります。

CPU0/1 内の内蔵メモリ (IL メモリ/OL メモリ) の詳細については、「第 9 章 内蔵メモリ」を参照してください。

		000	001	010	011	100	101	110	111	
H'00000000 ~ H'03FFFFFF	CS0	LBSC								
H'04000000 ~ H'07FFFFFF	CS1	LBSC								
H'08000000 ~ H'0BFFFFFF	CS2	DBSC (2)								
H'0C000000 ~ H'0FFFFFFF	CS3	DBSC (3)								
H'10000000 ~ H'13FFFFFF	CS4	LBSC	PCI Express 0ch			DBSC (4)	LBSC	PCI Express 0ch		DBSC (4)
H'14000000 ~ H'147FFFFFFF	CS5	LBSC	LBSC	CPU0 ILメモリ/OLメモリ	DBSC (5)	LBSC	LBSC	CPU0 ILメモリ/OLメモリ	DBSC (5)	
H'14800000 ~ H'14FFFFFF			CPU1 ILメモリ/OLメモリ				CPU1 ILメモリ/OLメモリ			
H'15000000 ~ H'17FFFFFF			RESERVED				RESERVED			
H'18000000 ~ H'1BFFFFFF	CS6	LBSC								
H'1C000000 ~ H'1FFFFFFF		RESERVED								
H'20000000 ~ H'2FFFFFFF		PCI Express 2ch								
H'30000000 ~ H'3FFFFFFF		PCI Express 1ch								
H'40000000 ~ H'43FFFFFF		DBSC (0)								
H'44000000 ~ H'47FFFFFF		DBSC (1)								
H'48000000 ~ H'4BFFFFFF		DBSC (2)								
H'4C000000 ~ H'4FFFFFFF		DBSC (3)								
H'50000000 ~ H'53FFFFFF		DBSC (4)								
H'54000000 ~ H'57FFFFFF		DBSC (5)								
H'58000000 ~ H'5BFFFFFF		DBSC (6)								
H'5C000000 ~ H'5FFFFFFF		DBSC (7)								
H'60000000 ~ H'63FFFFFF		DBSC (8)								
H'64000000 ~ H'67FFFFFF		DBSC (9)								
H'68000000 ~ H'6BFFFFFF		DBSC (10)								
H'6C000000 ~ H'6FFFFFFF		DBSC (11)								
H'70000000 ~ H'73FFFFFF		DBSC (12)								
H'74000000 ~ H'77FFFFFF		DBSC (13)								
H'78000000 ~ H'7BFFFFFF		DBSC (14)								
H'7C000000 ~ H'7FFFFFFF		DBSC (15)								
H'80000000 ~ H'83FFFFFF									DBSC (16)	
H'84000000 ~ H'87FFFFFF									DBSC (17)	
H'88000000 ~ H'8BFFFFFF									DBSC (18)	
H'8C000000 ~ H'8FFFFFFF		PCI Express 2ch							DBSC (19)	
H'90000000 ~ H'93FFFFFF									DBSC (20)	
H'94000000 ~ H'97FFFFFF									DBSC (21)	
H'98000000 ~ H'9BFFFFFF									DBSC (22)	
H'9C000000 ~ H'9FFFFFFF									DBSC (23)	
H'A0000000 ~ H'A3FFFFFF									DBSC (24)	
H'A4000000 ~ H'A7FFFFFF									DBSC (25)	
H'A8000000 ~ H'ABFFFFFF									DBSC (26)	
H'AC000000 ~ H'AFFFFFFFF	PCI Express 1ch							DBSC (27)		
H'B0000000 ~ H'B3FFFFFF								DBSC (28)		
H'B4000000 ~ H'B7FFFFFF								DBSC (29)		
H'B8000000 ~ H'BBFFFFFF								DBSC (30)		
H'BC000000 ~ H'BFFFFFFF								DBSC (31)		
H'C0000000 ~ H'DFFFFFFF	PCI Express 0ch									
H'E0000000 ~ H'E3FFFFFF	CPU 内蔵モジュール									
H'E4000000 ~ H'E4FFFFFF	共有メモリ*									
H'E5000000 ~ H'F7FFFFFF	CPU 内蔵モジュール									
H'F8000000 ~ H'F87FFFFFFF	CPU0 ILメモリ/OLメモリ									
H'E8000000 ~ H'E8FFFFFF	CPU1 ILメモリ/OLメモリ									
H'E9000000 ~ H'FBFFFFFF	CPU 内蔵モジュール									
H'FC000000 ~ H'FFFFFFF	周辺モジュール									

【注】 * 2次キャッシュを共有メモリとして使用する場合、H'E4000000~H'E403FFFF (256KB時) がRAMとなります。

図 1.4 SH7786 アドレスマップ

2. プログラミングモデル

本章では、本 LSI のプログラミングモデルについて記述します。本 LSI では以下に示すレジスタとデータ形式を持っています。

2.1 データフォーマット

本 LSI でサポートしているデータフォーマットを図 2.1 に示します。

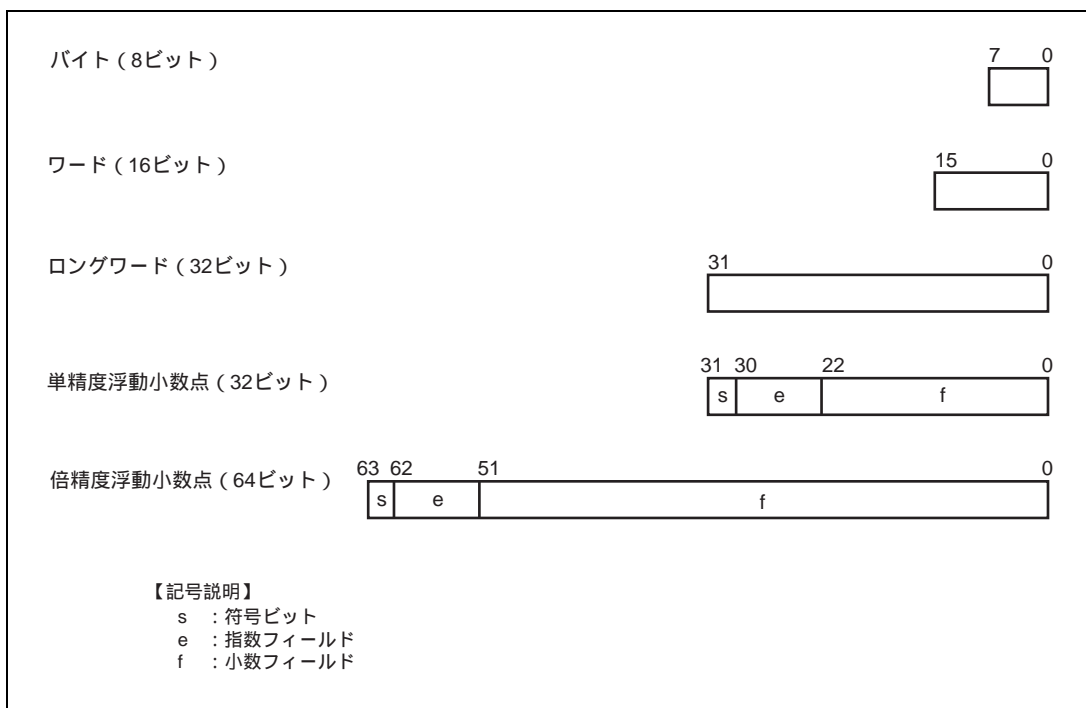


図 2.1 データフォーマット

2.2 レジスタの構成

2.2.1 特権モードとバンク

(1) 処理モード

処理モードにはユーザモードと特権モードの2つがあります。通常はユーザモードで動作し、例外が発生または割り込みを受け付けると特権モードになります。レジスタには、汎用レジスタ、システムレジスタ、コントロールレジスタ、および浮動小数点レジスタがあり、アクセスできるレジスタはそれぞれの処理モードで異なります。

(2) 汎用レジスタ

汎用レジスタにはR0からR15までの16本のレジスタがあります。汎用レジスタR0からR7は、バンクレジスタで、処理モードで切り替えることができます。

- 特権モードの場合

ステータスレジスタ (SR) のレジスタバンクビット (RB) により、汎用レジスタとしてアクセスできるレジスタとできないレジスタが決まります。汎用レジスタとしてアクセスできないレジスタは、コントロールレジスタのロード命令 (LDC) とストア命令 (STC) でアクセスします。

RBビットが1のとき、つまりバンク1が選ばれているときは、バンク1の汎用レジスタR0_BANK1からR7_BANK1とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク0の汎用レジスタR0_BANK0からR7_BANK0の8本のレジスタはLDC/STC命令でアクセスできます。

RBビットが0のとき、つまりバンク0が選ばれているときは、バンク0の汎用レジスタR0_BANK0からR7_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0_BANK1からR7_BANK1の8本のレジスタはLDC/STC命令でアクセスできます。

- ユーザモードの場合

バンク0の汎用レジスタR0_BANK0からR7_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0_BANK1からR7_BANK1の8本のレジスタはアクセスできません。

(3) コントロールレジスタ

コントロールレジスタには、処理モードで共通のグローバルベースレジスタ (GBR) とステータスレジスタ (SR) があり、特権モードでのみアクセスできる退避ステータスレジスタ (SSR)、退避プログラムカウンタ (SPC)、ベクタベースレジスタ (VBR)、退避ジェネラルレジスタ 15 (SGR)、デバッグベースレジスタ (DBR) があります。ステータスレジスタには、特権モードでのみアクセスできるビット (たとえばRBビット) があります。

(4) システムレジスタ

システムレジスタには、積和レジスタ (MACH/MACL)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) があり、処理モードに関係しません。

(5) 浮動小数点レジスタと FPU に関するシステムレジスタ

浮動小数点レジスタには、FR0~FR15、XF0~XF15 の 32 本のレジスタがあります。FR0~FR15、XF0~XF15 をおのおの FPR0_BANK0~FPR15_BANK0、FPR0_BANK1~FPR15_BANK1 のいずれのバンクに割り付けるか選択できます。

また、FR0~FR15 は、DR0/2/4/6/8/10/12/14(倍精度浮動小数点レジスタ、またはレジスタペア)の 8 本、FV0/4/8/12(レジスタベクタ)の 4 本として使用でき、XF0~XF15 は、XD0/2/4/6/8/10/12/14(レジスタペア)の 8 本、XMTRX(レジスタ行列)の 1 本として使用できます。

FPU に関するシステムレジスタには、浮動小数点コミュニケーションレジスタ (FPUL) と浮動小数点ステータス/コントロールレジスタ (FPSCR) があり、FPU-CPU 間の通信や例外処理の設定を行います。

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値*
汎用レジスタ	R0_BANK0~R7_BANK0、 R0_BANK1~R7_BANK1、 R8~R15	不定
コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、BL ビットは 1、 FD ビットは 0、IMASK は B'1111、リザーブビットは 0、その他は不定
	GBR、SSR、SPC、SGR、DBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	H'A0000000
浮動小数点レジスタ	FR0~FR15、XF0~XF15、FPUL	不定
	FPSCR	H'00040001

【注】 * パワーオンリセット、マニュアルリセットで初期化されます。

処理モード別の CPU レジスタ構成を図 2.2 に示します。

ユーザモードと特権モードは、ステータスレジスタの処理モードビット (MD) で切り替えます。

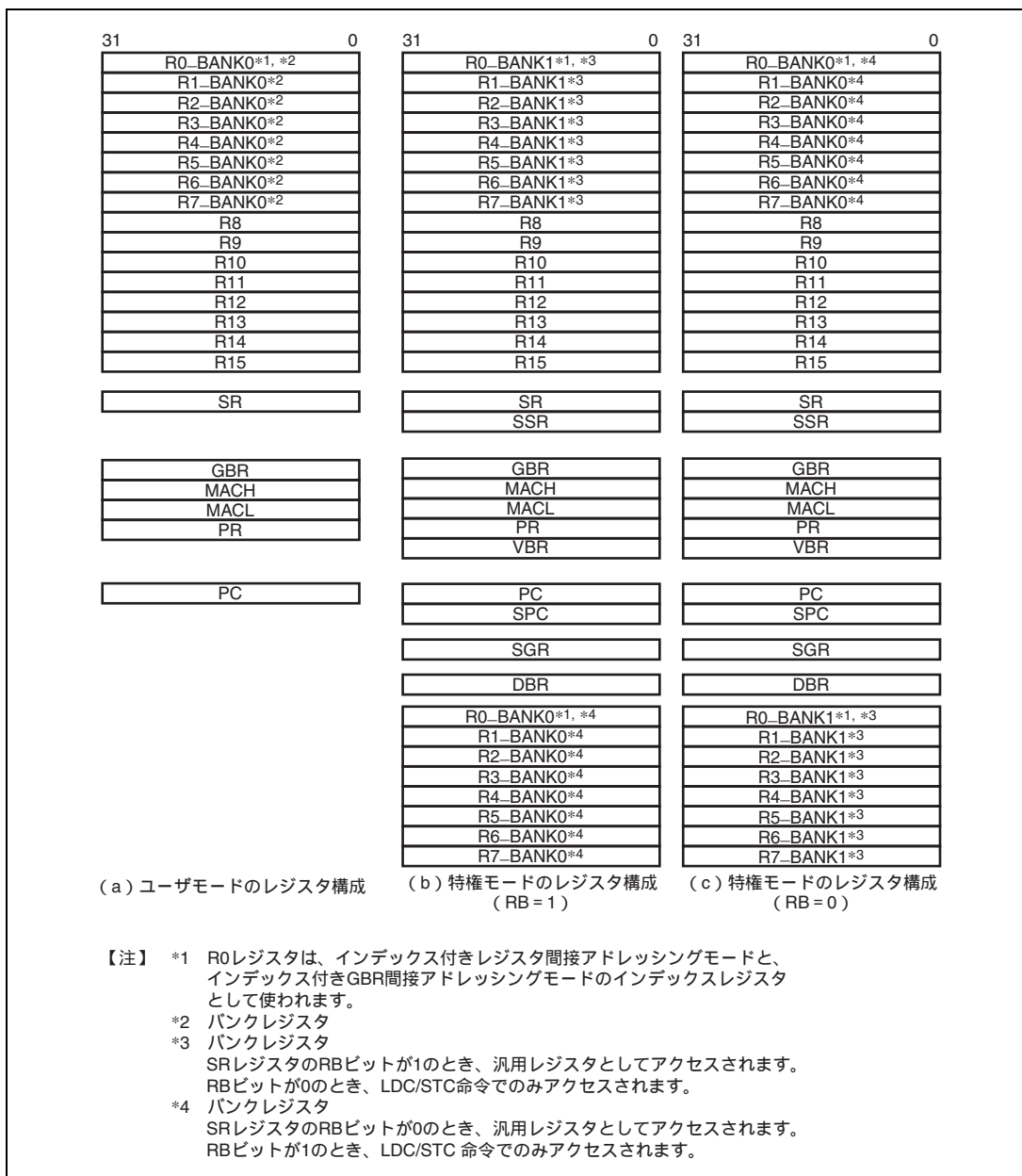


図 2.2 処理モード別の CPU レジスタ構成

2.2.2 汎用レジスタ

図 2.3 に処理モードと汎用レジスタの関係を示します。本 LSI には 24 本の 32 ビット汎用レジスタ(R0_BANK0 ~ R7_BANK0、R0_BANK1 ~ R7_BANK1、R8 ~ R15)があります。ただし、これらのうち 16 本のレジスタのみ 1 つの処理モードで汎用レジスタ R0 ~ R15 としてアクセスできます。本 LSI には特権モードとユーザモードの 2 つの処理モードがあります。R0 ~ R7 はその 2 つのモードにより次のように割り当てられます。

- R0_BANK0 ~ R7_BANK0

ユーザモード (SR.MD=0) では、常に R0 ~ R7 に割り当てられます。

特権モード (SR.MD=1) では、(SR.RB=0) の場合に限り R0 ~ R7 に割り当てられます。

- R0_BANK1 ~ R7_BANK1

ユーザモードでは、アクセスできません。

特権モードでは、(SR.RB=1) の場合に限り、R0 ~ R7 に割り当てられます。

SR.MD=0 または (SR.MD=1, SR.RB=0)		(SR.MD=1, SR.RB=1)
R0	R0_BANK0	R0-BANK0
R1	R1_BANK0	R1-BANK0
R2	R2_BANK0	R2-BANK0
R3	R3_BANK0	R3-BANK0
R4	R4_BANK0	R4-BANK0
R5	R5_BANK0	R5-BANK0
R6	R6_BANK0	R6-BANK0
R7	R7_BANK0	R7-BANK0
R0-BANK1	R0_BANK1	R0
R1-BANK1	R1_BANK1	R1
R2-BANK1	R2_BANK1	R2
R3-BANK1	R3_BANK1	R3
R4-BANK1	R4_BANK1	R4
R5-BANK1	R5_BANK1	R5
R6-BANK1	R6_BANK1	R6
R7-BANK1	R7_BANK1	R7
R8	R8	R8
R9	R9	R9
R10	R10	R10
R11	R11	R11
R12	R12	R12
R13	R13	R13
R14	R14	R14
R15	R15	R15

図 2.3 汎用レジスタ

【プログラミング上の注意】

ユーザモードの R0~R7 は R0_BANK0~R7_BANK0 に、例外・割り込み後の R0~R7 は R0_BANK1~R7_BANK1 に割り当てられるので、割り込みハンドラはユーザモードの R0~R7 (R0_BANK0~R7_BANK0) を退避または復帰する必要はありません。

2.2.3 浮動小数点レジスタ

図 2.4 に浮動小数点レジスタを示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2 つのバンクで構成され、FPR0_BANK0~FPR15_BANK0、FPR0_BANK1~FPR15_BANK1 があります。また、この 32 本レジスタは FR0~FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0~XF15、XD0/2/4/6/8/10/12/14、XMTRX として参照されます。FPRn_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。図 2.4 を参照してください。

(1) 浮動小数点レジスタ FPRn_BANKi (32 レジスタ)

FPR0_BANK0、FPR1_BANK0、FPR2_BANK0、FPR3_BANK0、
FPR4_BANK0、FPR5_BANK0、FPR6_BANK0、FPR7_BANK0、
FPR8_BANK0、FPR9_BANK0、FPR10_BANK0、FPR11_BANK0、
FPR12_BANK0、FPR13_BANK0、FPR14_BANK0、FPR15_BANK0
FPR0_BANK1、FPR1_BANK1、FPR2_BANK1、FPR3_BANK1、
FPR4_BANK1、FPR5_BANK1、FPR6_BANK1、FPR7_BANK1、
FPR8_BANK1、FPR9_BANK1、FPR10_BANK1、FPR11_BANK1、
FPR12_BANK1、FPR13_BANK1、FPR14_BANK1、FPR15_BANK1

(2) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR=0 のとき、FR0~FR15 は FPR0_BANK0~FPR15_BANK0 に割り当てられます。
FPSCR.FR=1 のとき、FR0~FR15 は FPR0_BANK1~FPR15_BANK1 に割り当てられます。

(3) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2 つの FR レジスタから構成されます。

DR0 = {FR0, FR1}、DR2 = {FR2, FR3}、
DR4 = {FR4, FR5}、DR6 = {FR6, FR7}、
DR8 = {FR8, FR9}、DR10 = {FR10, FR11}、
DR12 = {FR12, FR13}、DR14 = {FR14, FR15}

(4) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4 つの FR レジスタから構成されます。

FV0 = {FR0, FR1, FR2, FR3}、
FV4 = {FR4, FR5, FR6, FR7}、
FV8 = {FR8, FR9, FR10, FR11}、
FV12 = {FR12, FR13, FR14, FR15}

(5) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR = 0 のとき、XF0 ~ XF15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。

FPSCR.FR = 1 のとき、XF0 ~ XF15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。

(6) 単精度浮動小数点拡張レジスタのペア XD_i (8 レジスタ)

XD レジスタは 2 つの XF レジスタから構成されます。

XD0 = {XF0, XF1}、XD2 = {XF2, XF3}、

XD4 = {XF4, XF5}、XD6 = {XF6, XF7}、

XD8 = {XF8, XF9}、XD10 = {XF10, XF11}、

XD12 = {XF12, XF13}、XD14 = {XF14, XF15}

(7) 単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は 16 本の XF レジスタから構成されます。

XMTRX =
$$\begin{pmatrix} \text{XF0} & \text{XF4} & \text{XF8} & \text{XF12} \\ \text{XF1} & \text{XF5} & \text{XF9} & \text{XF13} \\ \text{XF2} & \text{XF6} & \text{XF10} & \text{XF14} \\ \text{XF3} & \text{XF7} & \text{XF11} & \text{XF15} \end{pmatrix}$$

FPSCR.FR=0			FPSCR.FR=1				
FV0	DR0	FR0	FPR0_BANK0	XF0	XD0	XMTRX	
		FR1	FPR1_BANK0	XF1			
	DR2	FR2	FPR2_BANK0	XF2	XD2		
		FR3	FPR3_BANK0	XF3			
		FR4	FPR4_BANK0	XF4		XD4	
FV4	DR4	FR5	FPR5_BANK0	XF5			
		FR6	FPR6_BANK0	XF6	XD6		
	DR6	FR7	FPR7_BANK0	XF7			
		FR8	FPR8_BANK0	XF8	XD8		
		FR9	FPR9_BANK0	XF9			
FV8	DR8	FR10	FPR10_BANK0	XF10	XD10		
		FR11	FPR11_BANK0	XF11			
	DR10	FR12	FPR12_BANK0	XF12	XD12		
		FR13	FPR13_BANK0	XF13			
		FR14	FPR14_BANK0	XF14		XD14	
FV12	DR12	FR15	FPR15_BANK0	XF15			
		FR15	FPR15_BANK0	XF15			
XMTRX	XD0	XF0	FPR0_BANK1	FR0	DR0	FV0	
		XF1	FPR1_BANK1	FR1			
		XF2	FPR2_BANK1	FR2			DR2
	XF3	FPR3_BANK1	FR3				
	XD2	XF4	XF4	FPR4_BANK1	FR4	DR4	FV4
			XF5	FPR5_BANK1	FR5		
		XD4	XF6	FPR6_BANK1	FR6	DR6	
			XF7	FPR7_BANK1	FR7		
			XF8	FPR8_BANK1	FR8		DR8
	XF9	FPR9_BANK1	FR9				
	XD8	XF10	XF10	FPR10_BANK1	FR10	DR10	
			XF11	FPR11_BANK1	FR11		
		XD10	XF12	FPR12_BANK1	FR12	DR12	FV12
			XF13	FPR13_BANK1	FR13		
			XF14	FPR14_BANK1	FR14		
XD12	XF14	XF15	FPR15_BANK1	FR15			
		XF15	FPR15_BANK1	FR15			

図 2.4 浮動小数点レジスタ

2.2.4 コントロールレジスタ

(1) ステータスレジスタ (SR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
		MD	RB	BL												
初期値 :	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FD						M	Q		IMASK					S	T
初期値 :	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
R/W :	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30	MD	1	R/W	処理モード 処理モードを選択します。 0 : ユーザモード (命令の中には実行できない命令があります。また、リソースの中にはアクセスできないリソースがあります。) 1 : 特権モード 例外または割り込みにより1にセットされます。
29	RB	1	R/W	特権モードでの汎用レジスタバンク指定ビット 0 : R0_BANK0 ~ R7_BANK0 は汎用レジスタ R0 ~ R7 としてアクセスでき、R0_BANK1 ~ R7_BANK1 は LDC/STC 命令でアクセスできます。 1 : R0_BANK1 ~ R7_BANK1 は汎用レジスタ R0 ~ R7 としてアクセスでき、R0_BANK0 ~ R7_BANK0 は LDC/STC 命令でアクセスできます。 例外または割り込みにより1にセットされます。
28	BL	1	R/W	例外 / 割り込みブロックビット このビットが1のとき、割り込み要求はマスクされ、ユーザブレイク以外の一般例外が発生すると、プロセッサはリセット状態に遷移します。 例外または割り込みにより1にセットされます。
27 ~ 16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15	FD	0	R/W	FPU ディスエーブルビット このビットが1のとき、FPU 命令は一般 FPU 抑止例外を発生させ、FPU 命令が遅延スロットにある場合、スロット FPU 抑止例外が発生します(FPU 命令 : H'F***命令、FPUL/FPSCR に対する LDS(L)/STS(L)命令)。
14 ~ 10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	M	0	R/W	M ビット DIV0S、DIV0U、DIV1 命令で使用します。

ビット	ビット名	初期値	R/W	説明
8	Q	0	R/W	Q ビット DIV0S、DIV0U、DIV1 命令で使用します。
7~4	IMASK	すべて 1	R/W	割り込みマスクレベル IMASK 以下のレベルの割り込みはマスクされます。また、割り込みが発生した場合に、IMASK が割り込み受け付けレベルに変化する動作と変化しない動作を CPU 動作モードレジスタ (CPUOPM) を用いて切り替えることができます。CPUOPM の動作は、「5.2.4 CPU 動作モードレジスタ (CPUOPM)」を参照してください。
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	S	0	R/W	S ビット MAC 命令の飽和動作を指定します。
0	T	0	R/W	T ビット 真/偽条件、キャリ、ポロー、オーバフローまたはアンダフローなどを表します。 詳細は、「第 3 章 命令セット」を参照してください。

(2) 退避ステータスレジスタ (SSR) (32 ビット、特権保護、初期値 = 不定)

SR の内容は例外または割り込みの発生時、SSR に退避されます。

(3) 退避プログラムカウンタ (SPC) (32 ビット、特権保護、初期値 = 不定)

例外または割り込みの発生した命令のアドレスは SPC に退避されます。

(4) グローバルベースレジスタ (GBR) (32 ビット、初期値 = 不定)

GBR は @(disp,GBR)、@(R0,GBR) アドレッシングのベースアドレスとして参照されます。

(5) ベクタベースレジスタ (VBR) (32 ビット、特権保護、初期値 = H'0000 0000)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。詳細については「第 5 章 例外処理」を参照してください。

(6) 退避ジェネラルレジスタ 15 (SGR) (32 ビット、特権保護、初期値 = 不定)

R15 の内容は例外または割り込みの発生時 SGR に退避されます。

(7) デバッグベースレジスタ (DBR) (32 ビット、特権保護、初期値 = 不定)

ユーザブレイクデバッグ機能を有効にする場合 (CBCR.UBDE = 1)、DBR は VBR の代わりにユーザブレイクハンドラへの分岐先アドレスとして参照されます。

2.2.5 システムレジスタ

- (1) 積和上位レジスタ (MACH) (32 ビット、初期値 = 不定)、
積和下位レジスタ (MACL) (32 ビット、初期値 = 不定)

MACH/MACL は、MAC 命令の加算値として用いられます。また MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

- (2) プロシージャレジスタ (PR) (32 ビット、初期値 = 不定)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

- (3) プログラムカウンタ (PC) (32 ビット、初期値 = H'A000 0000)

PC は実行中の命令アドレスを示します。

(4) 浮動小数点ステータス/コントロールレジスタ (FPSCR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
											FR	SZ	PR	DN	Cause	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable (EN)						Flag				RM	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21	FR	0	R/W	浮動小数点レジスタバンク 0: FPR0_BANK0 ~ FPR15_BANK0 は FR0 ~ FR15 に、FPR0_BANK1 ~ FPR15_BANK1 は XF0 ~ XF15 に割り当てられます。 1: FPR0_BANK0 ~ FPR15_BANK0 は XF0 ~ XF15 に、FPR0_BANK1 ~ FPR15_BANK1 は FR0 ~ FR15 に割り当てられます。
20	SZ	0	R/W	転送サイズモード 0: FMOV 命令のデータサイズは 32 ビットです。 1: FMOV 命令のデータサイズは 32 ビットペア、または 64 ビットです。 SZ ビットおよび PR ビットとエンディアンとの関係については、図 2.5 を参照してください。
19	PR	0	R/W	精度モード 0: 浮動小数点命令を単精度演算として実行します。 1: 浮動小数点命令を倍精度演算として実行します(グラフィックサポート命令は未定義です)。 PR ビットおよび SZ ビットとエンディアンとの関係については、図 2.5 を参照してください。
18	DN	1	R/W	非正規化モード 0: 非正規化数を非正規化数として扱います。 1: 非正規化数を 0 として扱います。

ビット	ビット名	初期値	R/W	説明
17~12	Cause	すべて0	R/W	FPU 例外要因フィールド
11~7	Enable(EN)	すべて0	R/W	FPU 例外イネーブルフィールド
6~2	Flag	すべて0	R/W	FPU 例外フラグフィールド FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に0に設定されます。次にFPU 例外が発生すると、FPU 例外要因フィールドとFPU 例外フラグフィールドの該当ビットが1にセットされます。 FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。 各フィールドのビットの割り付けについては表 2.2 を参照してください。
1、0	RM	01	R/W	丸めモード 丸めの方法を選択します。 00 : 近傍への丸め 01 : 0 方向への丸め 10 : リザーブ (設定禁止) 11 : リザーブ (設定禁止)

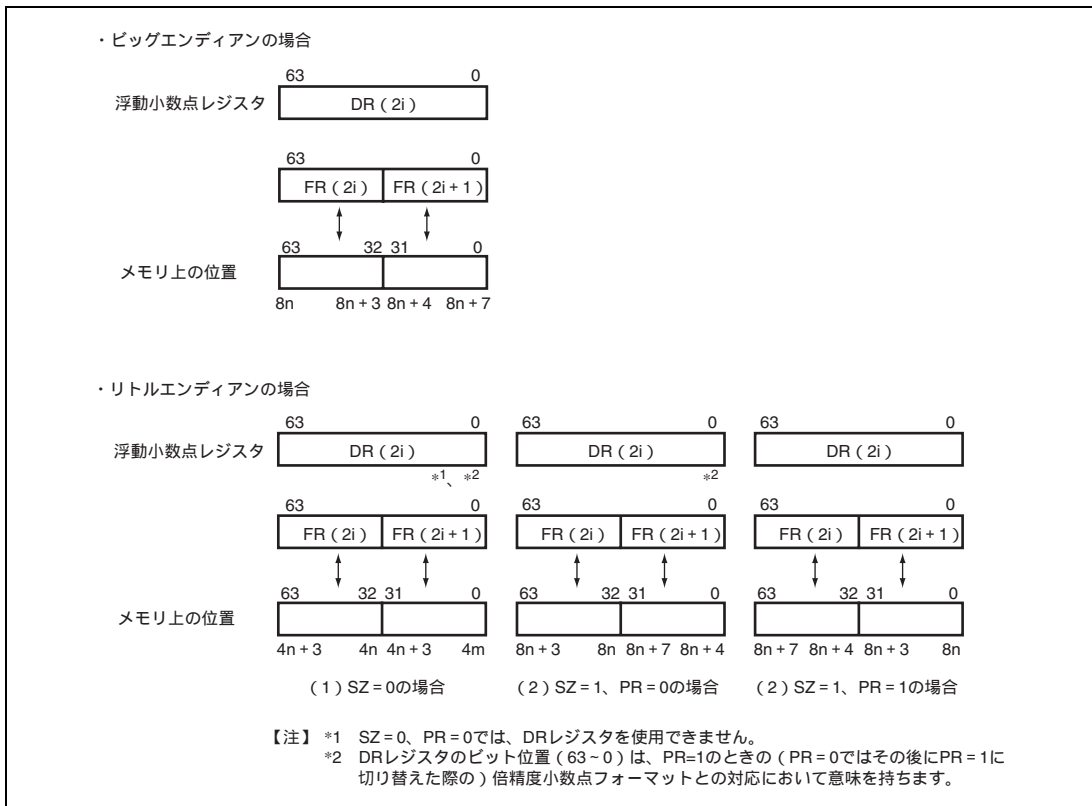


図 2.5 SZ ビットとエンディアンの関係

表 2.2 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー(O)	アンダ フロー(U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

(5) 浮動小数点通信レジスタ (FPUL) (32 ビット、初期値 = 不定)

FPU レジスタと CPU レジスタ間のデータ転送は、FPUL を介して行われます。

2.3 メモリ割り付けレジスタ

制御レジスタのうち、以下のメモリ領域にマッピングされているものがあります。これらのメモリ領域に割り付けられたレジスタには、2つのアドレスがあります。

H'1C00 0000 ~ H'1FFF FFFF

H'FC00 0000 ~ H'FFFF FFFF

以上2つの領域は次のように使用します。

- H'1C00 0000 ~ H'1FFF FFFF

この領域はMMUのアドレス変換機能を用いてアクセスしなければなりません。この領域のページ番号をTLBの該当フィールドに設定することでメモリ割り付けレジスタへアクセスできます。この領域に対して、MMUのアドレス変換機能を用いずにアクセスした場合の動作は保証されません。

- H'FC00 0000 ~ H'FFFF FFFF

ユーザモードで領域H'FC00 0000 ~ H'FFFF FFFFにアクセスすると、アドレスエラーが発生します。ユーザモードではメモリ割り付けレジスタはアドレス変換によるアクセスで参照することができます。

【注】 2つの領域のレジスタが割り付けられていないアドレスにはアクセスしないでください。レジスタが割り付けられていないアドレスに対するアクセスの動作は不定になります。また、メモリ割り付けレジスタは一定のデータサイズでアクセスしなければなりません。不正なサイズでアクセスした場合も動作は不定になります。

2.4 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。

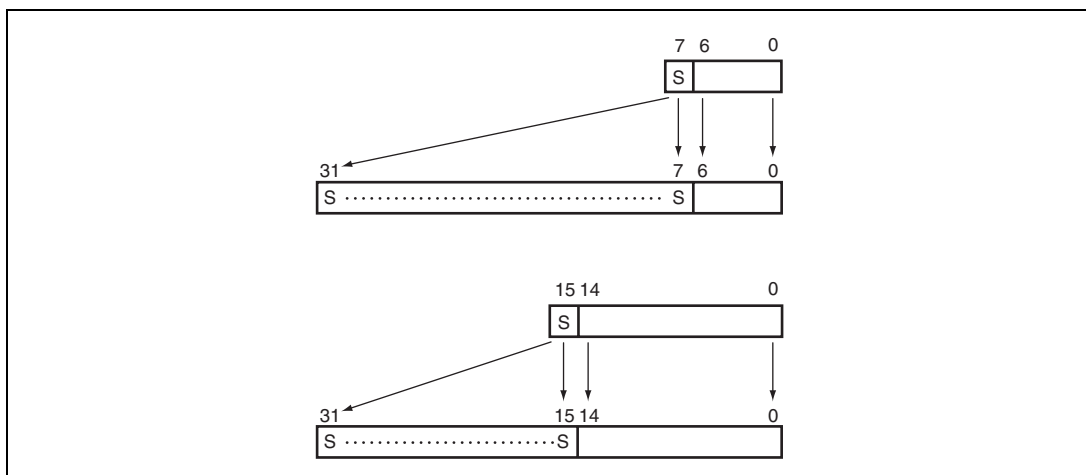


図 2.6 バイトデータ、ワードデータのレジスタ中のデータ形式

2.5 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは符号拡張されてレジスタに格納されます。

ワードオペランドはワード境界 (2 バイト刻みの偶数番地: $2n$ 番地) から、ロングワードオペランドはロングワード境界 (4 バイト刻みの偶数番地: $4n$ 番地) からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドはどの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンかリトルエンディアンのどちらかのバイト順を選択できます。エンディアンはパワーオンリセット時に外部ピンで設定してください。エンディアンは動的には変更できません。ただしビット位置は常に最上位 (most-significant) から最下位 (least-significant) へ左から右へ減少するように番号が付けられています。すなわち 32 ビットのロングワードでは、一番左のビット、ビット 31 が最上位ビットで、一番右のビット、ビット 0 が最下位ビットです。

メモリ上のデータ形式を図 2.7 に示します。

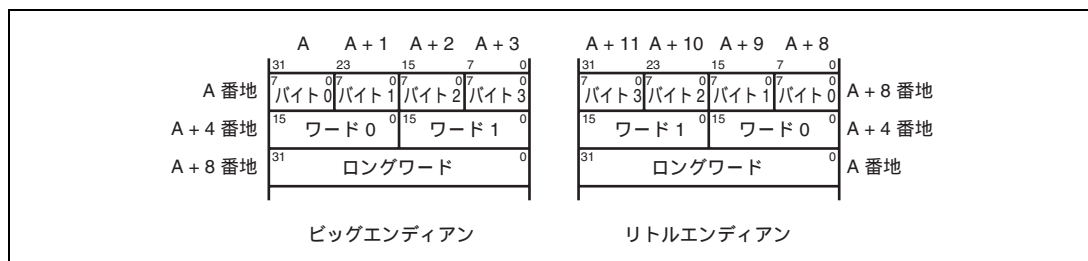


図 2.7 メモリ上のデータ形式

64 ビットのデータ形式については図 2.5 を参照してください。

2.6 処理状態

処理状態には、大きく分けてリセット状態、命令実行状態、低消費電力状態の3種類があります。

(1) リセット状態

CPU がリセットされている状態です。リセット状態は、パワーオンリセット状態とマニュアルリセット状態に分類されます。

パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタが初期化されます。マニュアルリセット状態では、一部の内蔵周辺モジュールのレジスタとCPU の内部状態とが初期化されます。詳細は、各章のレジスタ構成を参照してください。

(2) 命令実行状態

CPU が順次プログラムを実行している状態です。命令実行状態には、一般のプログラム実行状態と例外処理状態があります。

(3) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になります。スリープモード、およびライトスリープモードの2つのモードがあります。詳細は、「第20章 低消費電力モード」を参照してください。

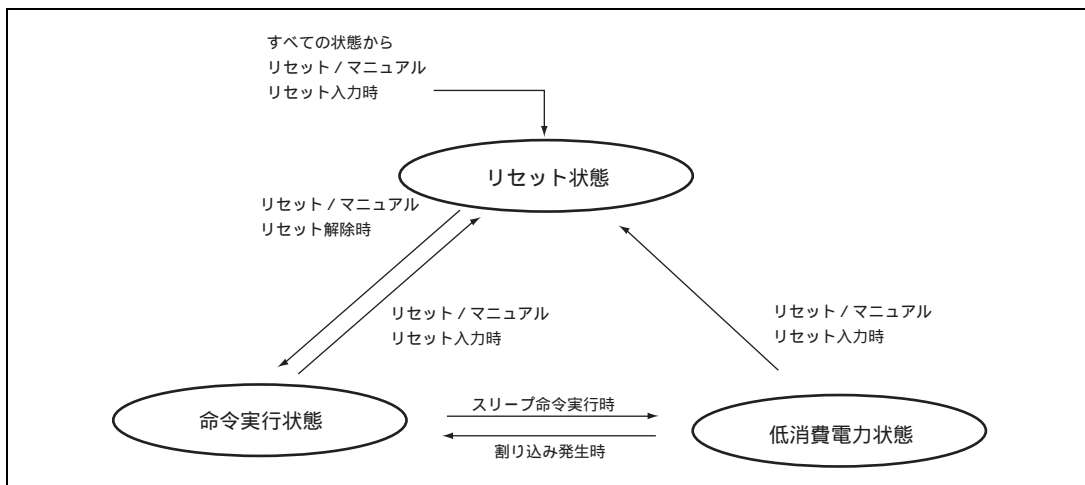


図 2.8 処理状態遷移図

2.7 使用上の注意事項

2.7.1 自己書き換えコード*に対する注意事項

本 LSI は、処理を高速に行うために命令の先読みを従来の SH-4 に比べ大幅に強化しています。このため、メモリ上の命令列の書き換えを行った直後に、当該命令を実行しようとする、すでに先読みされた更新前の命令が実行される可能性が高くなります。確実に更新された命令を実行するためには、書き換えを行う命令と書き換えられた命令の実行の間に下記の命令列を実行するようにしてください。

(1) 書き換える命令列がキャッシング不可領域にある場合

SYNCO

ICBI @Rn

ICBI 命令の Rn で指定するアドレスは、アドレスエラーにならない範囲で任意のアドレスでかまいません。

(2) 書き換える命令列がキャッシング可能領域にある場合 (ライトスルーモード時)

SYNCO

ICBI @Rn

書き換えた命令列に対応する命令キャッシュの領域すべてを ICBI 命令で無効化してください。ICBI はライン単位で行います。1 ラインは 32 バイトです。

(3) 書き換える命令列がキャッシング可能領域にある場合 (コピーバックモード時)

OCBP @Rm または OCBWB @Rm

SYNCO

ICBI @Rn

書き換えた命令列に対応するオペランドキャッシュの領域すべてを OCBP 命令または OCBWB 命令で主記憶に書き戻しを行い、その後 ICBI 命令で対応する命令キャッシュ領域の無効化を行ってください。ICBI/OCBP/OCBWB はライン単位で行います。1 ラインは 32 バイトです。

【注】 * 自己書き換えコード：動的にメモリ上の命令列を書き換えながら実行する処理

2.7.2 命令プリフェッチとその副作用について

本 LSI は、先読みした命令を保持するためのバッファを内部に設けており、常に命令の先読みを行っています。したがって、各メモリ空間の最終 64 バイト領域にプログラムを配置しないでください。その領域にプログラムを配置した場合、メモリエリアを超えて命令の先読みのためのバスアクセスが発生する場合があります。以下にこれが問題となるケースを示します。

アドレス	命令
:	:
H'03FF FFF8	ADD R1,R4 ← PCプログラムカウンタ
H'03FF FFFA	JMP @R2
H'03FF FFFC	NOP
エリア0 H'03FF FFFE	NOP
エリア1 H'04000 0000	
H'04000 0002	← 命令のプリフェッチアドレス

図 2.9 命令のプリフェッチ例

図 2.9 では、PC (プログラムカウンタ) が指し示す命令 (ADD) と、H'0400 0002 番地の命令フェッチが同時に行われるケースを想定しています。また、プログラムは、後続の JMP 命令、ディレイスロット命令の実行後、エリア 1 以外の領域に分岐するものと仮定します。

この場合、プログラムのフローから想定し得ないエリア 1 へのバスアクセス (命令のプリフェッチ) が発生する可能性があります。

(1) 命令のプリフェッチの副作用

1. 命令プリフェッチが引き起こす外部バスアクセスが原因でその領域に接続されたFIFOなどの外部デバイスが誤動作する場合があります。
2. 命令プリフェッチが引き起こす外部バス要求に応答するデバイスが存在しない場合、ハングアップの原因になります。

(2) 回避方法

1. MMUを用いることで、これら不当な命令フェッチを回避することが可能です。
2. 各エリア最終64バイトの領域にプログラムを配置しないことで、回避することが可能です。

3. 命令セット

本 LSI の命令セットは固定長 16 ビット命令で実現されます。本 LSI はバイト(8 ビット)、ワード(16 ビット)、ロングワード(32 ビット)、クワッドワード(64 ビット)のデータサイズでメモリにアクセスします。単精度浮動小数点データ(32 ビット)は、ロングワードまたはクワッドワードサイズでメモリとのやりとりが可能です。倍精度浮動小数点データ(64 ビット)は、クワッドワードサイズでメモリとのやりとりが可能です。本 LSI がバイトサイズおよびワードサイズのデータをメモリからレジスタに移動するとデータは符号拡張されます。

3.1 実行環境

(1) PC

PC はその命令自身の命令アドレスを示します。

(2) ロード/ストアアーキテクチャ

本 LSI は基本的演算をレジスタで実行するロード/ストアアーキテクチャを特長としています。メモリで直接実行する論理 AND 演算のようなビット操作演算を除き、メモリアccessを必要とする演算はレジスタにロードした後、レジスタで実行されます。

(3) 遅延分岐

本 LSI の分岐命令および RTE は、BF、BT の 2 つの分岐命令を除き遅延分岐です。遅延分岐では分岐命令の次の命令は分岐先命令の前に実行されます。

(4) 遅延スロット

遅延分岐後のこの実行スロットは「遅延スロット」と呼ばれます。たとえば、BRA 実行シーケンスは次のとおりです。

表 3.1 遅延分岐命令の実行順序

命令列			実行順序
BRA	TARGET	(遅延分岐命令)	BRA
ADD		(遅延スロット)	
:			ADD
:			
TARGET	target-inst	(分岐先命令)	target-inst

命令によっては遅延スロットで実行するとスロット不当命令例外が発生します。「第 5 章 例外処理」を参照してください。分岐が成立しなかった BF/S、BT/S の次の命令も遅延スロット命令です。

(5) T ビット

ステータスレジスタ (SR) の T ビットは、比較演算の結果などを示すために使用し、条件付き分岐命令で参照します。たとえば、以下に条件付き分岐命令例を示します。

```
ADD      #1, R0          ; T ビットは ADD 演算で変更されません。
CMP/EQ   R1, R0          ; R0=R1 のとき T ビットは 1 にセットされる。
BT       TARGET          ; T ビット=1 (R0=R1) のとき TARGET に分岐する。
```

RTE の遅延スロットで、ステータスレジスタ (SR) ビットは次のように参照されます。命令アクセスは変更の前に MD ビットを使用し、データアクセスは変更後の MD ビットにアクセスします。変更後の他の S、T、M、Q、FD、BL、RB ビットを遅延スロットの命令実行のために使用します。STC、STC.L SR 命令は、変更後すべての SR ビットにアクセスします。

(6) 定数値

8 ビットの定数値は命令コード、イミディエイト値で指定できます。また 16 ビット、32 ビットの定数値はメモリで定義することができ、PC 相対ロード命令で参照できます。

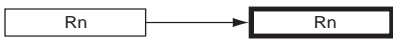
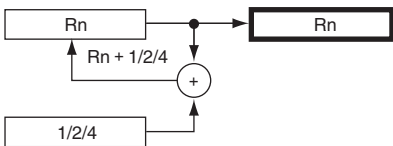
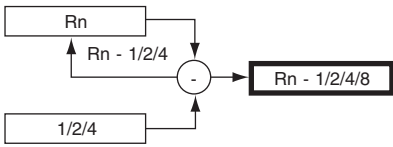
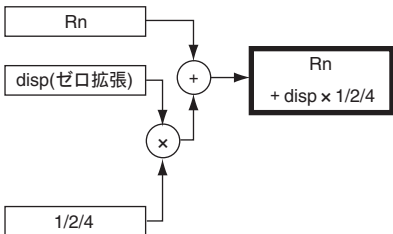
```
MOV.W    @(disp, PC), Rn
MOV.L    @(disp, PC), Rn
```

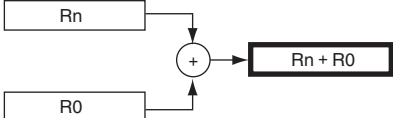
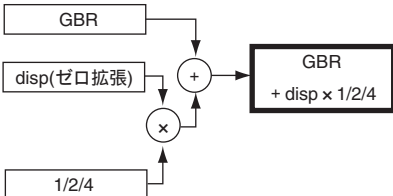
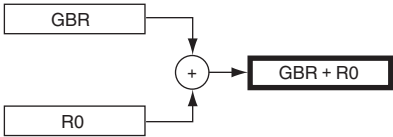
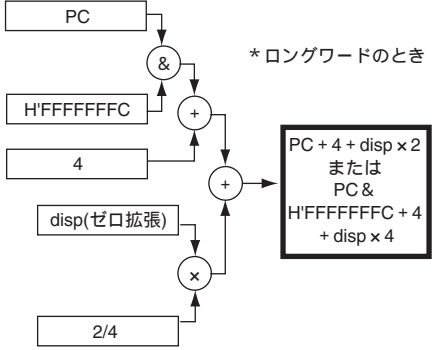
浮動小数点に対する PC 相対ロード命令はありません。ただし、単精度浮動小数点レジスタに対して FLDI0、FLDI1 命令を使用することによって、0.0 または 1.0 にセットすることができます。

3.2 アドレッシングモード

表 3.2 にアドレッシングモードと実効アドレスの計算を示します。仮想アドレス空間のある位置をアクセスすると (MMUCR.AT=1)、実効アドレスは物理アドレスに変換されます。複数の仮想メモリ空間システムを選択した場合 (MMUCR.SV=0)、PTEH の最下位ビットもアクセスの ASID として参照されます。「第 7 章 メモリマネジメントユニット (MMU)」を参照してください。

表 3.2 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn EA (EA : 実効アドレス)
ポストインクリメント レジスタ間接	@Rn +	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	Rn EA 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn クワッドワード : Rn + 8 Rn
プリデクリメント レジスタ間接	@ - Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn クワッドワード : Rn - 8 Rn Rn EA (計算後の Rn で命令実行)
ディスプレースメント 付きレジスタ間接	@(disp:4,Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp EA ワード : Rn + disp × 2 EA ロングワード : Rn + disp × 4 EA

アドレッシング モード	命令 フォーマット	実効アドレスの計算方法	計算式
インデックス付き レジスタ間接	@(R0,Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$ EA
ディスプレースメント 付き GBR 間接	@(disp:8,GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ EA ワード : $GBR + disp \times 2$ EA ロングワード : $GBR + disp \times 4$ EA
インデックス付き GBR 間接	@(R0,GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$ EA
ディスプレースメント 付き PC 相対	@(disp:8,PC)	<p>実効アドレスは PC + 4 に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> 	ワード : $PC + 4 + disp \times 2$ EA ロングワード : $PC \& H'FFFFFFFC + 4 + disp \times 4$ EA

アドレッシング モード	命令 フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	<p>実効アドレスは PC + 4 に 8 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	PC + 4 + disp × 2 Branch-Target
	disp:12	<p>実効アドレスは PC + 4 に 12 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p>	PC + 4 + disp × 2 Branch-Target
PC 相対	Rn	<p>実効アドレスは PC + 4 に Rn を加算した内容です。</p>	PC + 4 + Rn Branch-Target
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	-
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	-
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	-

【注】 下記のディスプレイメント (disp) を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケーリング (× 1、× 2、× 4) を行う前の値を書いています。これは、LSI の動作を明確にするため、実際のアセンブラの記述は、各アセンブラの表記ルールを参照してください。

@ (disp:4,Rn) ;ディスプレイメント付きレジスタ間接
 @ (disp:8,GBR) ;ディスプレイメント付き GBR 間接
 @ (disp:8,PC) ;ディスプレイメント付き PC 相対
 disp: 8,disp: 12 ;PC 相対

3.3 命令セット

表 3.4 ~ 表 3.13 に示す SuperH 命令の説明に使用する表記を表 3.3 に示します。

表 3.3 命令リストの表記

項目	フォーマット	説明
命令ニーモニック	OP.Sz SRC,DEST	OP : オペレーションコード Sz : サイズ SRC : ソースオペランド DEST : ソースおよび/またはデスティネーションオペランド Rm : ソースレジスタ Rn : デスティネーションレジスタ imm : イミディエイトデータ disp : ディスプレースメント
演算の要約		、 : 転送方向 (xx) : メモリオペランド M/Q/T : SR のフラグビット & : 各ビットの論理積 : 各ビットの論理和 ^ : 各ビット排他的論理和 ~ : 各ビットの論理否定 <<n,>>n : n ビットシフト
命令コード	MSB LSB	m m m m : レジスタ番号 (Rm, FRm) n n n n : レジスタ番号 (Rn, FRn) 0000 : R0,FR0 0001 : R1,FR1 : 1111 : R15,FR15 m m m : レジスタ番号 (DRm, XDm, Rm_BANK) n n n : レジスタ番号 (DRn, XDn, Rn_BANK) 000 : DR0, XD0, R0_BANK 001 : DR2, XD2, R1_BANK : 111 : DR14, XD14, R7_BANK m m : レジスタ番号(FVm) n n : レジスタ番号(FVn)

項目	フォーマット	説明
命令コード	MSB LSB	00 : FV0 01 : FV4 10 : FV8 11 : FV12 iiii : イミディエイト値 dddd : ディスプレースメント
特権モード	-	「特権」と記載してある場合、特権モードでのみ実行可能です。
Tビット	命令実行後のTビットの値	- : 変更なし
新規	-	「新規」と記載してある場合は、本 LSI で新規に追加された命令です。

【注】 スケーリング (x1、x2、x4、x8) は命令オペランドのサイズに応じて実行されます。

表 3.4 固定小数点転送命令

命令	動作	命令コード	特権	T ビット	新規	
MOV	#imm,Rn	imm 符号拡張 Rn	1110nnnniiiiiii	-	-	-
MOV.W	@(disp*,PC),Rn	(disp × 2+PC+4) 符号拡張 Rn	1001nnnnddddddd	-	-	-
MOV.L	@(disp*,PC),Rn	(disp × 4+PC&H'FFFFFFC+4) Rn	1101nnnnddddddd	-	-	-
MOV	Rm,Rn	Rm Rn	0110nnnnmmmm0011	-	-	-
MOV.B	Rm,@Rn	Rm (Rn)	0010nnnnmmmm0000	-	-	-
MOV.W	Rm,@Rn	Rm (Rn)	0010nnnnmmmm0001	-	-	-
MOV.L	Rm,@Rn	Rm (Rn)	0010nnnnmmmm0010	-	-	-
MOV.B	@Rm,Rn	(Rm) 符号拡張 Rn	0110nnnnmmmm0000	-	-	-
MOV.W	@Rm,Rn	(Rm) 符号拡張 Rn	0110nnnnmmmm0001	-	-	-
MOV.L	@Rm,Rn	(Rm) Rn	0110nnnnmmmm0010	-	-	-
MOV.B	Rm,@-Rn	Rn-1 Rn,Rm (Rn)	0010nnnnmmmm0100	-	-	-
MOV.W	Rm,@-Rn	Rn-2 Rn,Rm (Rn)	0010nnnnmmmm0101	-	-	-
MOV.L	Rm,@-Rn	Rn-4 Rn,Rm (Rn)	0010nnnnmmmm0110	-	-	-
MOV.B	@Rm+,Rn	(Rm) 符号拡張 Rn,Rm+1 Rm	0110nnnnmmmm0100	-	-	-
MOV.W	@Rm+,Rn	(Rm) 符号拡張 Rn,Rm+2 Rm	0110nnnnmmmm0101	-	-	-
MOV.L	@Rm+,Rn	(Rm) Rn,Rm+4 Rm	0110nnnnmmmm0110	-	-	-
MOV.B	R0,@(disp*,Rn)	R0 (disp+Rn)	10000000nnnnddd	-	-	-
MOV.W	R0,@(disp*,Rn)	R0 (disp × 2+Rn)	10000001nnnnddd	-	-	-
MOV.L	Rm,@(disp*,Rn)	Rm (disp × 4+Rn)	0001nnnnmmmmddd	-	-	-
MOV.B	@(disp*,Rm),R0	(disp+Rm) 符号拡張 R0	10000100mmmmddd	-	-	-
MOV.W	@(disp*,Rm),R0	(disp × 2+Rm) 符号拡張 R0	10000101mmmmddd	-	-	-
MOV.L	@(disp*,Rm),Rn	(disp × 4+Rm) Rn	0101nnnnmmmmddd	-	-	-
MOV.B	Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0100	-	-	-
MOV.W	Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0101	-	-	-
MOV.L	Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0110	-	-	-
MOV.B	@(R0,Rm),Rn	(R0+Rm) 符号拡張 Rn	0000nnnnmmmm1100	-	-	-
MOV.W	@(R0,Rm),Rn	(R0+Rm) 符号拡張 Rn	0000nnnnmmmm1101	-	-	-
MOV.L	@(R0,Rm),Rn	(R0+Rm) Rn	0000nnnnmmmm1110	-	-	-
MOV.B	R0,@(disp*,GBR)	R0 (disp+GBR)	11000000ddddddd	-	-	-
MOV.W	R0,@(disp*,GBR)	R0 (disp × 2+GBR)	11000001ddddddd	-	-	-
MOV.L	R0,@(disp*,GBR)	R0 (disp × 4+GBR)	11000010ddddddd	-	-	-
MOV.B	@(disp*,GBR),R0	(disp+GBR) 符号拡張 R0	11000100ddddddd	-	-	-
MOV.W	@(disp*,GBR),R0	(disp × 2+GBR) 符号拡張 R0	11000101ddddddd	-	-	-
MOV.L	@(disp*,GBR),R0	(disp × 4+GBR) R0	11000110ddddddd	-	-	-

命令	動作	命令コード	特権	T ビット	新規
MOVA @ (disp*, PC), R0	disp × 4 + PC & H'FFFFFFFC + 4 R0	11000111dccccccc	-	-	-
MOVCO.L R0, @Rn	LDST T if(T==1)R0 (Rn) 0 LDST	0000nnnn01110011	-	LDST	新規
MOVLI.L @Rm, R0	1 LDST (Rm) R0 ただし、割り込み / 例外発生時 0 LDST	0000mmmm01110011	-	-	新規
MOVUA.L @Rm, R0	(Rm) R0 非境界調整データのロード	0100mmmm10101001	-	-	新規
MOVUA.L @Rm+, R0	(Rm) R0, Rm+4 Rm 非境界調整データのロード	0100mmmm11101001	-	-	新規
MOVT Rn	T Rn	0000nnnn00101001	-	-	-
SWAP.B Rm, Rn	Rm 下位 2 バイトの 上下バイト交換 Rn	0110nnnnmmmm1000	-	-	-
SWAP.W Rm, Rn	Rm 上下ワード交換 Rn	0110nnnnmmmm1001	-	-	-
XTRCT Rm, Rn	Rm:Rn の中央 32 ビット Rn	0010nnnnmmmm1101	-	-	-

【注】 * ルネサスのアセンブラでは、disp にスケーリング後 (× 1、 × 2、 × 4) の値を設定します。

表 3.5 算術演算命令

命令	動作	命令コード	特権	T ビット	新規
ADD Rm,Rn	Rn+Rm Rn	0011nnnnmmmm1100	-	-	-
ADD #imm,Rn	Rn+imm Rn	0111nnnniiiiiii	-	-	-
ADDC Rm,Rn	Rn+Rm+T Rn,キャリ T	0011nnnnmmmm1110	-	キャリ	-
ADDV Rm,Rn	Rn+Rm Rn,オーバフロー T	0011nnnnmmmm1111	-	オーバ フロー	-
CMP/EQ #imm,R0	R0 = imm のとき 1 T それ以外るとき 0 T	10001000iiiiiii	-	比較 結果	-
CMP/EQ Rm,Rn	Rn = Rm のとき 1 T それ以外るとき 0 T	0011nnnnmmmm0000	-	比較 結果	-
CMP/HS Rm,Rn	無符号で Rn > Rm のとき 1 T それ以外るとき 0 T	0011nnnnmmmm0010	-	比較 結果	-
CMP/GE Rm,Rn	有符号で Rn > Rm のとき 1 T それ以外るとき 0 T	0011nnnnmmmm0011	-	比較 結果	-
CMP/HI Rm,Rn	無符号で Rn > Rm のとき 1 T それ以外るとき 0 T	0011nnnnmmmm0110	-	比較 結果	-
CMP/GT Rm,Rn	有符号で Rn > Rm のとき 1 T それ以外るとき 0 T	0011nnnnmmmm0111	-	比較 結果	-
CMP/PZ Rn	Rn = 0 のとき 1 T それ以外るとき 0 T	0100nnnn00010001	-	比較 結果	-
CMP/PL Rn	Rn > 0 のとき 1 T それ以外るとき 0 T	0100nnnn00010101	-	比較 結果	-
CMP/STR Rm,Rn	いずれかのバイトが等しいとき 1 T それ以外るとき 0 T	0010nnnnmmmm1100	-	比較 結果	-
DIV1 Rm,Rn	1 ステップ除算 (Rn ÷ Rm)	0011nnnnmmmm0100	-	計算 結果	-
DIV0S Rm,Rn	Rn の MSB Q,Rm の MSB M, M ^ Q T	0010nnnnmmmm0111	-	計算 結果	-
DIV0U	0 M/Q/T	0000000000011001	-	0	-
DMULS.L Rm,Rn	符号付きで Rn × Rm MAC, 32 × 32 64 ビット	0011nnnnmmmm1101	-	-	-
DMULU.L Rm,Rn	符号なしで Rn × Rm MAC, 32 × 32 64 ビット	0011nnnnmmmm0101	-	-	-
DT Rn	Rn-1 Rn,Rn が 0 のとき 1 T Rn が 0 以外るとき 0 T	0100nnnn00010000	-	比較 結果	-
EXTS.B Rm,Rn	Rm をバイトから符号拡張 Rn	0110nnnnmmmm1110	-	-	-
EXTS.W Rm,Rn	Rm をワードから符号拡張 Rn	0110nnnnmmmm1111	-	-	-
EXTU.B Rm,Rn	Rm をバイトからゼロ拡張 Rn	0110nnnnmmmm1100	-	-	-
EXTU.W Rm,Rn	Rm をワードからゼロ拡張 Rn	0110nnnnmmmm1101	-	-	-

命令	動作	命令コード	特権	T ビット	新規
MAC.L @Rm+,@Rn+	符号付きで (Rn) × (Rm)+MAC MAC Rn+4 Rn,Rm+4 Rm 32 × 32 + 64 64 ビット	0000nnnnmmmmmm1111	-	-	-
MAC.W @Rm+,@Rn+	符号付きで (Rn) × (Rm)+MAC MAC Rn+2 Rn,Rm+2 Rm 16 × 16+64 64 ビット	0100nnnnmmmmmm1111	-	-	-
MUL.L Rm,Rn	Rn × Rm MACL 32 × 32 32 ビット	0000nnnnmmmmmm0111	-	-	-
MULS.W Rm,Rn	符号付きで Rn × Rm MACL 16 × 16 32 ビット	0010nnnnmmmmmm1111	-	-	-
MULU.W Rm,Rn	符号なしで Rn × Rm MACL 16 × 16 32 ビット	0010nnnnmmmmmm1110	-	-	-
NEG Rm,Rn	0-Rm Rn	0110nnnnmmmmmm1011	-	-	-
NEGC Rm,Rn	0-Rm-T Rn,ポロー T	0110nnnnmmmmmm1010	-	ポロー	-
SUB Rm,Rn	Rn-Rm Rn	0011nnnnmmmmmm1000	-	-	-
SUBC Rm,Rn	Rn-Rm-T Rn,ポロー T	0011nnnnmmmmmm1010	-	ポロー	-
SUBV Rm,Rn	Rn-Rm Rn,アンダフロー T	0011nnnnmmmmmm1011	-	アンダ フロー	-

表 3.6 論理演算命令

命令	動作	命令コード	特権	T ビット	新規
AND Rm,Rn	$Rn \& Rm$ Rn	0010nnnnmmmm1001	-	-	-
AND #imm,R0	$R0 \& imm$ R0	11001001iiiiiii	-	-	-
AND.B #imm,@(R0,GBR)	$(R0+GBR) \& imm$ (R0+GBR)	11001101iiiiiii	-	-	-
NOT Rm,Rn	$\sim Rm$ Rn	0110nnnnmmmm0111	-	-	-
OR Rm,Rn	$Rn Rm$ Rn	0010nnnnmmmm1011	-	-	-
OR #imm,R0	$R0 imm$ R0	11001011iiiiiii	-	-	-
OR.B #imm,@(R0,GBR)	$(R0+GBR) imm$ (R0+GBR)	11001111iiiiiii	-	-	-
TAS.B @Rn	(Rn)が0のとき1 T それ以外とき0 T 両方に対して1 (Rn)のMSB	0100nnnn00011011	-	テスト 結果	-
TST Rm,Rn	$Rn \& Rm$,結果が0のとき1 T それ以外のとき0 T	0010nnnnmmmm1000	-	テスト 結果	-
TST #imm,R0	$R0 \& imm$,結果が0のとき1 T それ以外のとき0 T	11001000iiiiiii	-	テスト 結果	-
TST.B #imm,@(R0,GBR)	$(R0+GBR) \& imm$, 結果が0のとき1 T それ以外のとき0 T	11001100iiiiiii	-	テスト 結果	-
XOR Rm,Rn	$Rn \wedge Rm$ Rn	0010nnnnmmmm1010	-	-	-
XOR #imm,R0	$R0 \wedge imm$ R0	11001010iiiiiii	-	-	-
XOR.B #imm,@(R0,GBR)	$(R0+GBR) \wedge imm$ (R0+GBR)	11001110iiiiiii	-	-	-

表 3.7 シフト命令

命令		動作	命令コード	特権	T ビット	新規
ROTL	Rn	T Rn MSB	0100nnnn00000100	-	MSB	-
ROTR	Rn	LSB Rn T	0100nnnn00000101	-	LSB	-
ROTCL	Rn	T Rn T	0100nnnn00100100	-	MSB	-
ROTCR	Rn	T Rn T	0100nnnn00100101	-	LSB	-
SHAD	Rm,Rn	Rm 0 のとき Rn<<Rm Rn, Rm<0 のとき Rn>>Rm [MSB Rn]	0100nnnnmmmm1100	-	-	-
SHAL	Rn	T Rn 0	0100nnnn00100000	-	MSB	-
SHAR	Rn	MSB Rn T	0100nnnn00100001	-	LSB	-
SHLD	Rm,Rn	Rm 0 のとき Rn<<Rm Rn, Rm<0 のとき Rn>>Rm [0 Rn]	0100nnnnmmmm1101	-	-	-
SHLL	Rn	T Rn 0	0100nnnn00000000	-	MSB	-
SHLR	Rn	0 Rn T	0100nnnn00000001	-	LSB	-
SHLL2	Rn	Rn<<2 Rn	0100nnnn00001000	-	-	-
SHLR2	Rn	Rn>>2 Rn	0100nnnn00001001	-	-	-
SHLL8	Rn	Rn<<8 Rn	0100nnnn00011000	-	-	-
SHLR8	Rn	Rn>>8 Rn	0100nnnn00011001	-	-	-
SHLL16	Rn	Rn<<16 Rn	0100nnnn00101000	-	-	-
SHLR16	Rn	Rn>>16 Rn	0100nnnn00101001	-	-	-

表 3.8 分岐命令

命令		動作	命令コード	特権	T ビット	新規
BF	label	T=0 のとき $\text{disp} \times 2 + \text{PC} + 4$ PC, T=1 のとき nop	10001011dddddddd	-	-	-
BF/S	label	遅延分岐, T=0 のとき $\text{disp} \times 2 + \text{PC} + 4$ PC, T=1 のとき nop	10001111dddddddd	-	-	-
BT	label	T=1 のとき $\text{disp} \times 2 + \text{PC} + 4$ PC, T=0 のとき nop	10001001dddddddd	-	-	-
BT/S	label	遅延分岐, T=1 のとき $\text{disp} \times 2 + \text{PC} + 4$ PC, T=0 のとき nop	10001101dddddddd	-	-	-
BRA	label	遅延分岐, $\text{disp} \times 2 + \text{PC} + 4$ PC	1010dddddddddddd	-	-	-
BRAF	Rn	遅延分岐, $\text{Rn} + \text{PC} + 4$ PC	0000nnnn00100011	-	-	-
BSR	label	遅延分岐, PC+4 PR, $\text{disp} \times 2 + \text{PC} + 4$ PC	1011dddddddddddd	-	-	-
BSRF	Rn	遅延分岐, PC+4 PR, $\text{Rn} + \text{PC} + 4$ PC	0000nnnn00000011	-	-	-
JMP	@Rn	遅延分岐, Rn PC	0100nnnn00101011	-	-	-
JSR	@Rn	遅延分岐, PC+4 PR, Rn PC	0100nnnn00001011	-	-	-
RTS		遅延分岐, PR PC	0000000000001011	-	-	-

表 3.9 システム制御命令

命令	動作	命令コード	特権	T ビット	新規
CLRMACH	0 MACH,MACL	0000000000101000	-	-	-
CLRS	0 S	0000000001001000	-	-	-
CLRT	0 T	0000000000001000	-	0	-
ICBI @Rn	論理アドレス Rn で示される命令キャッシュを無効化	0000nnnn11100011	-	-	新規
LDC Rm,SR	Rm SR	0100mmmm00001110	特権	LSB	-
LDC Rm,GBR	Rm GBR	0100mmmm00011110	-	-	-
LDC Rm,VBR	Rm VBR	0100mmmm00101110	特権	-	-
LDC Rm,SGR	Rm SGR	0100mmmm00111010	特権	-	新規
LDC Rm,SSR	Rm SSR	0100mmmm00111110	特権	-	-
LDC Rm,SPC	Rm SPC	0100mmmm01001110	特権	-	-
LDC Rm,DBR	Rm DBR	0100mmmm11111010	特権	-	-
LDC Rm,Rn_BANK	Rm Rn_BANK(n=0~7)	0100mmmm1nnn1110	特権	-	-
LDC.L @Rm+,SR	(Rm) SR,Rm+4 Rm	0100mmmm00000111	特権	LSB	-
LDC.L @Rm+,GBR	(Rm) GBR,Rm+4 Rm	0100mmmm00010111	-	-	-
LDC.L @Rm+,VBR	(Rm) VBR,Rm+4 Rm	0100mmmm00100111	特権	-	-
LDC.L @Rm+,SGR	(Rm) SGR,Rm+4 Rm	0100mmmm00110110	特権	-	新規
LDC.L @Rm+,SSR	(Rm) SSR,Rm+4 Rm	0100mmmm00110111	特権	-	-
LDC.L @Rm+,SPC	(Rm) SPC,Rm+4 Rm	0100mmmm01000111	特権	-	-
LDC.L @Rm+,DBR	(Rm) DBR,Rm+4 Rm	0100mmmm11110110	特権	-	-
LDC.L @Rm+,Rn_BANK	(Rm) Rn_BANK,Rm+4 Rm	0100mmmm1nnn0111	特権	-	-
LDS Rm,MACH	Rm MACH	0100mmmm00001010	-	-	-
LDS Rm,MACL	Rm MACL	0100mmmm00011010	-	-	-
LDS Rm,PR	Rm PR	0100mmmm00101010	-	-	-
LDS.L @Rm+,MACH	(Rm) MACH,Rm+4 Rm	0100mmmm00000110	-	-	-
LDS.L @Rm+,MACL	(Rm) MACL,Rm+4 Rm	0100mmmm00010110	-	-	-
LDS.L @Rm+,PR	(Rm) PR,Rm+4 Rm	0100mmmm00100110	-	-	-
LDTLB	PTEH/PTEL TLB	0000000000111000	特権	-	-
MOVCA.L R0,@Rn	(キャッシュブロックをフェッチせずに) R0 (Rn)	0000nnnn11000011	-	-	-
NOP	無操作	0000000000001001	-	-	-
OCBI @Rn	オペランドキャッシュブロックを無効にする	0000nnnn10010011	-	-	-
OCBP @Rn	オペランドキャッシュブロックをライトバックし無効にする	0000nnnn10100011	-	-	-

命令	動作	命令コード	特権	T ビット	新規
OCBWB @Rn	オペランドキャッシュブロックをライトバックする	0000nnnn10110011	-	-	-
PREF @Rn	(Rn) オペランドキャッシュ	0000nnnn10000011	-	-	-
PREFI @Rn	32 バイトの命令ブロックを命令キャッシュに読み込む	0000nnnn11010011	-	-	新規
RTE	遅延分岐,SSR/SPC SR/PC	000000000101011	特権	-	-
SETS	1 S	000000001011000	-	-	-
SETT	1 T	00000000011000	-	1	-
SLEEP	スリープ	00000000011011	特権	-	-
STC SR,Rn	SR Rn	0000nnnn0000010	特権	-	-
STC GBR,Rn	GBR Rn	0000nnnn00010010	-	-	-
STC VBR,Rn	VBR Rn	0000nnnn00100010	特権	-	-
STC SSR,Rn	SSR Rn	0000nnnn00110010	特権	-	-
STC SPC,Rn	SPC Rn	0000nnnn01000010	特権	-	-
STC SGR,Rn	SGR Rn	0000nnnn00111010	特権	-	-
STC DBR,Rn	DBR Rn	0000nnnn11111010	特権	-	-
STC Rm_BANK,Rn	Rm_BANK Rn (m=0~7)	0000nnnn1mmm0010	特権	-	-
STC.L SR,@-Rn	Rn-4 Rn,SR (Rn)	0100nnnn00000011	特権	-	-
STC.L GBR,@-Rn	Rn-4 Rn,GBR (Rn)	0100nnnn00010011	-	-	-
STC.L VBR,@-Rn	Rn-4 Rn,VBR (Rn)	0100nnnn00100011	特権	-	-
STC.L SSR,@-Rn	Rn-4 Rn,SSR (Rn)	0100nnnn00110011	特権	-	-
STC.L SPC,@-Rn	Rn-4 Rn,SPC (Rn)	0100nnnn01000011	特権	-	-
STC.L SGR,@-Rn	Rn-4 Rn,SGR (Rn)	0100nnnn00110010	特権	-	-
STC.L DBR,@-Rn	Rn-4 Rn,DBR (Rn)	0100nnnn11110010	特権	-	-
STC.L Rm_BANK,@-Rn	Rn-4 Rn,Rm_BANK (Rn) (m=0~7)	0100nnnn1mmm0011	特権	-	-
STS MACH,Rn	MACH Rn	0000nnnn00001010	-	-	-
STS MACL,Rn	MACL Rn	0000nnnn00011010	-	-	-
STS PR,Rn	PR Rn	0000nnnn00101010	-	-	-
STS.L MACH,@-Rn	Rn-4 Rn,MACH (Rn)	0100nnnn00000010	-	-	-
STS.L MACL,@-Rn	Rn-4 Rn,MACL (Rn)	0100nnnn00010010	-	-	-
STS.L PR,@-Rn	Rn-4 Rn,PR (Rn)	0100nnnn00100010	-	-	-
SYNCO	本命令以前のデータ操作を完了するまで、本命令以降の命令を開始しない	0000000010101011	-	-	新規

命令	動作	命令コード	特権	T ビット	新規
TRAPA #imm	imm <<2 TRA,PC+2 SPC, SR SSR,R15 SGR, 1 SR.MD/BL/RB,H'160 EXPEVT, VBR+H'0100 PC	11000011iiiiiii	-	-	-

表 3.10 浮動小数点単精度命令

命令	動作	命令コード	特権	T ビット	新規
FLDI0 FRn	H'00000000 FRn	1111nnnn10001101	-	-	-
FLDI1 FRn	H'3F800000 FRn	1111nnnn10011101	-	-	-
FMOV FRm,FRn	FRm FRn	1111nnnnmmmm1100	-	-	-
FMOV.S @Rm,FRn	(Rm) FRn	1111nnnnmmmm1000	-	-	-
FMOV.S @(R0,Rm),FRn	(R0+Rm) FRn	1111nnnnmmmm0110	-	-	-
FMOV.S @Rm+,FRn	(Rm) FRn,Rm+4 Rm	1111nnnnmmmm1001	-	-	-
FMOV.S FRm,@Rn	FRm (Rn)	1111nnnnmmmm1010	-	-	-
FMOV.S FRm,@-Rn	Rn-4 Rn,FRm (Rn)	1111nnnnmmmm1011	-	-	-
FMOV.S FRm,@(R0,Rn)	FRm (R0+Rn)	1111nnnnmmmm0111	-	-	-
FMOV DRm,DRn	DRm DRn	1111nnnn0mmmm01100	-	-	-
FMOV @Rm,DRn	(Rm) DRn	1111nnnn0mmmm1000	-	-	-
FMOV @(R0,Rm),DRn	(R0+Rm) DRn	1111nnnn0mmmm0110	-	-	-
FMOV @Rm+,DRn	(Rm) DRn,Rm+8 Rm	1111nnnn0mmmm1001	-	-	-
FMOV DRm,@Rn	DRm (Rn)	1111nnnnmmmm01010	-	-	-
FMOV DRm,@-Rn	Rn-8 Rn,DRm (Rn)	1111nnnnmmmm01011	-	-	-
FMOV DRm,@(R0,Rn)	DRm (R0+Rn)	1111nnnnmmmm00111	-	-	-
FLDS FRm,FPUL	FRm FPUL	1111mmmm00011101	-	-	-
FSTS FPUL,FRn	FPUL FRn	1111nnnn00001101	-	-	-
FABS FRn	FRn & H'7FFF FFFF FRn	1111nnnn01011101	-	-	-
FADD FRm,FRn	FRn+FRm FRn	1111nnnnmmmm0000	-	-	-
FCMP/EQ FRm,FRn	FRn=FRm のとき 1 T それ以外のとき 0 T	1111nnnnmmmm0100	-	比較 結果	-
FCMP/GT FRm,FRn	FRn>FRm のとき 1 T それ以外のとき 0 T	1111nnnnmmmm0101	-	比較 結果	-
FDIV FRm,FRn	FRn/FRm FRn	1111nnnnmmmm0011	-	-	-
FLOAT FPUL,FRn	(float)FPUL FRn	1111nnnn00101101	-	-	-
FMAC FR0,FRm,FRn	FR0 × FRm+FRn FRn	1111nnnnmmmm1110	-	-	-
FMUL FRm,FRn	FRn × FRm FRn	1111nnnnmmmm0010	-	-	-

命令	動作	命令コード	特権	T ビット	新規
FNEG FRn	$FRn \wedge H'80000000$ FRn	1111nnnn01001101	-	-	-
FSQRT FRn	$\text{sqrt}(FRn)$ FRn*	1111nnnn01101101	-	-	-
FSUB FRm,FRn	$FRn - FRm$ FRn	1111nnnnmmmm0001	-	-	-
FTRC FRm,FPUL	(long)FRm FPUL	1111mmmm00111101	-	-	-

【注】 * $\text{sqrt}(FRn)$ は FRn の平方根を表します。

表 3.11 浮動小数点倍精度命令

命令	動作	命令コード	特権	T ビット	新規
FABS DRn	$DRn \& H'7FFF\ FFFF\ FFFF\ FFFF$ DRn	1111nnnn001011101	-	-	-
FADD DRm,DRn	$DRn + DRm$ DRn	1111nnnn0mmmm00000	-	-	-
FCMP/EQ DRm,DRn	DRn = DRm のとき 1 T それ以外 のとき 0 T	1111nnnn0mmmm00100	-	比較 結果	-
FCMP/GT DRm,DRn	DRn > DRm のとき 1 T それ以外 のとき 0 T	1111nnnn0mmmm00101	-	比較 結果	-
FDIV DRm,DRn	DRn / DRm DRn	1111nnnn0mmmm00011	-	-	-
FCNVDS DRm,FPUL	$\text{double_to_float}(DRm)$ FPUL	1111mmmm010111101	-	-	-
FCNVSD FPUL,DRn	$\text{float_to_double}(FPUL)$ DRn	1111nnnn010101101	-	-	-
FLOAT FPUL,DRn	(float)FPUL DRn	1111nnnn000101101	-	-	-
FMUL DRm,DRn	$DRn \times DRm$ DRn	1111nnnn0mmmm00010	-	-	-
FNEG DRn	$DRn \wedge H'8000\ 0000\ 0000\ 0000$ DRn	1111nnnn001001101	-	-	-
FSQRT DRn	$\text{sqrt}(DRn)$ DRn*	1111nnnn001101101	-	-	-
FSUB DRm,DRn	$DRn - DRm$ DRn	1111nnnn0mmmm00001	-	-	-
FTRC DRm,FPUL	(long)DRm FPUL	1111mmmm000111101	-	-	-

【注】 * $\text{sqrt}(DRn)$ は DRn の平方根を表します。

表 3.12 浮動小数点制御命令

命令	動作	命令コード	特権	T ビット	新規
LDS Rm,FPSCR	Rm FPSCR	0100mmmm01101010	-	-	-
LDS Rm,FPUL	Rm FPUL	0100mmmm01011010	-	-	-
LDS.L @Rm+,FPSCR	(Rm) FPSCR,Rm+4 Rm	0100mmmm01100110	-	-	-
LDS.L @Rm+,FPUL	(Rm) FPUL,Rm+4 Rm	0100mmmm01010110	-	-	-
STS FPSCR,Rn	FPSCR Rn	0000nnnn01101010	-	-	-
STS FPUL,Rn	FPUL Rn	0000nnnn01011010	-	-	-
STS.L FPSCR,@-Rn	Rn-4 Rn,FPSCR (Rn)	0100nnnn01100010	-	-	-
STS.L FPUL,@-Rn	Rn-4 Rn,FPUL (Rn)	0100nnnn01010010	-	-	-

表 3.13 浮動小数点グラフィック強化命令

命令	動作	命令コード	特権	T ビット	新規
FMOV DRm,XDn	DRm XDn	1111nnnn1mmmm01100	-	-	-
FMOV XDm,DRn	XDm DRn	1111nnnn0mmmm11100	-	-	-
FMOV XDm,XDn	XDm XDn	1111nnnn1mmmm11100	-	-	-
FMOV @Rm,XDn	(Rm) XDn	1111nnnn1mmmm1000	-	-	-
FMOV @Rm+,XDn	(Rm) XDn,Rm+8 Rm	1111nnnn1mmmm1001	-	-	-
FMOV @(R0,Rm),XDn	(R0+Rm) XDn	1111nnnn1mmmm0110	-	-	-
FMOV XDm,@Rn	XDm (Rn)	1111nnnnmmmm11010	-	-	-
FMOV XDm,@-Rn	Rn-8 Rn,XDm (Rn)	1111nnnnmmmm11011	-	-	-
FMOV XDm,@(R0,Rn)	XDm (R0+Rn)	1111nnnnmmmm10111	-	-	-
FIPR FVm,FVn	inner_product(FVm,FVn) FR[n+3]	1111nnmm11101101	-	-	-
FTRV XMTRX,FVn	transform_vector(XMTRX,FVn) FVn	1111nn01111111101	-	-	-
FRCHG	~ FRSCR.FR FRSCR.FR	1111101111111101	-	-	-
FSCHG	~ FPSCR.SZ FPSCR.SZ	1111001111111101	-	-	-
FPCHG	~ FPSCR.PR FPSCR.PR	1111011111111101	-	-	新規
FSRRA FRn	1/sqrt(FRn) FRn*	1111nnnn01111101	-	-	新規
FSCA FPUL,DRn	sin(FPUL) FRn cos(FPUL) FR[n+1]	1111nnn011111101	-	-	新規

【注】 * sqrt(FRn)は FRn の平方根を表します。

4. パイプライン動作

本 LSI は 2 命令並列型 (2-ILP, Instruction-Level-Parallelism) のスーパースカラパイプライン処理マイクロプロセッサです。命令実行はパイプライン化され、2 つの命令を並行して実行できます。

4.1 パイプライン

図 4.1 に基本パイプラインを示します。通常、パイプラインは命令フェッチ (I1、I2、I3)、デコード・レジスタリード (ID)、実行 (E1、E2、E3)、ライトバック (WB) の 8 ステージから構成されます。1 つの命令は基本パイプラインの組み合わせとして実行されます。

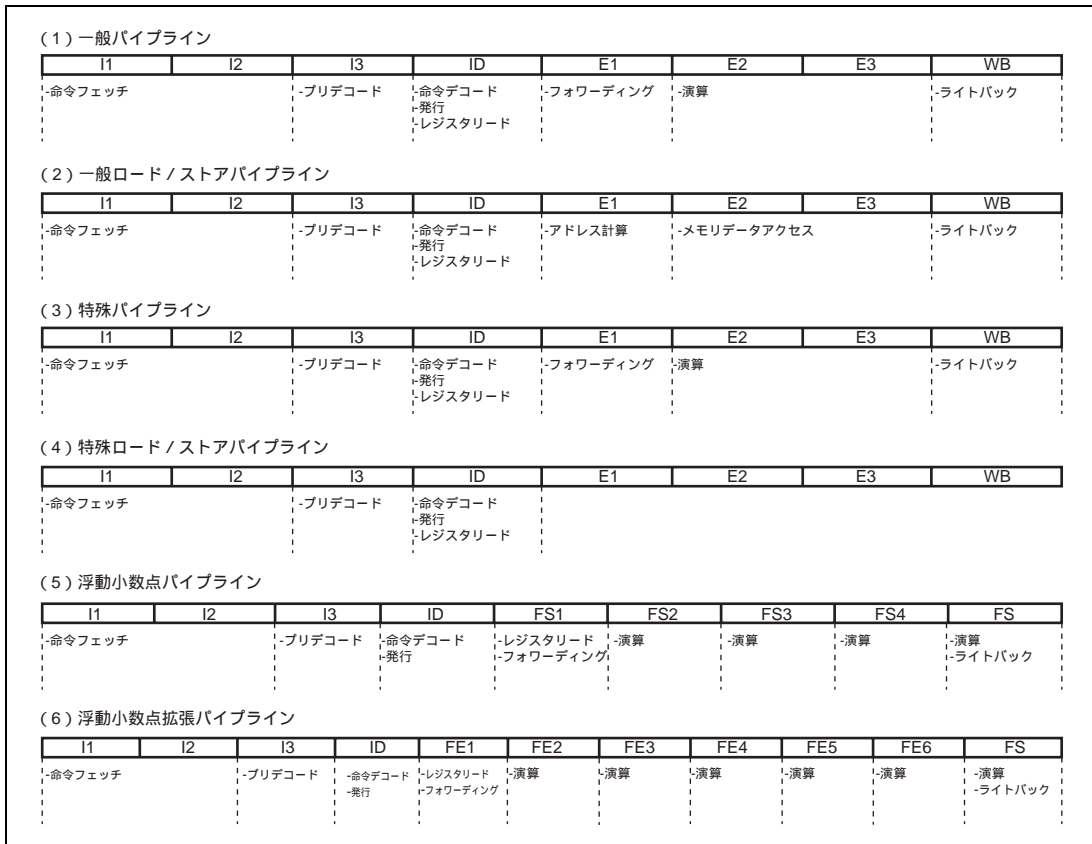


図 4.1 基本パイプライン

図 4.2 に命令実行パターンを示します。図 4.2 で使用する表記とその意味を以下に示します。

表 4.1 命令実行パターン表記説明

表 記	意 味							
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1</td><td>E2</td><td>E3</td><td>WB</td></tr></table>	E1	E2	E3	WB	CPU EX パイプ占有			
E1	E2	E3	WB					
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>S1</td><td>S2</td><td>S3</td><td>WB</td></tr></table>	S1	S2	S3	WB	CPU LS パイプ占有 (メモリアクセスを伴う場合)			
S1	S2	S3	WB					
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>s1</td><td>s2</td><td>s3</td><td>WB</td></tr></table>	s1	s2	s3	WB	CPU LS パイプ占有 (メモリアクセスを伴わない場合)			
s1	s2	s3	WB					
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1/S1</td></tr></table>	E1/S1	CPU EX か LS の いずれか一方を占有						
E1/S1								
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1S1</td></tr></table> 、 <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1s1</td></tr></table>	E1S1	E1s1	CPU EX と LS の 両方を占有					
E1S1								
E1s1								
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>M2</td><td>M3</td><td>MS</td></tr></table>	M2	M3	MS	CPU MULT 演算器占有				
M2	M3	MS						
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>FE1</td><td>FE2</td><td>FE3</td><td>FE4</td><td>FE5</td><td>FE6</td><td>FS</td></tr></table>	FE1	FE2	FE3	FE4	FE5	FE6	FS	FPU-EX パイプ占有
FE1	FE2	FE3	FE4	FE5	FE6	FS		
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>FS1</td><td>FS2</td><td>FS3</td><td>FS4</td><td>FS</td></tr></table>	FS1	FS2	FS3	FS4	FS	FPU-LS パイプ占有		
FS1	FS2	FS3	FS4	FS				
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>ID</td></tr></table>	ID	ID ステージをロック						
ID								
└	CPU と FPU 両方のパイプを占有							

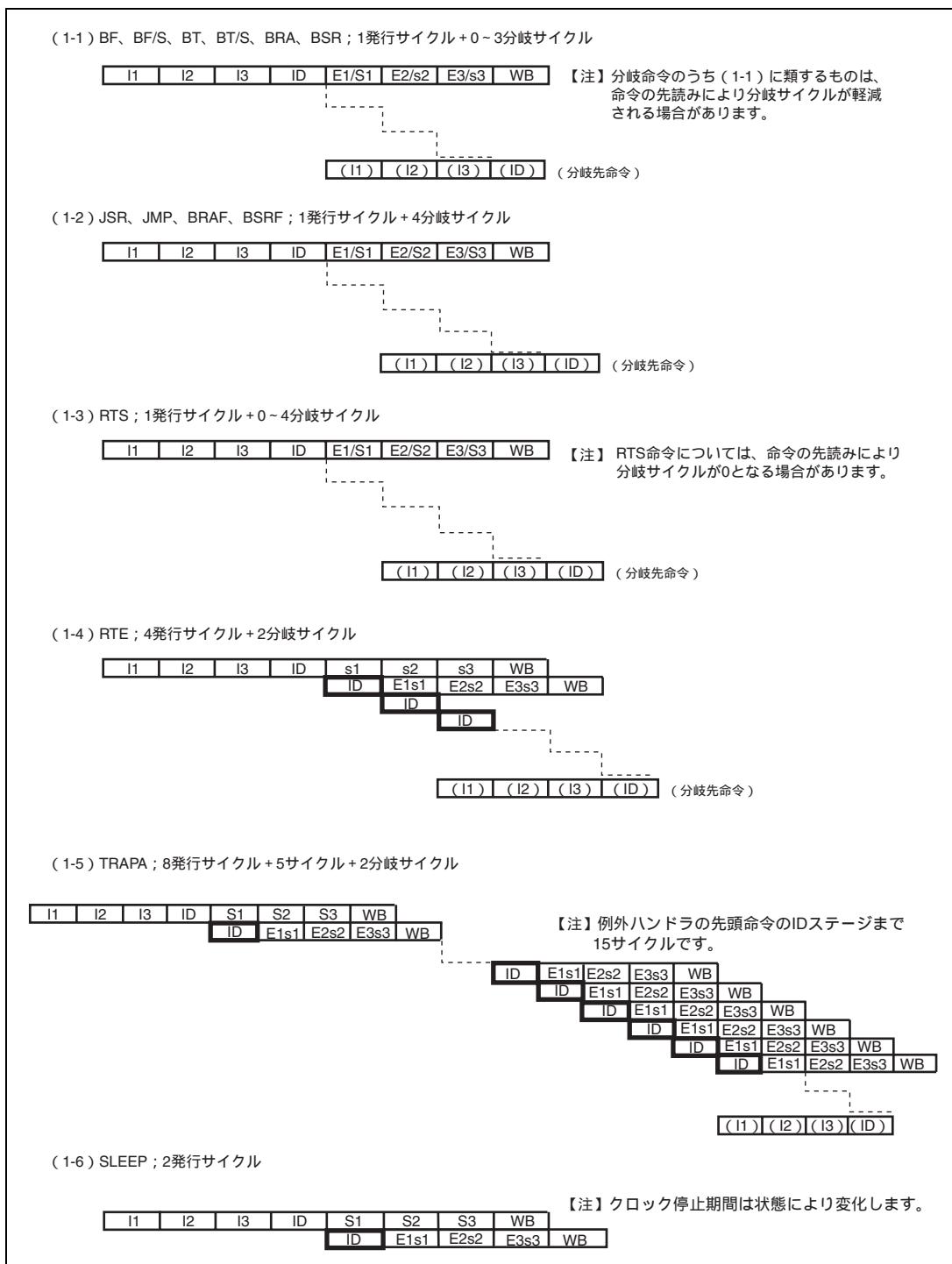


図 4.2 命令実行パターン (1)

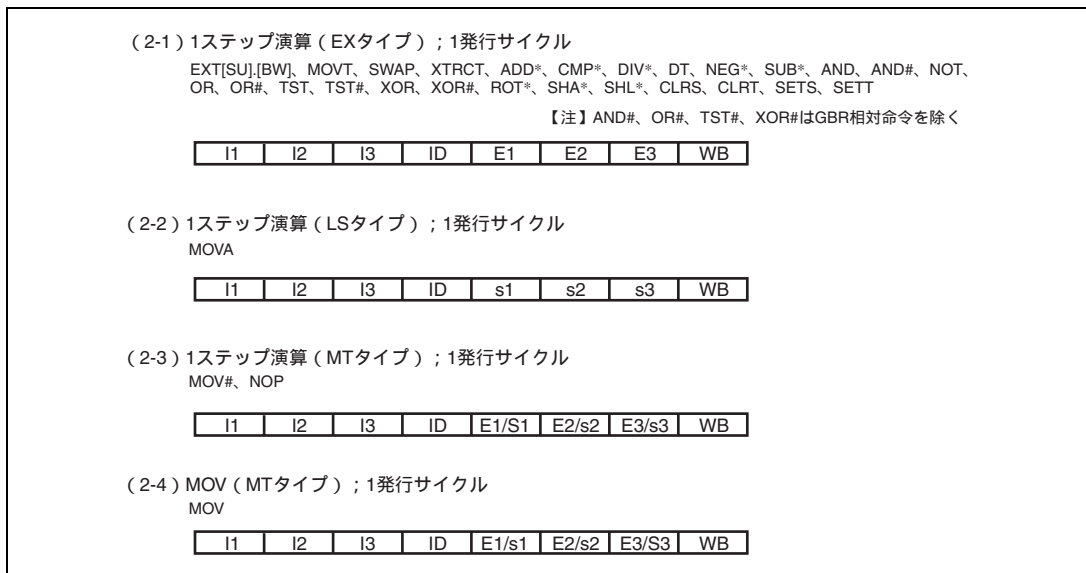


図 4.2 命令実行パターン (2)

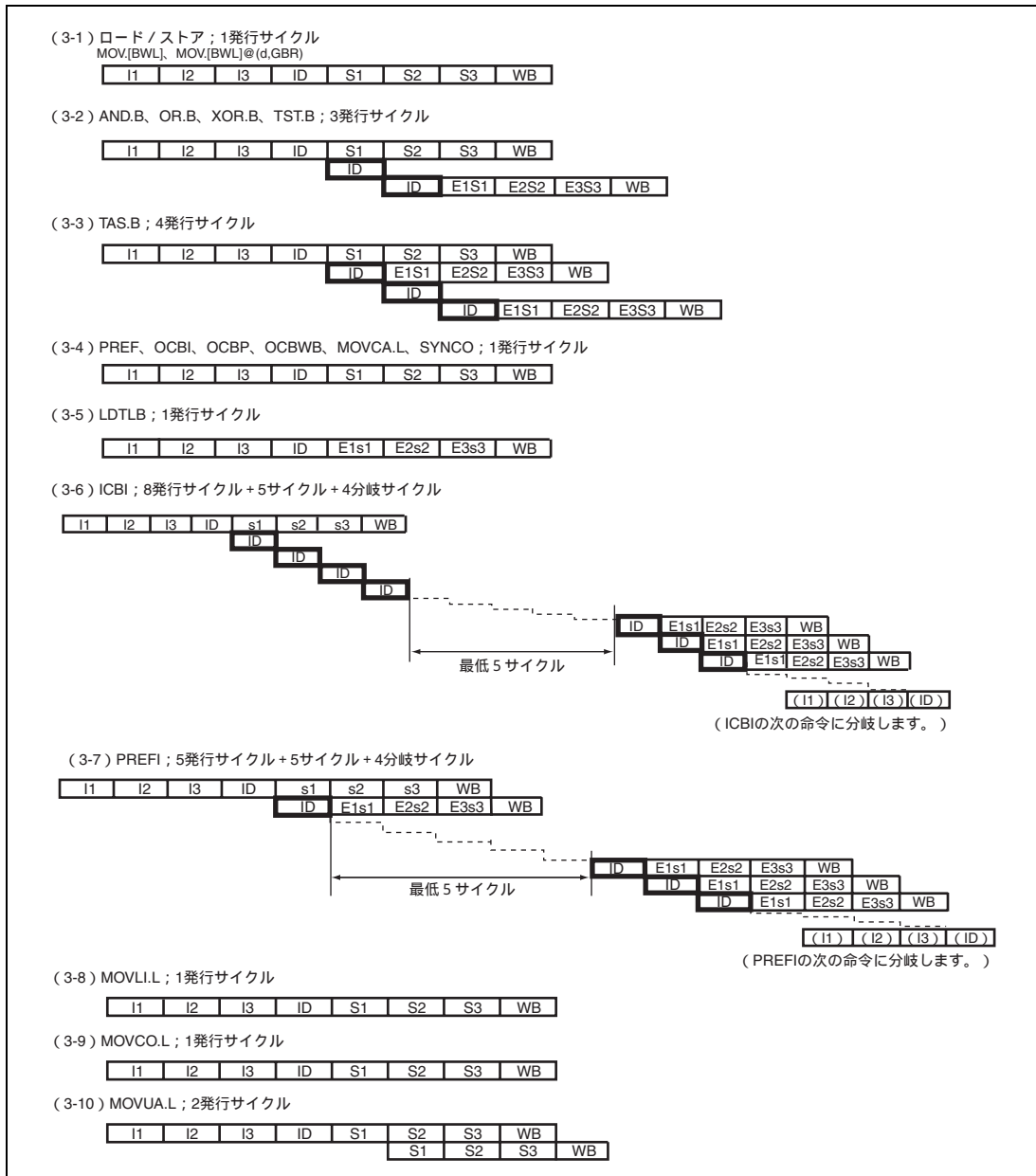


図 4.2 命令実行パターン (3)

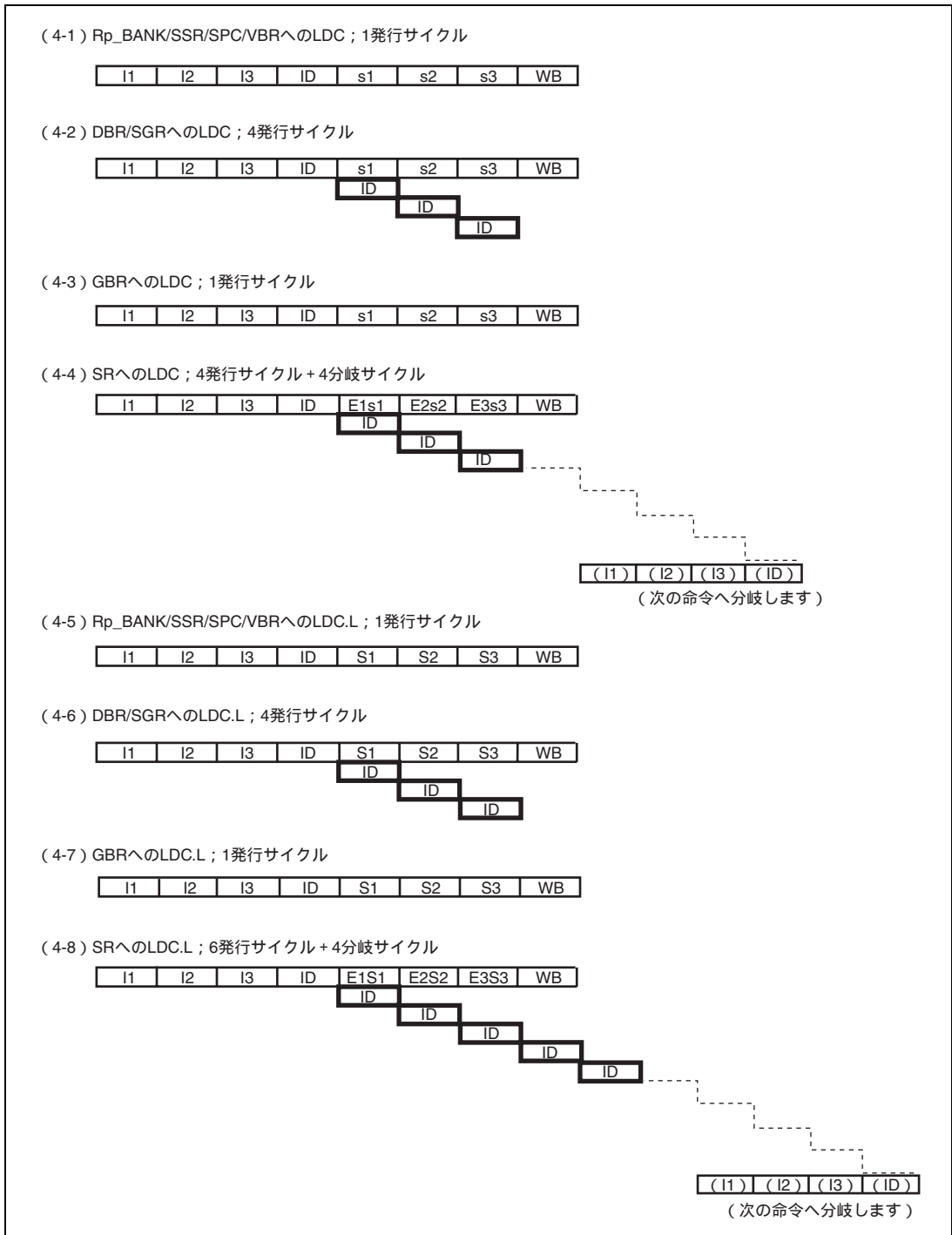


図 4.2 命令実行パターン (4)

(4-9) DBR/GBR/Rp_BANK/SSR/SPC/VBR/SGRからのSTC ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-10) SRからのSTC ; 1発行サイクル

I1	I2	I3	ID	E1s1	E2s2	E3s3	WB
----	----	----	----	------	------	------	----

(4-11) DBR/GBR/Rp_BANK/SSR/SPC/VBR/SGRからのSTC.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-12) SRからのSTC.L ; 1発行サイクル

I1	I2	I3	ID	E1S1	E2S2	E3S3	WB
----	----	----	----	------	------	------	----

(4-13) PRへのLDS ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-14) PRへのLDS.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-15) PRからのSTS ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-16) PRからのSTS.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-17) BSRF、BSR、JSRの遅延スロット命令 (PRセット) ; 0発行サイクル

(I1)	(I2)	(I3)	(ID)	(??1)	(??2)	(??3)	(WB)
------	------	------	------	-------	-------	-------	------

【注】遅延スロット命令のE3ステージでPRの値が更新されます。
遅延スロットにPRからのSTS、STS.L命令が使用されている場合、更新されたPRの値が使用されます。

図 4.2 命令実行パターン (5)

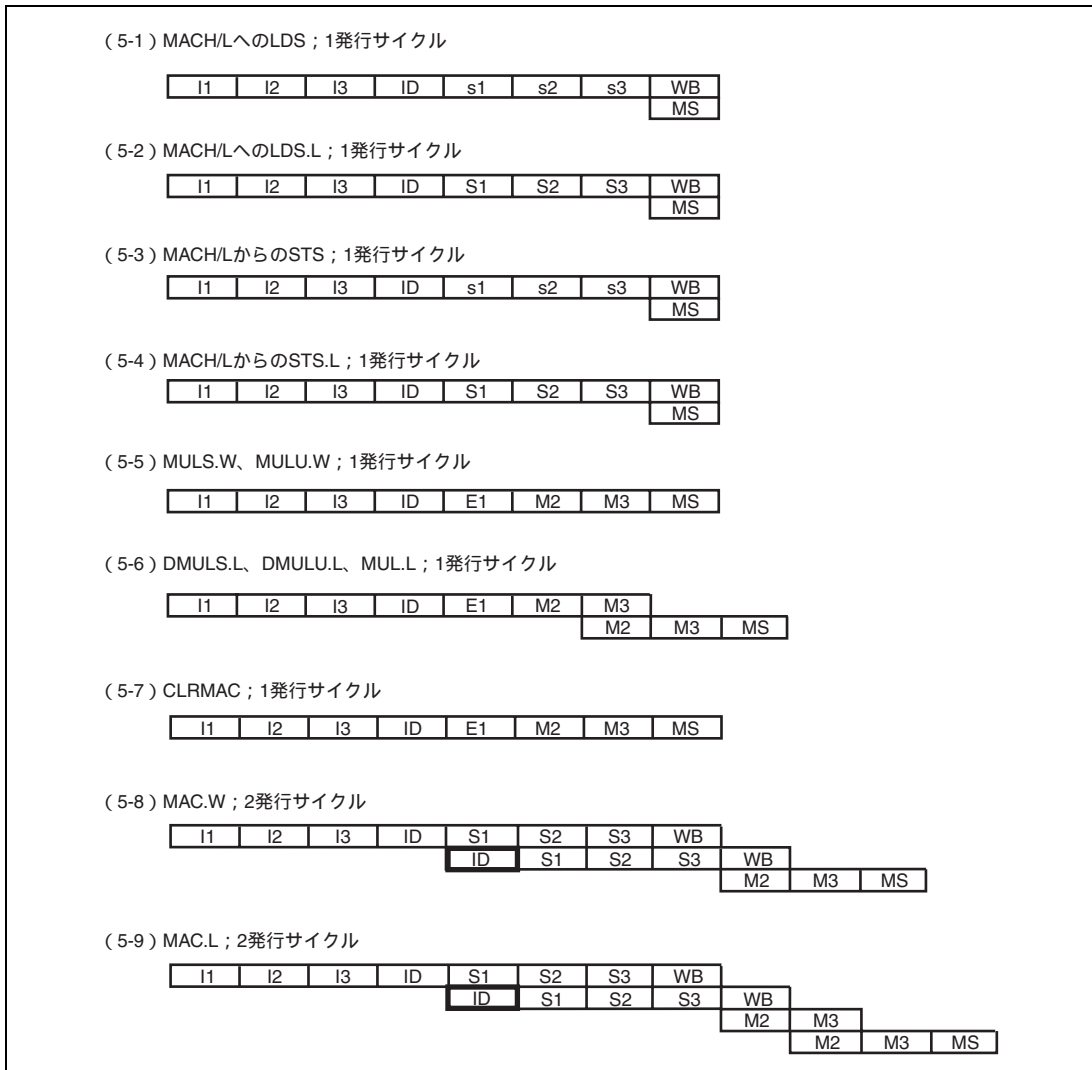


図 4.2 命令実行パターン (6)

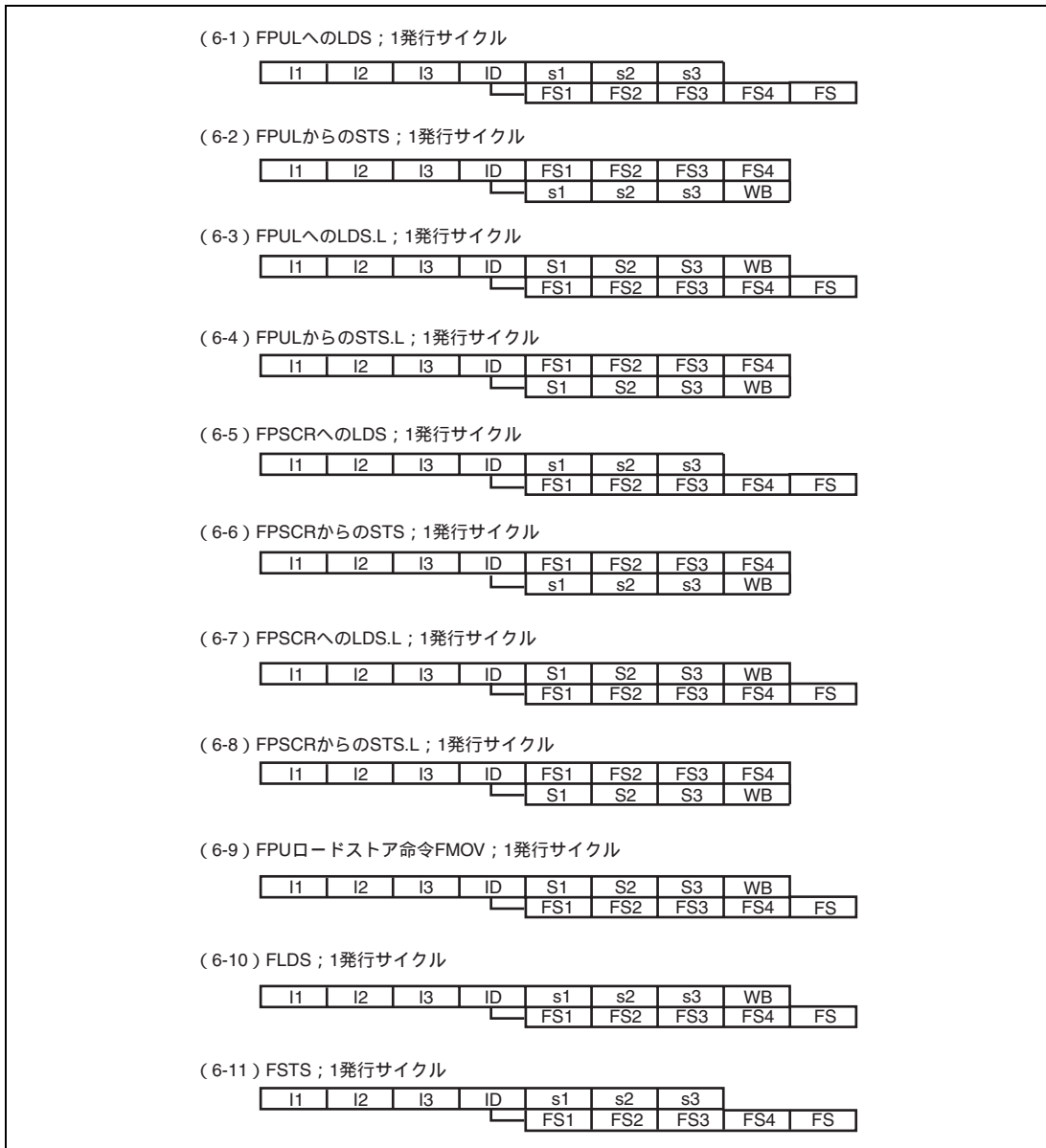


図 4.2 命令実行パターン (7)

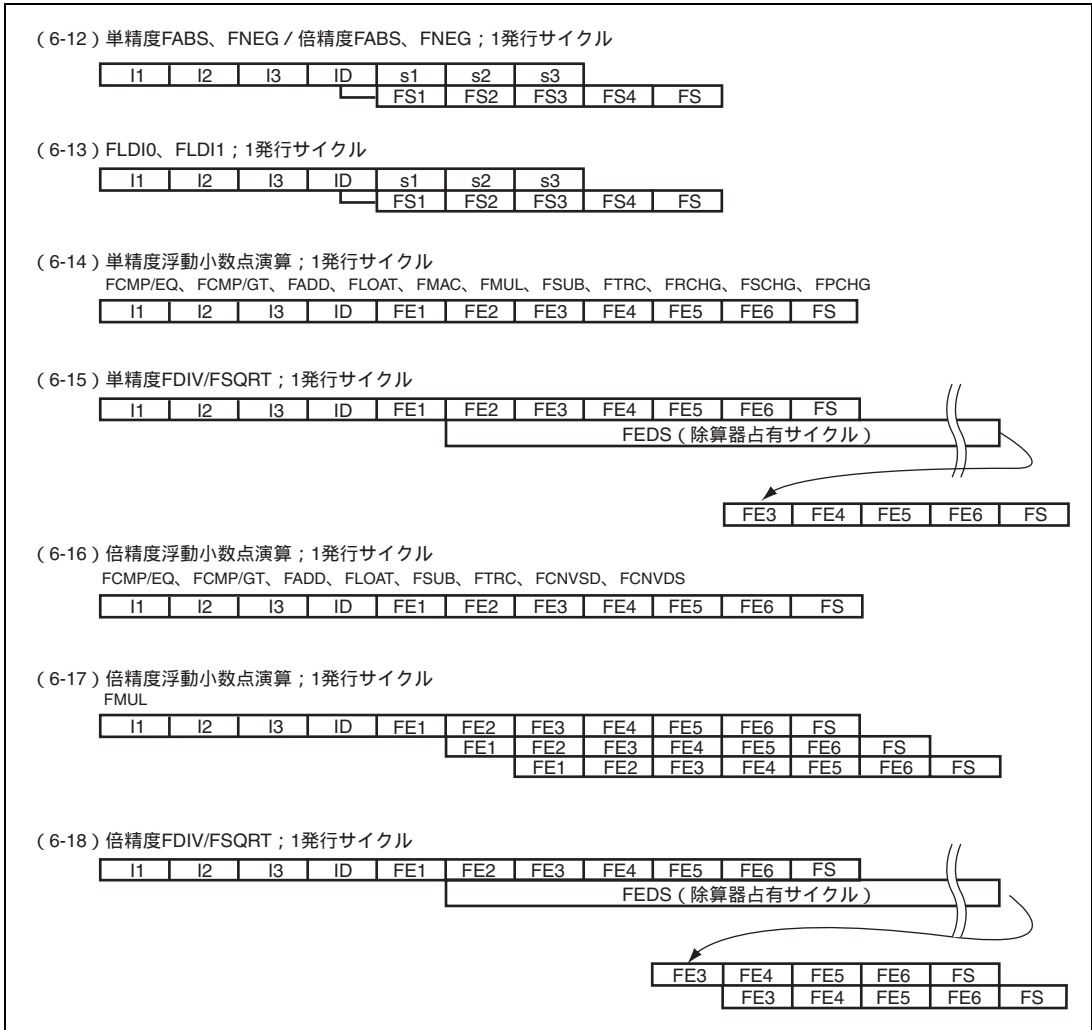


図 4.2 命令実行パターン (8)

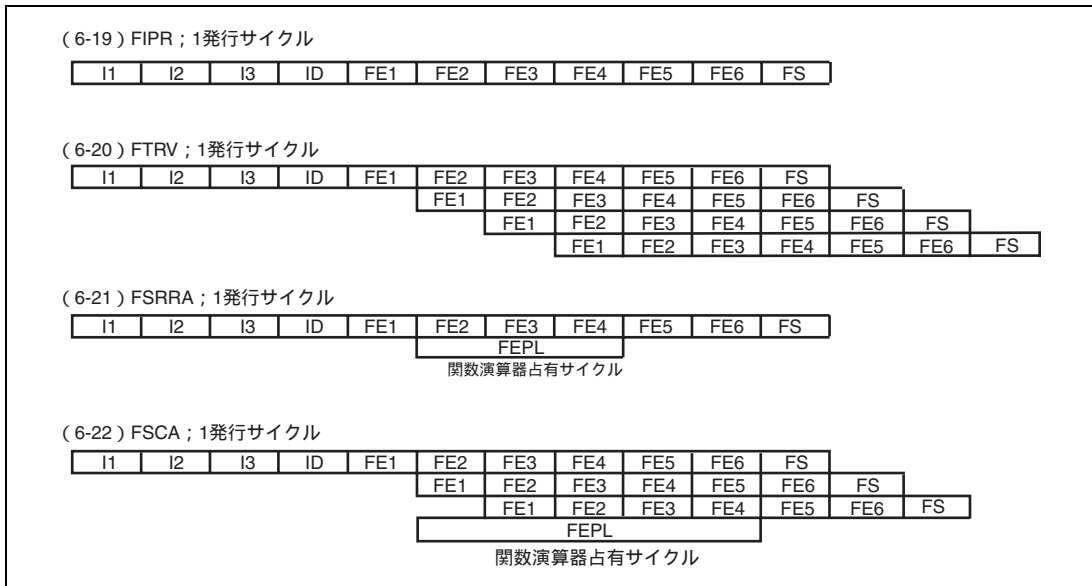


図 4.2 命令実行パターン (9)

4.2 並列実行性

命令は利用する内部機能ブロックにより、表 4.2 に示すようなグループに分類されます。表 4.3 に並列実行可能な 2 つの命令の組み合わせをグループごとに示します。たとえば、EX グループに分類された ADD と BR グループの BRA は並列実行できます。

表 4.2 命令グループ

命令グループ	命 令				
EX	ADD	DT	ROTL	SHLR8	
	ADDC	EXTS	ROTR	SHLR16	
	ADDV	EXTU	SETS	SUB	
	AND #imm,R0	MOVT	SETT	SUBC	
	AND Rm,Rn	MUL.L	SHAD	SUBV	
	CLRMAC	MULS.W	SHAL	SWAP	
	CLRS	MULU.W	SHAR	TST #imm,R0	
	CLRT	NEG	SHLD	TST Rm,Rn	
	CMP	NEGC	SHLL	XOR #imm,R0	
	DIV0S	NOT	SHLL2	XOR Rm,Rn	
	DIV0U	OR #imm,R0	SHLL8	XTRCT	
	DIV1	OR Rm,Rn	SHLL16		
	DMUS.L	ROTCL	SHLR		
	DMULU.L	ROTCR	SHLR2		
	MT	MOV #imm,Rn	MOV Rm,Rn	NOF	
	BR	BF	BRAF	BT	JSR
BF/S		BSR	BT/S	RTS	
BRA		BSRF	JMP		
LS	FABS	FMOV.S FR,@adr	MOV.[BWL] @adr,R	STC CR2,Rn	
	FNEG	FSTS	MOV.[BWL] R,@adr	STC.L CR2,@-Rn	
	FLDI0	LDC Rm,CR1	MOVA	STS SR2,Rn	
	FLDI1	LDC.L @Rm+,CR1	MOVCA.L	STS.L SR2,@-Rn	
	FLDS	LDS Rm,SR1	MOVUA	STS SR1,Rn	
	FMOV @adr,FR	LDS Rm,SR2	OCBI	STS.L SR1,@-Rn	
	FMOV FR,@adr	LDS.L @adr,SR2	OCBP		
	FMOV FR,FR	LDS.L @Rm+,SR1	OCBWB		
	FMOV.S @adr,FR	LDS.L @Rm+,SR2	PREF		

命令 グループ	命 令			
FE	FADD	FDIV	FRCHG	FSCA
	FSUB	FIPR	FSCHG	FSRRA
	FCMP (S/D)	FLOAT	FSQRT	FPCHG
	FCNVDS	FMAC	FTRC	
	FCNVSD	FMUL	FTRV	
CO	AND.B #imm,@(R0,GBR)	LDC.L @Rm+,SR	PREFI	TRAPA
	ICBI	LDTLB	RTE	TST.B #imm,@(R0,GBR)
	LDC Rm,DBR	MAC.L	SLEEP	XOR.B #imm,@(R0,GBR)
	LDC Rm,SGR	MAC.W	STC SR,Rn	
	LDC Rm,SR	MOVCO	STC.L SR,@-Rn	
	LDC.L @Rm+,DBR	MOVLI	SYNCO	
	LDC.L @Rm+,SGR	OR.B #imm,@(R0,GBR)	TAS.B	

【記号説明】 R : Rm/Rn
 @adr : アドレス
 SR1 : MACH/MACL/PR
 SR2 : FPUL/FPSCR
 CR1 : GBR/Rp_BANK/SPC/SSR/VBR
 CR2 : CR1/DBR/SGR
 FR : FRm/FRn/DRm/DRn/XDm/XDn

2 命令の同時実行は次の場合に限りです。

1. addr (先行) と addr+2 (後行) の 2 命令で 1K バイト (最小のページサイズ) をまたがないこと
2. 表 4.3 (先行・後行掛け合わせ表) で同時実行可能である (となっている) こと
3. addr にある命令がそれ以前の命令とデータコンフリクトがないこと
4. addr+2 にある命令がそれ以前の命令とデータコンフリクトがないこと
5. 2 命令とも有効であること

表 4.3 先行・後行掛け合わせ表

		先行命令 (addr)					
		EX	MT	BR	LS	FE	CO
後行命令 (addr+2)	EX	x					
	MT						
	BR			x			
	LS				x		
	FE					x	
	CO						

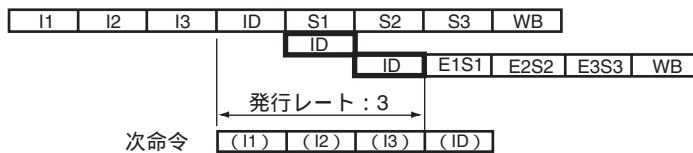
4.3 発行レートと実行ステート

命令の発行レートと実行ステートを表 4.4 に示します。表 4.4 中の命令グループは表 4.2 における分類に対応します。また、本節に示す発行レートと実行ステートでは、パイプラインストールによるペナルティサイクルは考慮していません。

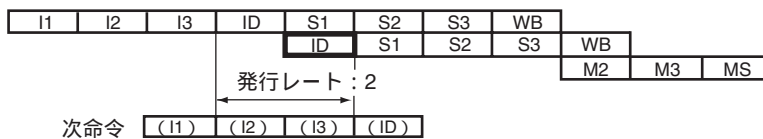
(1) 発行レート

発行レートは、命令の発行と次の命令の発行の間隔を示します。

(例) AND.B命令



(例) MAC.W命令

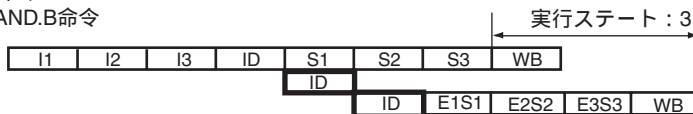


(2) 実行ステート

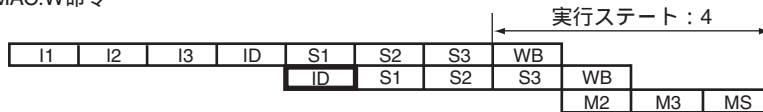
実行ステートは、命令がパイプラインを占有するサイクル数を次の基準で示します。

・CPU命令

(例) AND.B命令

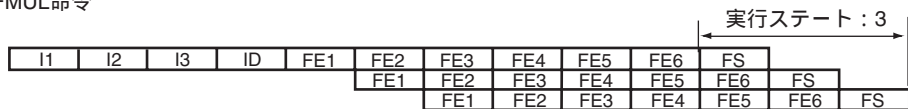


(例) MAC.W命令



・FPU命令

(例) FMUL命令



(例) FDIV命令



表 4.4 発行レートと実行ステート

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
データ 転送命令	1	EXTS.B	Rm,Rn	EX	1	1	2-1
	2	EXTS.W	Rm,Rn	EX	1	1	2-1
	3	EXTU.B	Rm,Rn	EX	1	1	2-1
	4	EXTU.W	Rm,Rn	EX	1	1	2-1
	5	MOV	Rm,Rn	MT	1	1	2-4
	6	MOV	#imm,Rn	MT	1	1	2-3
	7	MOVA	@(disp,PC),R0	LS	1	1	2-2
	8	MOV.W	@(disp,PC),Rn	LS	1	1	3-1
	9	MOV.L	@(disp,PC),Rn	LS	1	1	3-1
	10	MOV.B	@Rm,Rn	LS	1	1	3-1
	11	MOV.W	@Rm,Rn	LS	1	1	3-1
	12	MOV.L	@Rm,Rn	LS	1	1	3-1
	13	MOV.B	@Rm+,Rn	LS	1	1	3-1
	14	MOV.W	@Rm+,Rn	LS	1	1	3-1
	15	MOV.L	@Rm+,Rn	LS	1	1	3-1
	16	MOV.B	@(disp,Rm),R0	LS	1	1	3-1
	17	MOV.W	@(disp,Rm),R0	LS	1	1	3-1
	18	MOV.L	@(disp,Rm),Rn	LS	1	1	3-1
	19	MOV.B	@(R0,Rm),Rn	LS	1	1	3-1
	20	MOV.W	@(R0,Rm),Rn	LS	1	1	3-1
	21	MOV.L	@(R0,Rm),Rn	LS	1	1	3-1
	22	MOV.B	@(disp,GBR),R0	LS	1	1	3-1
	23	MOV.W	@(disp, GBR),R0	LS	1	1	3-1
	24	MOV.L	@(disp, GBR),R0	LS	1	1	3-1
	25	MOV.B	Rm,@Rn	LS	1	1	3-1
	26	MOV.W	Rm,@Rn	LS	1	1	3-1
	27	MOV.L	Rm,@Rn	LS	1	1	3-1
	28	MOV.B	Rm,@-Rn	LS	1	1	3-1
	29	MOV.W	Rm,@-Rn	LS	1	1	3-1
	30	MOV.L	Rm,@-Rn	LS	1	1	3-1
	31	MOV.B	R0,@(disp,Rn)	LS	1	1	3-1
	32	MOV.W	R0,@(disp,Rn)	LS	1	1	3-1
	33	MOV.L	Rm,@(disp,Rn)	LS	1	1	3-1
	34	MOV.B	Rm,@(R0,Rn)	LS	1	1	3-1

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン	
データ 転送命令	35	MOV.W	Rm,@(R0,Rn)	LS	1	1	3-1	
	36	MOV.L	Rm,@(R0,Rn)	LS	1	1	3-1	
	37	MOV.B	R0,@(disp,GBR)	LS	1	1	3-1	
	38	MOV.W	R0,@(disp,GBR)	LS	1	1	3-1	
	39	MOV.L	R0,@(disp,GBR)	LS	1	1	3-1	
	40	MOVCA.L	R0,@Rn	LS	1	1	3-4	
	41	MOVCO.L	R0,@Rn	CO	1	1	3-9	
	42	MOVL.L	@Rm,R0	CO	1	1	3-8	
	43	MOVUA.L	@Rm,R0	LS	2	2	3-10	
	44	MOVUA.L	@Rm+,R0	LS	2	2	3-10	
	45	MOV.T	Rn	EX	1	1	2-1	
	46	OCBI	@Rn	LS	1	1	3-4	
	47	OCBP	@Rn	LS	1	1	3-4	
	48	OCBWB	@Rn	LS	1	1	3-4	
	49	PREF	@Rn	LS	1	1	3-4	
	50	SWAP.B	Rm,Rn	EX	1	1	2-1	
	51	SWAP.W	Rm,Rn	EX	1	1	2-1	
	52	XTRCT	Rm,Rn	EX	1	1	2-1	
	固定小数点 算術命令	53	ADD	Rm,Rn	EX	1	1	2-1
		54	ADD	#imm,Rn	EX	1	1	2-1
55		ADDC	Rm,Rn	EX	1	1	2-1	
56		ADDV	Rm,Rn	EX	1	1	2-1	
57		CMP/EQ	#imm,R0	EX	1	1	2-1	
58		CMP/EQ	Rm,Rn	EX	1	1	2-1	
59		CMP/GE	Rm,Rn	EX	1	1	2-1	
60		CMP/GT	Rm,Rn	EX	1	1	2-1	
61		CMP/HI	Rm,Rn	EX	1	1	2-1	
62		CMP/HS	Rm,Rn	EX	1	1	2-1	
63		CMP/PL	Rn	EX	1	1	2-1	
64		CMP/PZ	Rn	EX	1	1	2-1	
65		CMP/STR	Rm,Rn	EX	1	1	2-1	
66		DIV0S	Rm,Rn	EX	1	1	2-1	
67		DIV0U		EX	1	1	2-1	
68		DIV1	Rm,Rn	EX	1	1	2-1	
69		DMULS.L	Rm,Rn	EX	1	2	5-6	

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
固定小数点 算術命令	70	DMULU.L	Rm,Rn	EX	1	2	5-6
	71	DT	Rn	EX	1	1	2-1
	72	MAC.L	@Rm+,@Rn+	CO	2	5	5-9
	73	MAC.W	@Rm+,@Rn+	CO	2	4	5-8
	74	MUL.L	Rm,Rn	EX	1	2	5-6
	75	MULS.W	Rm,Rn	EX	1	1	5-5
	76	MULU.W	Rm,Rn	EX	1	1	5-5
	77	NEG	Rm,Rn	EX	1	1	2-1
	78	NEGC	Rm,Rn	EX	1	1	2-1
	79	SUB	Rm,Rn	EX	1	1	2-1
	80	SUBC	Rm,Rn	EX	1	1	2-1
81	SUBV	Rm,Rn	EX	1	1	2-1	
論理命令	82	AND	Rm,Rn	EX	1	1	2-1
	83	AND	#imm,R0	EX	1	1	2-1
	84	AND.B	#imm,@(R0,GBR)	CO	3	3	3-2
	85	NOT	Rm,Rn	EX	1	1	2-1
	86	OR	Rm,Rn	EX	1	1	2-1
	87	OR	#imm,R0	EX	1	1	2-1
	88	OR.B	#imm,@(R0,GBR)	CO	3	3	3-2
	89	TAS.B	@Rn	CO	4	4	3-3
	90	TST	Rm,Rn	EX	1	1	2-1
	91	TST	#imm,R0	EX	1	1	2-1
	92	TST.B	#imm,@(R0,GBR)	CO	3	3	3-2
	93	XOR	Rm,Rn	EX	1	1	2-1
	94	XOR	#imm,R0	EX	1	1	2-1
	95	XOR.B	#imm,@(R0,GBR)	CO	3	3	3-2
シフト命令	96	ROTL	Rn	EX	1	1	2-1
	97	ROTR	Rn	EX	1	1	2-1
	98	ROTCL	Rn	EX	1	1	2-1
	99	ROTCR	Rn	EX	1	1	2-1
	100	SHAD	Rm,Rn	EX	1	1	2-1
	101	SHAL	Rn	EX	1	1	2-1
	102	SHAR	Rn	EX	1	1	2-1
	103	SHLD	Rm,Rn	EX	1	1	2-1
104	SHLL	Rn	EX	1	1	2-1	

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
シフト命令	105	SHLL2	Rn	EX	1	1	2-1
	106	SHLL8	Rn	EX	1	1	2-1
	107	SHLL16	Rn	EX	1	1	2-1
	108	SHLR	Rn	EX	1	1	2-1
	109	SHLR2	Rn	EX	1	1	2-1
	110	SHLR8	Rn	EX	1	1	2-1
	111	SHLR16	Rn	EX	1	1	2-1
分岐命令	112	BF	disp	BR	1+0~2	1	1-1
	113	BF/S	disp	BR	1+0~2	1	1-1
	114	BT	disp	BR	1+0~2	1	1-1
	115	BT/S	disp	BR	1+0~2	1	1-1
	116	BRA	disp	BR	1+0~2	1	1-1
	117	BRAF	Rm	BR	1+3	1	1-2
	118	BSR	disp	BR	1+0~2	1	1-1
	119	BSRF	Rm	BR	1+3	1	1-2
	120	JMP	@Rn	BR	1+3	1	1-2
	121	JSR	@Rn	BR	1+3	1	1-2
	122	RTS		BR	1+0~3	1	1-3
システム制御 命令	123	NOP		MT	1	1	2-3
	124	CLRMAC		EX	1	1	5-7
	125	CLRS		EX	1	1	2-1
	126	CLRT		EX	1	1	2-1
	127	ICBI	@Rn	CO	8+5+3	13	3-6
	128	SETS		EX	1	1	2-1
	129	SETT		EX	1	1	2-1
	130	PREFI	@Rn	CO	5+5+3	10	3-7
	131	SYNCO		CO	不定	不定	3-4
	132	TRAPA	#imm	CO	8+5+1	13	1-5
	133	RTE		CO	4+1	4	1-4
	134	SLEEP		CO	不定	不定	1-6
	135	LDTLB		CO	1	1	3-5
	136	LDC	Rm,DBR	CO	4	4	4-2
	137	LDC	Rm,SGR	CO	4	4	4-2
	138	LDC	Rm,GBR	LS	1	1	4-3
	139	LDC	Rm,Rp_BANK	LS	1	1	4-1

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
システム制御 命令	140	LDC	Rm,SR	CO	4+3	4	4-4
	141	LDC	Rm,SSR	LS	1	1	4-1
	142	LDC	Rm,SPC	LS	1	1	4-1
	143	LDC	Rm,VBR	LS	1	1	4-1
	144	LDC.L	@Rm+,DBR	CO	4	4	4-6
	145	LDC.L	@Rm+,SGR	CO	4	4	4-6
	146	LDC.L	@Rm+,GBR	LS	1	1	4-7
	147	LDC.L	@Rm+,Rp_BANK	LS	1	1	4-5
	148	LDC.L	@Rm+,SR	CO	6+3	4	4-8
	149	LDC.L	@Rm+,SSR	LS	1	1	4-5
	150	LDC.L	@Rm+,SPC	LS	1	1	4-5
	151	LDC.L	@Rm+,VBR	LS	1	1	4-5
	152	LDS	Rm,MACH	LS	1	1	5-1
	153	LDS	Rm,MACL	LS	1	1	5-1
	154	LDS	Rm,PR	LS	1	1	4-13
	155	LDS.L	@Rm+,MACH	LS	1	1	5-2
	156	LDS.L	@Rm+,MACL	LS	1	1	5-2
	157	LDS.L	@Rm+,PR	LS	1	1	4-14
	158	STC	DBR,Rn	LS	1	1	4-9
	159	STC	SGR,Rn	LS	1	1	4-9
	160	STC	GBR,Rn	LS	1	1	4-9
	161	STC	Rp_BANK,Rn	LS	1	1	4-9
	162	STC	SR,Rn	CO	1	1	4-10
	163	STC	SSR,Rn	LS	1	1	4-9
	164	STC	SPC,Rn	LS	1	1	4-9
	165	STC	VBR,Rn	LS	1	1	4-9
	166	STC.L	DBR,@-Rn	LS	1	1	4-11
	167	STC.L	SGR,@-Rn	LS	1	1	4-11
	168	STC.L	GBR,@-Rn	LS	1	1	4-11
	169	STC.L	Rp_BANK,@-Rn	LS	1	1	4-11
	170	STC.L	SR,@-Rn	CO	1	1	4-12
	171	STC.L	SSR,@-Rn	LS	1	1	4-11
	172	STC.L	SPC,@-Rn	LS	1	1	4-11
	173	STC.L	VBR,@-Rn	LS	1	1	4-11
174	STS	MACH,Rn	LS	1	1	5-3	

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
システム制御 命令	175	STS	MACL,Rn	LS	1	1	5-3
	176	STS	PR,Rn	LS	1	1	4-15
	177	STS.L	MACH,@-Rn	LS	1	1	5-4
	178	STS.L	MACL,@-Rn	LS	1	1	5-4
	179	STS.L	PR,@-Rn	LS	1	1	4-16
単精度 浮動小数点 命令	180	FLDI0	FRn	LS	1	1	6-13
	181	FLDI1	FRn	LS	1	1	6-13
	182	FMOV	FRm,FRn	LS	1	1	6-9
	183	FMOV.S	@Rm,FRn	LS	1	1	6-9
	184	FMOV.S	@Rm+,FRn	LS	1	1	6-9
	185	FMOV.S	@(R0,Rm),FRn	LS	1	1	6-9
	186	FMOV.S	FRm,@Rn	LS	1	1	6-9
	187	FMOV.S	FRm,@-Rn	LS	1	1	6-9
	188	FMOV.S	FRm,@(R0,Rn)	LS	1	1	6-9
	189	FLDS	FRm,FPUL	LS	1	1	6-10
	190	FSTS	FPUL,FRn	LS	1	1	6-11
	191	FABS	FRn	LS	1	1	6-12
	192	FADD	FRm,FRn	FE	1	1	6-14
	193	FCMP/EQ	FRm,FRn	FE	1	1	6-14
	194	FCMP/GT	FRm,FRn	FE	1	1	6-14
	195	FDIV	FRm,FRn	FE	1	14	6-15
	196	FLOAT	FPUL,FRn	FE	1	1	6-14
	197	FMAC	FR0,FRm,FRn	FE	1	1	6-14
	198	FMUL	FRm,FRn	FE	1	1	6-14
	199	FNEG	FRn	LS	1	1	6-12
	200	FSQRT	FRn	FE	1	14	6-15
	201	FSUB	FRm,FRn	FE	1	1	6-14
	202	FTRC	FRm,FPUL	FE	1	1	6-14
	203	FMOV	DRm,DRn	LS	1	1	6-9
	204	FMOV	@Rm,DRn	LS	1	1	6-9
	205	FMOV	@Rm+,DRn	LS	1	1	6-9
	206	FMOV	@(R0,Rm),DRn	LS	1	1	6-9
207	FMOV	DRm,@Rn	LS	1	1	6-9	
208	FMOV	DRm,@-Rn	LS	1	1	6-9	
209	FMOV	DRm,@(R0,Rn)	LS	1	1	6-9	

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
倍精度 浮動小数点 命令	210	FABS	DRn	LS	1	1	6-12
	211	FADD	DRm,DRn	FE	1	1	6-16
	212	FCMP/EQ	DRm,DRn	FE	1	1	6-16
	213	FCMP/GT	DRm,DRn	FE	1	1	6-16
	214	FCNVDS	DRm,FPUL	FE	1	1	6-16
	215	FCNVSD	FPUL,DRn	FE	1	1	6-16
	216	FDIV	DRm,DRn	FE	1	30	6-18
	217	FLOAT	FPUL,DRn	FE	1	1	6-16
	218	FMUL	DRm,DRn	FE	1	3	6-17
	219	FNEG	DRn	LS	1	1	6-12
	220	FSQRT	DRn	FE	1	30	6-18
	221	FSUB	DRm,DRn	FE	1	1	6-16
	222	FTRC	DRm,FPUL	FE	1	1	6-16
FPU システム制御 命令	223	LDS	Rm,FPUL	LS	1	1	6-1
	224	LDS	Rm,FPSCR	LS	1	1	6-5
	225	LDS.L	@Rm+,FPUL	LS	1	1	6-3
	226	LDS.L	@Rm+,FPSCR	LS	1	1	6-7
	227	STS	FPUL,Rn	LS	1	1	6-2
	228	STS	FPSCR,Rn	LS	1	1	6-6
	229	STS.L	FPUL,@-Rn	LS	1	1	6-4
	230	STS.L	FPSCR,@-Rn	LS	1	1	6-8
グラフィクス 強化命令	231	FMOV	DRm,XDn	LS	1	1	6-9
	232	FMOV	XDm,DRn	LS	1	1	6-9
	233	FMOV	XDm,XDn	LS	1	1	6-9
	234	FMOV	@Rm,XDn	LS	1	1	6-9
	235	FMOV	@Rm+,XDn	LS	1	1	6-9
	236	FMOV	@(R0,Rm),XDn	LS	1	1	6-9
	237	FMOV	XDm,@Rn	LS	1	1	6-9
	238	FMOV	XDm,@-Rn	LS	1	1	6-9
	239	FMOV	XDm,@(R0,Rn)	LS	1	1	6-9
	240	FIPR	FVm,FVn	FE	1	1	6-19
	241	FRCHG		FE	1	1	6-14
	242	FSCHG		FE	1	1	6-14
	243	FPCHG		FE	1	1	6-14
	244	FSRRA	FRn	FE	1	1	6-21

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
グラフィクス 強化命令	245	FSCA	FPUL,DRn	FE	1	3	6-22
	246	FTRV	XMTRX,FVn	FE	1	4	6-20

5. 例外処理

5.1 概要

例外処理とは、リセット、一般例外、割り込みが検出されたときに、通常とは異なるプログラムで必要な処理を行うことをいいます。たとえば、実行中の命令の異常終了が発生した場合、適切な処置をすることで、元のプログラムに復帰したり、異常を報告して終了するといった制御が必要になります。このような機能をサポートするために、異常終了に対して、例外処理要求を発生させ、ユーザが作成した例外処理ルーチンに制御の流れが渡ることなどを総称して例外処理と呼びます。

本 LSI の例外処理は、リセット、一般例外、割り込みの 3 つに分類されます。

5.2 レジスタ説明

例外処理に関するレジスタ構成を表 5.1 に示します。

表 5.1 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
TRAPA 例外レジスタ	TRA	R/W	H'FF00 0020	H'1F00 0020	32
例外事象レジスタ	EXPEVT	R/W	H'FF00 0024	H'1F00 0024	32
割り込み事象レジスタ	INTEVT	R/W	H'FF00 0028	H'1F00 0028	32
CPU 動作モードレジスタ	CPUOPM	R/W	H'FF2F 0000	H'1F2F 0000	32
非サポート検出例外レジスタ	EXPMASK	R/W	H'FF2F 0004	H'1F2F 0004	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 5.2 各処理モードにおけるレジスタの状態

名称	略称	パワーオンリセット	マニュアルリセット	スリープ/ライトスリープ
TRAPA 例外レジスタ	TRA	不定	不定	保持
例外事象レジスタ	EXPEVT	H'0000 0000	H'0000 0020	保持
割り込み事象レジスタ	INTEVT	不定	不定	保持
CPU 動作モードレジスタ	CPUOPM	H'0000 03C0	H'0000 03C0	保持
非サポート検出例外レジスタ	EXPMASK	H'0000 0013	H'0000 0013	保持

5.2.1 TRAPA 例外レジスタ (TRA)

TRAPA 例外レジスタ (TRA) は、TRAPA 命令の 8 ビットイミディエイトデータ (imm) が設定されるレジスタです。TRA は TRAPA 命令実行時にハードウェアにより自動的に設定されます。TRA はソフトウェアからも変更が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
							TRACODE										
初期値:	0	0	0	0	0	0									0	0	
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9~2	TRACODE	不定	R/W	TRAPA コード TRAPA 命令の 8 ビットイミディエイトデータが設定されます。
1, 0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

5.2.2 例外事象レジスタ (EXPEVT)

例外事象レジスタ (EXPEVT) には、12 ビットのリセットと一般例外事象による例外コードが設定されます。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。EXPEVT はソフトウェアからも変更が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					EXPCODE											
初期値:	0	0	0	0	0	0	0	0	0	0	0/1	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	EXPCODE	H'000 または H'020	R/W	例外コード リセット、一般例外の例外コードが設定されます。詳細は表 5.3 を参照してください。

5.2.3 割り込み事象レジスタ (INTEVT)

割り込み事象レジスタ (INTEVT) には、14 ビットの割り込み要求による例外コードが設定されます。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。INTEVT はソフトウェアからも変更が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			INTCODE													
初期値:	0	0														
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13~0	INTCODE	不定	R/W	例外コード 割り込みの例外コードが設定されます。詳細は表 5.3 を参照してください。

5.2.4 CPU 動作モードレジスタ (CPUOPM)

CPUOPM は、CPU の動作モードを切り替えるために使用します。本レジスタは P4 領域の H'FF2F0000 あるいはエリア 7 アドレスの H'1F2F0000 から 32 ビットサイズで読み出し / 書き込みが可能です。本レジスタへ書き込む際には、必ずリザーブビットに初期値を書き込むようにしてください。リザーブビットに初期値以外の値を書き込んだ場合の動作は保証されません。

CPUOPM の更新は、CPU 以外の SuperHyway バスマスタからのアクセスでなく、CPU のストア命令で行ってください。また、CPUOPM 更新後、一度 CPUOPM を読み出した後で、以下の 1. または 2. のどちらかを実行してください。

1. RTE 命令による分岐を実行してください。
 2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI 命令を実行してください。
1. または 2. の実行後、CPU は更新後の CPUOPM の値を用いて動作することが保証されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											RABD		INTMU			
初期値:	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット
9~6	-	1111	R	書き込み時は、必ず初期値を書き込むようにしてください。
5	RABD	0	R/W	サブルーチン復帰投機実行ビット 0: サブルーチンからの復帰時に命令フェッチを投機的に発行します。* 1: サブルーチンからの復帰時に命令フェッチを投機的に発行しません。
4	-	0	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。
3	INTMU	0	R/W	割り込み動作モード切り替えビット 0: 割り込みを受理しても SR.IMASK の値は変化しません。 1: 割り込みを受理した場合、受け付けたレベルを SR.IMASK の値に自動的に設定します。
2~0	-	すべて0	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。

【注】 * サブルーチンからの復帰時に命令フェッチを投機的に発行すると、プログラム上アクセスするはずのないアドレスに対する命令フェッチが起きる場合があります。その結果、想定し得ないエリアへのバスアクセスが発生したり、内部的に命令アドレスエラーが発生して誤動作を引き起こす可能性があります。想定し得ないエリアへのバスアクセスが発生することによる副作用は、「2.7.2 命令のプリフェッチとその副作用」を参照してください。サブルーチン復帰投機実行の機能を使用する場合、サブルーチンからの復帰は JSR/BSR/BSRF 命令で PR に設定した戻りアドレスに対して、RTS 命令を使って行うようにしてください。そうでなければ、プログラム上アクセスするはずのないアドレスに対する命令フェッチが起きる場合があります。その結果、想定し得ないエリアへのバスアクセスが発生したり、内部的に命令アドレスエラーが発生して誤動作を引き起こす可能性があります。

5.2.5 非サポート検出例外レジスタ (EXPMASK)

EXPMASK レジスタは、下記 1.~3.に該当する機能が使用された場合に例外を発生および抑止することができます。この 1.~3.に該当する機能は、今後の SuperH ファミリでサポートされなくなる可能性があります。あらかじめ EXPMASK レジスタの例外発生機能を用いることで、ソフトウェアがこれらの機能を用いているかを調べることが可能となり、今後の SuperH ファミリで本機能が未サポートになった場合に容易にソフトウェアの移行を行うことが可能となります。

1. RTE命令の遅延スロットがNOP命令以外である場合
2. 分岐命令の遅延スロットがSLEEP命令である場合
3. IC/OCメモリ割り付け連想書き込みを実行した場合

非サポート検出例外レジスタ (EXPMASK) の値により、1.~2.はスロット不当命令例外、3.はデータアドレスエラー例外をそれぞれ発生させることができます。

EXPMASK レジスタの該当ビットに 1 を書き込むことにより例外の発生を抑止できますが、今後の互換性を維持するため、上記機能を使用しないプログラムを作成することを強く推奨します。

EXPMASK レジスタの更新は CPU のストア命令で行ってください。更新後一度レジスタを読み出した後、以下の操作のどちらかを実行してください。この操作をすることによって、更新後のレジスタ値で動作することが保

証されます。

- RTE命令を実行
- 任意アドレス（キャッシング不可領域でも良い）に対するICBI命令を実行

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												MM CAW			BRDS SLP	RTE DS
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	MMCAW	0	R/W	メモリ割り付けキャッシュ連想ライト 0：メモリ割り付け連想書き込みを禁止します。（データアドレスエラー例外発生） 1：メモリ割り付け連想書き込みを許可します。 詳細は「8.6.5 メモリ割り付け連想ライトの動作」を参照してください。
3, 2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	BRDSSLP	0	R/W	遅延スロット SLEEP 命令 0：遅延スロットにある SLEEP 命令を禁止します。 （SLEEP 命令をスロット不当命令とします） 1：遅延スロットにある SLEEP 命令を許可します。
0	RTEDS	0	R/W	RTE 遅延スロット 0：RTE 命令の遅延スロットにある NOP 命令以外を禁止します。 （NOP 命令以外をスロット不当命令とします） 1：RTE 命令の遅延スロットにある NOP 命令以外を許可します。

5.3 例外処理の機能

5.3.1 例外処理の流れ

例外処理では、プログラムカウンタ (PC)、ステータスレジスタ (SR)、R15 の内容がそれぞれ退避プログラムカウンタ (SPC)、退避ステータスレジスタ (SSR)、退避ジェネラルレジスタ (SGR) に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令 (RTE) を実行します。本命令によって、PC と SR の内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGR の内容は RTE 命令では R15 に書き戻されません。

基本的な例外処理の流れは次のようになります。SR のビットの意味の詳細は、「第 2 章 プログラミングモデル」を参照してください。

1. PC、SRおよびR15の内容がそれぞれSPC、SSRおよびSGRに退避されます。
2. SRのブロックビット (BL) が1に設定されます。
3. SRのモードビット (MD) が1に設定されます。
4. SRのレジスタバンクビット (RB) が1に設定されます。
5. リセット時、SRのFPUディスエーブルビット (FD) が0に設定されます。
6. 例外コードは、例外要因の例外事象レジスタ (EXPEVT)、または割り込み事象レジスタ (INTEVT) のビット13~0に書き込まれます。
7. CPUOPMの割り込みモード切り替えビット (INTMU) が1の場合、SRの割り込みマスクレベルビット (IMASK) が割り込み受け付けレベルに変更されます。
8. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

5.3.2 例外処理ベクタアドレス

リセットベクタアドレスは H'A000 0000 に固定されています。例外、割り込みのベクタアドレスはベクタベースアドレスに各事象のオフセット値を加えたアドレスです。ベクタベースアドレスはベクタベースレジスタ (VBR) にソフトウェアで設定します。たとえば、TLB ミス例外のオフセットは H'0000 0400 ですから、VBR に H'9C08 0000 を設定しておくと、例外処理ベクタアドレスは H'9C08 0400 になります。例外処理ベクタアドレスでさらに例外が発生すると、二重例外となり、回復が困難になりますので、ベクタアドレスはアドレス変換の対象とならない P1、P2 領域のアドレスを指定してください。

5.4 例外の種類と優先順位

表 5.3 に、例外の種類、優先順位、ベクタアドレス、および例外 / 割り込みコードを示します。

表 5.3 例外一覧

例外 区分	実行 形態	例外	優先 レベル	優先 順位	例外遷移先		例外 コード
					ベクタベース	オフセット	
リセット	中断型	パワーオンリセット	1	1	CPU0 : H'A0000000、 CPU1 : モジュール ストップ	-	H'000
		マニュアルリセット	1	2	CPU _n RESETVEC レジスタに設定さ れたアドレス	-	H'020
		H-UDI リセット	1	1	CPU0 : H'A0000000、 CPU1 : モジュール ストップ	-	H'000
		命令 TLB 多重ヒット例外	1	3	CPU _n RESETVEC レジスタに設定さ れたアドレス	-	H'140
		データ TLB 多重ヒット例外	1	4	CPU _n RESETVEC レジスタに設定さ れたアドレス	-	H'140
一般例外	再実行型	命令実行前ユーザブレイク*	2	0	(VBR/DBR)	H'100/ -	H'1E0
		命令アドレスエラー	2	1	(VBR)	H'100	H'0E0
		命令 TLB ミス例外	2	2	(VBR)	H'400	H'040
		命令 TLB 保護違反例外	2	3	(VBR)	H'100	H'0A0
		一般不当命令例外	2	4	(VBR)	H'100	H'180
		スロット不当命令例外	2	4	(VBR)	H'100	H'1A0
		一般 FPU 抑止例外	2	4	(VBR)	H'100	H'800
		スロット FPU 抑止例外	2	4	(VBR)	H'100	H'820
		データアドレスエラー (読み出し)	2	5	(VBR)	H'100	H'0E0
		データアドレスエラー (書き込み)	2	5	(VBR)	H'100	H'100
		データ TLB ミス例外 (読み出し)	2	6	(VBR)	H'400	H'040
		データ TLB ミス例外 (書き込み)	2	6	(VBR)	H'400	H'060
		データ TLB 保護違反例外 (読み出し)	2	7	(VBR)	H'100	H'0A0
		データ TLB 保護違反例外 (書き込み)	2	7	(VBR)	H'100	H'0C0
		FPU 例外	2	8	(VBR)	H'100	H'120
初期ページ書き込み例外	2	9	(VBR)	H'100	H'080		

例外 区分	実行 形態	例外	優先 レベル	優先 順位	例外遷移先		例外 コード
					ベクタベース	オフセット	
一般例外	完了型	無条件トラップ (TRAPA)	2	4	(VBR)	H'100	H'160
		命令実行後ユーザブレイク*	2	10	(VBR/DBR)	H'100/ -	H'1E0
割り込み	完了型	ノンマスクابل割り込み	3	-	(VBR)	H'600	H'1C0
		一般割り込み要求	4	-	(VBR)	H'600	-

優先度 : まず優先レベルで順位付けし、同一レベル内を優先順位で順位付けします (より小さい数値が優先度が高くなります)。

例外遷移先 : リセットでは H'A000 0000、その他では (VBR + オフセット) へ制御が移ります。

例外コード : リセット、一般例外では EXPEVT、割り込みでは INTEVT に格納されます。

【注】 * CBCR.UBDE=1 のとき PC=DBR。その他は PC=VBR+H'100

5.5 例外フロー

5.5.1 例外フロー

図 5.1 に、命令実行と例外処理の基本動作を概念的に示します。ここでは説明の都合上、命令を 1 命令ずつ逐次的に実行することを基本として説明しています。図 5.1 には、例外種別（リセット、一般例外、割り込み）間の優先順位が表されています。なお図 5.1 では、例外成立時のレジスタ設定を SSR、SPC、SGR、EXPEVT/INTEVT、SR、および PC に限っていますが、例外によってはこのほかにもハードウェアによって自動的に設定されるレジスタがあります。詳細は、「5.6 各例外の説明」を参照してください。また、遅延分岐命令と遅延スロット命令を実行中の例外処理や、2 回データアクセスが発生する命令については「5.6.4 複数回の例外が発生する場合の優先順位」を参照してください。

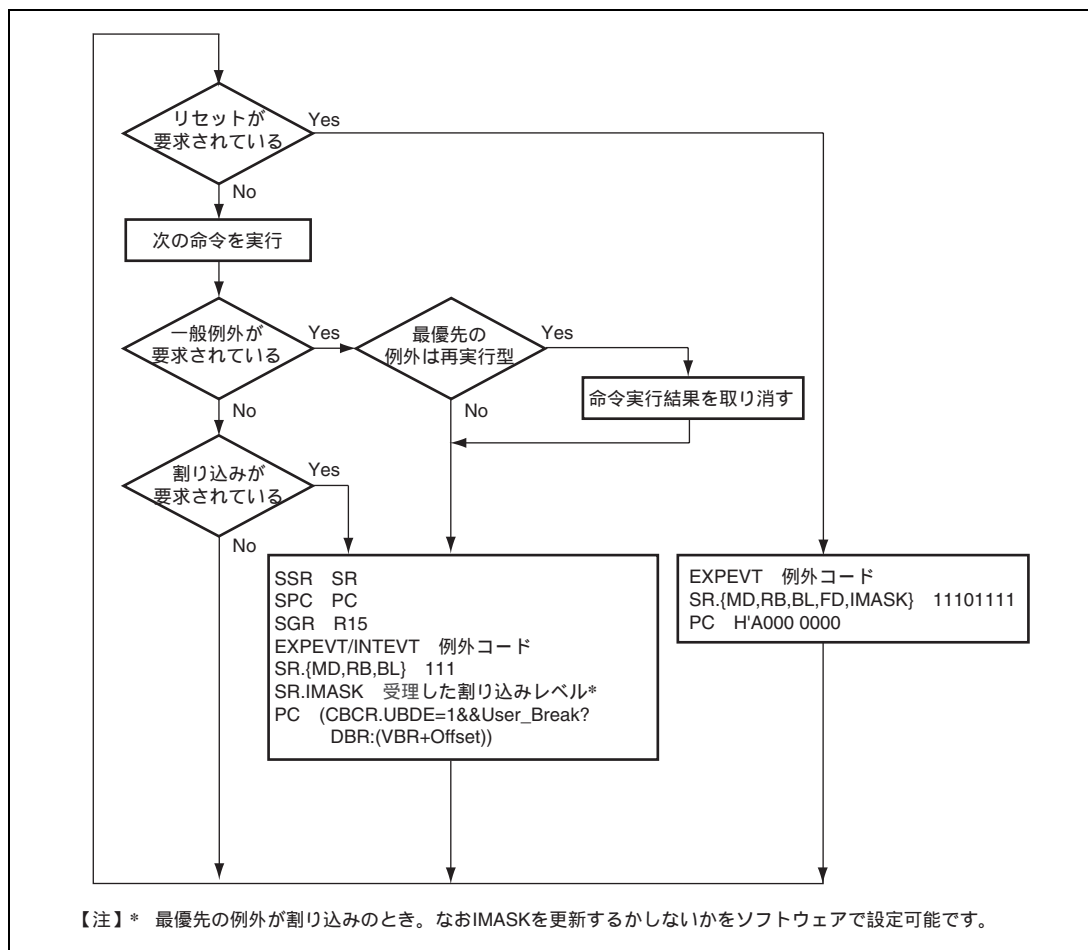


図 5.1 命令実行と例外処理

5.5.2 例外要因の受け付け

2つ以上の例外が同時に発生したときに受け付ける例外を決定するため、すべての例外には優先順位が決められています。一般例外の中の一般不当命令例外、スロット不当命令例外、一般FPU抑止例外、スロットFPU抑止例外、無条件トラップ例外の5つは、それぞれの命令解析の過程で検出され、命令パイプラインの中では同時に発生しない例外です。このため優先順位は同じ値になっています。一般例外は命令実行に従った順序で検出されます。しかし、例外処理は命令の流れの順序（プログラム順）に従って処理されます。つまり、先の命令の例外が、後続の命令の例外よりも優先されて受け付けられます。一般例外の受け付け順序の例を図5.2に示します。

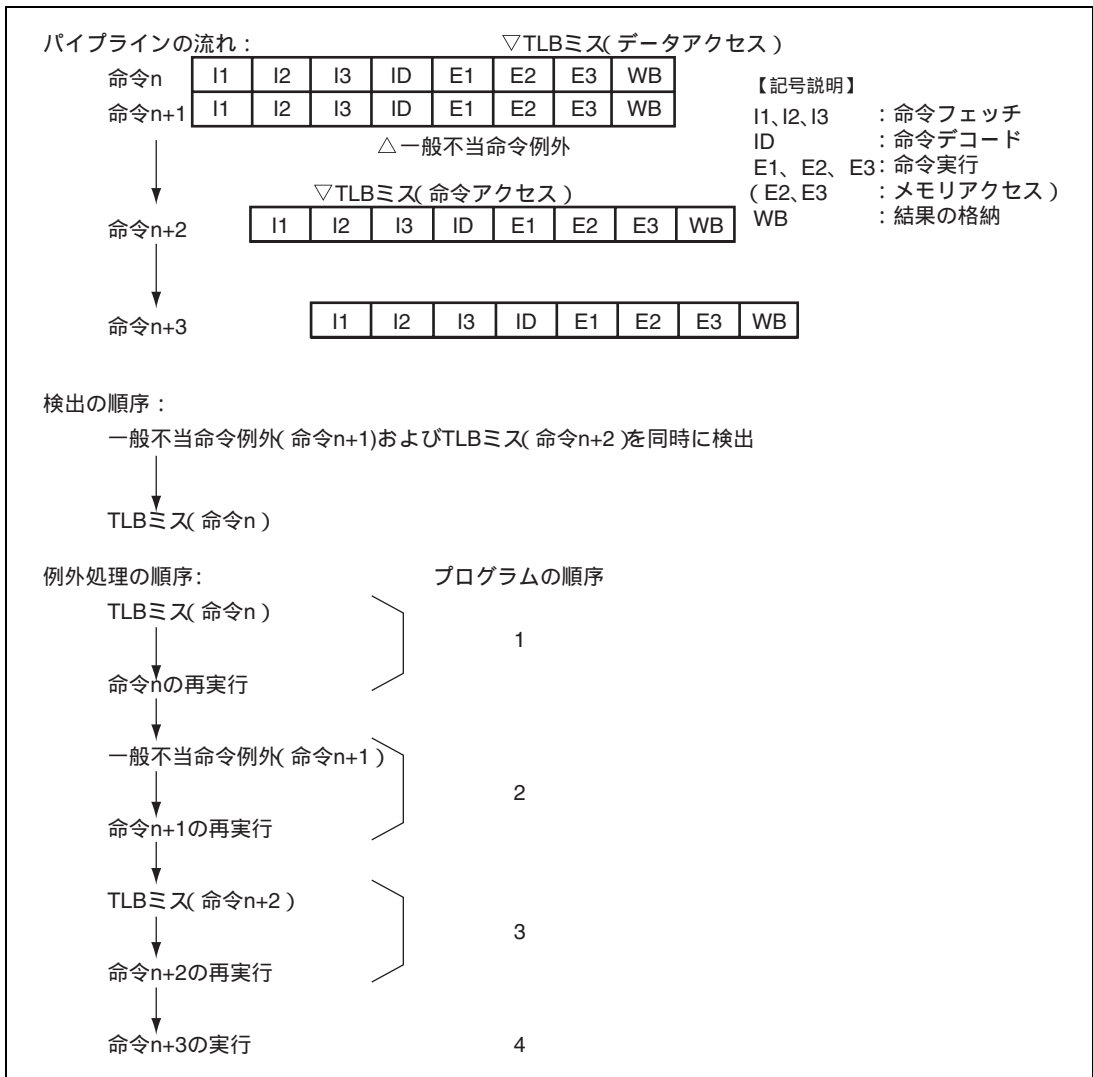


図 5.2 一般例外の受け付け順序の例

5.5.3 例外要求と BL ビット

SR の BL ビットが 0 のとき、例外、割り込みを受け付けます。

SR の BL ビットが 1 のときに、ユーザブレイクを除く例外が発生した場合には、CPU の内部レジスタ、他のモジュールのレジスタは、マニュアルリセット後の状態になり、リセットと同アドレス (H'A000 0000) に分岐します。ユーザブレイクが発生した場合の動作については「第 31 章 ユーザブレイクコントローラ (UBC)」を参照してください。また、通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアで BL ビットが 0 にクリアされてから受け付けられます。ノンマスクابل割り込み (NMI) が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

このように、通常は例外状態を多重に受け付け可能にするためには、SPC と SSR を退避させ、その後 SR の BL ビットを 0 クリアします。

5.5.4 例外処理からの復帰

例外処理からの復帰は、RTE 命令を使用します。RTE 命令により、SPC が PC に、SSR が SR に回復され、SPC のアドレスに分岐して、例外処理ルーチンから復帰します。もし、メモリに SPC、SSR を退避していた場合には、SR の BL ビットを 1 にセットしてから、SPC と SSR を回復し、RTE 命令を発行してください。

5.6 各例外の説明

個別の例外処理動作について、発生要因、発生時の遷移先アドレス、遷移時のプロセッサの動作を説明します。

5.6.1 リセット

(1) パワーオンリセット

- 条件：

パワーオンリセット要求

- 動作：

EXPEVTにH'000を設定し、CPU0はCPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ (H'A0000000) に分岐します。CPU1はCPUの初期化を行った後モジュールストップに遷移します。詳細は、各章のレジスタの説明を参照してください。電源投入時には必ずパワーオンリセットを行ってください。

(2) マニュアルリセット

- 条件：

マニュアルリセット要求

- 動作：

EXPEVTにH'020を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後、リセットベクタ (CPU_nRESETVECレジスタに設定されたアドレス) に分岐します。パワーオンリセットとマニュアルリセットでは初期化されるレジスタが異なります。詳細は、各章のレジスタの説明を参照してください。

(3) H-UDI リセット

- 要因：SDIR.TI[7:4]がB'0110 (ネゲート)、またはB'0111 (アサート)

- 遷移先アドレス：H'A000 0000

- 遷移時動作：

例外コードH'000をEXPEVTにセットします。CPU0はVBR、SRの初期化を行い、PC = H'A000 0000に分岐します。CPU1はVBR、SRの初期化を行い、モジュールストップに遷移します。

CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

(4) 命令 TLB 多重ヒット例外

- 要因：ITLBのアドレスが多重に一致

- 遷移先アドレス：H'A000 0000

- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行った後、リセットベクタ (CPU_nRESETVECレジスタに設定されたアドレス) に分岐します。

CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

(5) データ TLB 多重ヒット例外

- 要因 : UTLBのアドレスが多重に一致
- 遷移先アドレス : H'A000 0000
- 遷移時動作 :

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行った後、リセットベクタ(CPU_nRESETVECレジスタに設定されたアドレス)に分岐します。

CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

5.6.2 一般例外

(1) データ TLB ミス例外

- 要因 : UTLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス : VBR + H'0000 0400
- 遷移時動作 :

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'040を、書き込みの場合は例外コードH'060をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
Data_TLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'00000040 : H'00000060;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000400;
}
```

(2) 命令 TLB ミス例外

- 要因：ITLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'040をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
ITLB_miss_exception()  
{  
    TEA = EXCEPTION_ADDRESS;  
    PTEH.VPN = PAGE_NUMBER;  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'00000040;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000400;  
}
```

(3) 初期ページ書き込み例外

- 要因：ストアアクセスでTLBにヒットしたが、ダーティビットD=0
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'080をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
Initial_write_exception()  
{  
    TEA = EXCEPTION_ADDRESS;  
    PTEH.VPN = PAGE_NUMBER;
```

```

SPC = PC;
SSR = SR;
SGR = R15;
EXPEVT = H'00000080;
SR.MD = 1;
SR.RB = 1;
SR.BL = 1;
PC = VBR + H'00000100;
}

```

(4) データ TLB 保護違反例外

- 要因：アクセスが表5.4、表5.5に示すUTLBのプロテクション情報（PRビットあるいはEPRビット）に反する。

表 5.4 UTLB プロテクション情報（TLB 互換モード）

PR	特権モード	ユーザモード
00	読み出しのみ可	アクセス不可
01	読み出し / 書き込み可	アクセス不可
10	読み出しのみ可	読み出しのみ可
11	読み出し / 書き込み可	読み出し / 書き込み可

表 5.5 UTLB プロテクション情報（TLB 拡張モード）

EPR[5]	特権モードでの読み出しの可否
0	読み出し可
1	読み出し不可

EPR[4]	特権モードでの書き込みの可否
0	書き込み可
1	書き込み不可

EPR[2]	ユーザモードでの読み出しの可否
0	読み出し可
1	読み出し不可

EPR[1]	ユーザモードでの書き込みの可否
0	書き込み可
1	書き込み不可

- 遷移先アドレス : VBR + H'0000 0100
- 遷移時動作 :

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合には例外コードH'0A0を、書き込みの場合には例外コードH'0C0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
Data_TLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'000000A0 : H'000000C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(5) 命令 TLB 保護違反例外

- 要因 : アクセスが表5.6、表5.7に示すITLBのプロテクション情報 (PRビット) に反する。

表 5.6 ITLB プロテクション情報 (TLB 互換モード)

PR	特権モード	ユーザモード
0	アクセス可	アクセス不可
1	アクセス可	アクセス可

表 5.7 ITLB プロテクション情報 (TLB 拡張モード)

EPR[5]、EPR[3]	特権モードでの実行の可否
11、01	実行可
10	ICBIのみ実行不可、他は実行可
00	実行不可

EPR[2]、EPR[0]	ユーザモードでの実行の可否
11、01	実行可
10	ICBI のみ実行不可、他は実行可
00	実行不可

- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
ITLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000000A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(6) データアドレスエラー

- 要因：
 - ワードデータをワード境界以外 ($2n+1$) からアクセス
 - ロングワードデータをロングワードデータ境界以外 ($4n+1$, $4n+2$, $4n+3$) からアクセス
 - クワッドワードをクワッドワードデータ境界以外 ($8n+1$, $8n+2$, $8n+3$, $8n+4$, $8n+5$, $8n+6$, $8n+7$) からアクセス
 - ユーザモードでの領域H'8000 0000 ~ H'FFFF FFFFへのアクセス
ただし、H'E000 0000 ~ H'E3FF FFFFおよびH'E500 0000 ~ H'E5FF FFFFは、それぞれユーザモードからアクセスする設定が可能です。詳しくは「第7章 メモリマネジメントユニット (MMU)」および「第9章 内蔵メモリ」を参照してください。
 - EXPMASKレジスタのMMCAWビットが0で、IC/OCメモリ割り付け連想書き込みについては「8.6.5 メモリ割り付け連想ライトの動作」を参照してください。

- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'0E0を、書き込みの場合は例外コードH'100をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第7章 メモリマネジメントユニット (MMU)」を参照してください。

```
Data_address_error()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access? H'000000E0: H'00000100;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(7) 命令アドレスエラー

- 要因：

- ワード境界以外 (2n + 1) から命令フェッチ

- ユーザモードでの領域H'8000 0000 ~ H'FFFF FFFFから命令フェッチ

ただし、H'E500 0000 ~ H'E5FF FFFFはユーザモードからアクセスする設定が可能です。詳しくは「第9章 内蔵メモリ」を参照してください。

- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0E0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第7章 メモリマネジメントユニット (MMU)」を参照してください。

```
Instruction_address_error()
{
```

```

    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000000E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(8) 無条件トラップ

- 要因：TRAPA命令の実行
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

処理完了型の例外のため、TRAPA命令の次の命令のPCをSPCに退避します。TRAPA命令実行時のSR、R15をSSR、SGRに退避します。TRAPA命令中の8ビットのイミディエイトを4倍して、TRA[9:0]にセットします。例外コードH'160をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

TRAPA_exception()
{
    SPC = PC + 2;
    SSR = SR;
    SGR = R15;
    TRA = imm << 2;
    EXPEVT = H'00000160;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(9) 一般不当命令例外

• 要因:

- 遅延スロット以外にある未定義命令をデコード

遅延分岐命令: JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S

未定義命令 : H'FFFD

- 遅延スロット以外にある特権命令をユーザモードでデコード

特権命令: LDC、STC、RTE、LDTLB、SLEEP、

ただし、LDC、STCでGBRをアクセスする命令を除く

- 遷移先アドレス: VBR + H'0000 0100

• 遷移時動作:

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'180をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義コードをデコードした場合には動作を保証しません。

```
General_illegal_instruction_exception()
```

```
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000180;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(10) スロット不当命令例外

• 要因:

- 遅延スロットにある未定義命令をデコード

遅延分岐命令: JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S

未定義命令 : H'FFFD

- 遅延スロット内のPCを書き換える命令をデコード

PCを書き換える命令: JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT、BF、BT/S、BF/S、TRAPA、

LDC Rm,SR、LDC.L @Rm+,SR、ICBI、PREFI

- 遅延スロット内の特権命令をユーザモードでデコード

特権命令: LDC、STC、RTE、LDTLB、SLEEP

ただし、LDC、STCでGBRをアクセスする命令を除く

- 遅延スロット内のPC相対MOV命令、MOVA命令をデコード
- EXPMASKレジスタのBRDSSLPビットが0で、遅延スロットにあるSLEEP命令を実行
- EXPMASKレジスタのRTEDSビットが0で、遅延スロットにあるNOP以外の命令を実行
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'1A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFF0以外の未定義命令をデコードした場合には動作を保証しません。

```
Slot_illegal_instruction_exception()
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000001A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(11) 一般 FPU 抑止例外

- 要因：遅延スロット以外にあるFPU命令*をSR.FD=1でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'800をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
General_fpu_disable_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000800;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

【注】 * FPU 命令とは命令コードの最初の 4 ビットが F である命令 (ただし、未定義命令 H'FFFD を除く) と、FPUL、FPSCR に対する LDS、STS、LDS.L、STS.L 命令です。

(12) スロット FPU 抑止例外

- 要因：遅延スロットにある FPU 命令を SR.FD=1 でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

直前の遅延分岐命令の PC を SPC に退避します。本例外発生時の SR、R15 を SSR、SGR に退避します。

例外コード H'820 を EXPEVT にセットします。SR の BL ビット、MD ビット、RB ビットを 1 にセットし、PC = VBR + H'0100 に分岐します。

```
Slot_fpu_disable_exception()
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000820;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(13) 命令実行前ユーザブレイク / 命令実行後ユーザブレイク

- 要因：ユーザブレイクポイントコントローラに設定したブレイク条件が成立
- 遷移先アドレス：VBR + H'0000 0100、または DBR
- 遷移時動作：

命令実行後ブレイクの場合、ブレイクポイントを設定した命令の直後の命令の PC を SPC に退避します。命令実行前ブレイクの場合、ブレイクポイントを設定した命令の PC を SPC に退避します。

ブレイク発生時の SR、R15 を SSR、SGR に退避します。例外コード H'1E0 を EXPEVT にセットします。

SR の BL ビット、MD ビット、RB ビットを 1 にセットし、PC = VBR + H'0100 に分岐します。ただし、PC = DBR に分岐することも可能です。

データブレイクを設定した場合の PC についてなど、詳細は、「第 31 章 ユーザブレイクコントローラ (UBC)」を参照してください。

```
User_break_exception()
{
    SPC = (pre_execution break? PC : PC + 2);
    SSR = SR;
```

```

    SGR = R15;
    EXPEVT = H'000001E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = (CBCR.UBDE==1 ? DBR : VBR + H'00000100);
}

```

(14) FPU 例外

- 要因：浮動小数点演算実行による例外
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'120をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。

```

FPU_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000120;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

5.6.3 割り込み

(1) NMI (ノンマスクブル割り込み)

- 要因：NMI端子のエッジ検出
- 遷移先アドレス：VBR + H'0000 0600
- 遷移時動作：

本割り込みを受け付けた命令の直後のPC、SRを、それぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'1C0をINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR + H'0600に分岐します。本割り込みは、SRのBLビットが0のときはSRの割り込みマスクビットによってマスクされず、最優先で受け付けられます。SRのBLビットが1のとき本割り込みがマスクされるか、受け付

けるかをソフトウェアによって設定可能です。CPUOPMのINTMUビットが1のときに、NMI割り込みを受け付けた場合、SRのIMASKビットには、B'1111がセットされます。詳細は「第10章 割り込みコントローラ (INTC)」を参照してください。

```
NMI ()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'000001C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    If(cond)SR.IMASK = B'1111;
    PC = VBR + H'00000600;
}
```

(2) 一般割り込み要求

- 要因:

SRの割り込みマスクビットが割り込み要求の割り込みレベルより小さく、かつSRのBLが0(命令の切れ目で受け付けます。)

- 遷移先アドレス: VBR + H'0000 0600

- 遷移時動作:

受け付けた命令の直後のPCをSPCにセットします。受け付けた時点のSR、R15をSSR、SGRにセットします。各割り込み要因に対応したコードをINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、VBR + H'0600に分岐します。CPUOPMのINTMUビットが1のときに、一般割り込みを受け付けた場合、SRのIMASKビットには、受け付けた割り込みのレベルが設定されます。詳細は「第10章 割り込みコントローラ (INTC)」を参照してください。

```
Module_interruption()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'00000400 ~ H'00003FE0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    if(cond)SR.IMASK = level_of_accepted_interrupt();
}
```

```
PC = VBR + H'00000600;  
}
```

5.6.4 複数回の例外が発生する場合の優先順位

メモリを2回アクセスする命令や、不可分である遅延付き分岐命令と遅延スロット命令などでは、複数回例外が発生します。この場合、通常の例外優先順位と異なるので、注意が必要です。

(1) メモリを2回アクセスする命令

MAC 命令やメモリ - メモリ間論理演算命令、TAS 命令、MOVUA 命令は1つの命令でデータ転送が2回あるため、それぞれのデータ転送時に例外の発生を検出します。そのため、以下の順位で判定します。

1. 1回目のデータ転送のデータアドレスエラー
2. 1回目のデータ転送のTLBミス
3. 1回目のデータ転送のTLB保護違反
4. 1回目のデータ転送の初期ページ書き込み例外
5. 2回目のデータ転送のデータアドレスエラー
6. 2回目のデータ転送のTLBミス
7. 2回目のデータ転送のTLB保護違反
8. 2回目のデータ転送の初期ページ書き込み例外

(2) 不可分である遅延付き分岐命令と遅延スロット命令

遅延付き分岐命令と遅延スロット命令は不可分であるため、1つの命令として扱われます。そのため、それぞれの命令における例外についても、優先順位が通常と異なります。遅延スロット命令が1回のデータ転送しか持たない場合の順位を示します。

1. 遅延付き分岐命令における優先レベル1、2の中断型および再実行型例外をチェックします。
2. 遅延スロット命令における優先レベル1、2の中断型および再実行型例外をチェックします。
3. 遅延付き分岐命令における優先レベル2の完了型例外をチェックします。
4. 遅延スロット命令における優先レベル2の完了型例外をチェックします。
5. 遅延付き分岐命令における優先レベル3と遅延スロット命令における優先レベル3をチェックします（この2つの間の優先順位はありません）。
6. 遅延付き分岐命令における優先レベル4と遅延スロット命令における優先レベル4をチェックします（この2つの間の優先順位はありません）。

遅延スロット命令が2回目のデータ転送を持つ場合、2.において、(1)のように2回チェックを行います。

なお、受け付けた例外（最も優先度が高い例外）が遅延スロット命令の再実行型例外である場合、分岐命令のPRレジスタ書き込み動作（BSR、BSRF、JSRのPC PR動作）は抑止されません。ただし、その場合のPRレジスタの内容は保証されません。

5.7 注意事項

(1) 例外処理からの復帰

1. SRのBLビットをソフトウェアでチェックしてください。メモリにSPC、SSRを退避していた場合には、SRのBLビットを1にしてからそれらを回復してください。
2. RTE命令を発行してください。RTE命令により、SPCがPCに、SSRがSRにセットされ、SPCのアドレスに分岐して、例外処理から復帰します。

(2) SR.BL = 1 のときに例外または割り込みが発生した場合

1. 例外

ユーザブレークを除く例外が発生した場合には、マニュアルリセットが発生します。このときEXPEVTは、H'0000 0020となり、SPC、SSRの各レジスタは不定値となります。

2. 割り込み

通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアでSRのBLビットが0にクリアされてから受け付けられます。ノンマスカブル割り込み(NMI)が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

ただし、スリープまたはライトスリープモードでは、SRのBLビットが1であっても、割り込みを受け付けません。

(3) 例外発生時の SPC

1. 再実行型の例外

例外が発生した命令のPCがSPCにセットされ、例外処理から復帰後に再実行されます。ただし、遅延スロット命令で発生した場合、直前の遅延分岐命令の条件が成立する、しないに関係なく遅延分岐命令のPCがSPCにセットされます。

2. 完了型の例外、割り込み

例外が発生した命令の次の命令のPCがSPCにセットされます。ただし、遅延スロット付き分岐命令で発生した場合、分岐先のPCがSPCにセットされます。

(4) RTE 命令の遅延スロット

1. RTE命令の遅延スロットに配置された命令は、SSRに退避されていた値がSRに復帰されたのち実行されます。命令アクセスに関する例外の受け付け判定は復帰前のSRの値に応じて決定され、その他の例外の受け付け判定は復帰後とのSRによる処理モードやBLビットに依存して決定されます。完了型の例外に関してはRTEの分岐先の実行前に受け付けられますが、再実行型の例外が発生すると動作が保証されません。
2. RTE命令の遅延スロットに配置された命令では、ユーザブレークの受け付けは行われません。

(5) SR レジスタ値変更と例外の受け付け

1. LDC命令によりSRレジスタのMDやBLビットを操作した場合は、その次命令から新しいSRレジスタの値で例外の受け付けを再判定します*。完了型例外では次命令の実行後に例外が受け付けられませんが、完了型例外のうち、割り込みに関しては次命令の実行前に受け付けを行います。

【注】 * SR に対する LDC 命令が実行されると、後続命令への命令フェッチが再び行われ、新しい SR の値で命令フェッチ例外の再評価が行われます。

6. 浮動小数点ユニット (FPU)

6.1 概要

FPU には次のような特長があります。

- IEEE754規格に準拠
- 32本の単精度浮動小数点レジスタ (16本の倍精度レジスタとしても参照できます)
- 2つの丸めモード：近傍および0方向への丸め
- 2つの非正規化数処理モード：0へのフラッシュと非正規化数の扱い
- 6つの例外要因：
FPUエラー、無効演算、0による除算、オーバフロー、アンダフロー、不正確
- 包括命令：
単精度、倍精度、グラフィックサポート、システム制御
- SH-4Aで下記の3命令を追加しました。
FSRRA、FSCA、FPCHG

SR の FD ビットを 1 にセットすると、浮動小数点ユニット (FPU) は使用できなくなり、FPU 命令を実行しようとするとき FPU 抑止例外 (一般 FPU 抑止例外またはスロット FPU 抑止例外) が発生します。

6.2 データフォーマット

6.2.1 浮動小数点フォーマット

浮動小数点は次の3つのフィールドから構成されています。

- 符号ビット (s)
- 指数フィールド (e)
- 小数フィールド (f)

SH-4A は図 6.1 と図 6.2 に示すフォーマットを用いて単精度、倍精度浮動小数点を扱うことができます。

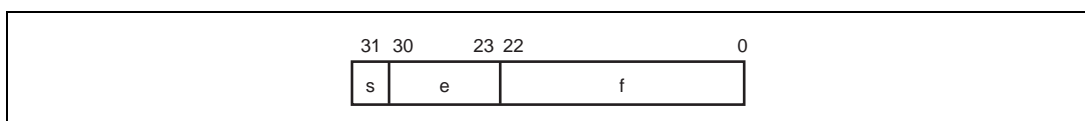


図 6.1 単精度浮動小数点フォーマット

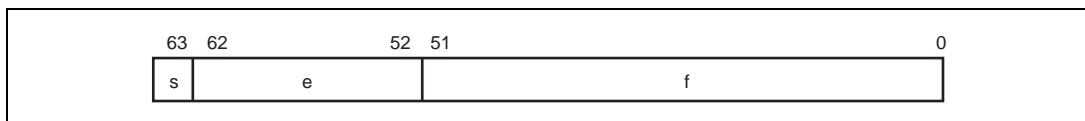


図 6.2 倍精度浮動小数点フォーマット

指数は次のようにバイアス付きで表します。

$$e = E + \text{バイアス}$$

バイアスのない指数 E の範囲は、 $E_{\min} - 1$ から $E_{\max} + 1$ までです。 $E_{\min} - 1$ と $E_{\max} + 1$ の2つの値は次のように区別します。 $E_{\min} - 1$ は0 (正、負両方の符号) と非正規化数を表し、 $E_{\max} + 1$ は正または負の無限大または非数 (NaN) を表します。表 6.1 に浮動小数点のフォーマットとパラメータを示します。

表 6.1 浮動小数点のフォーマットとパラメータ

パラメータ	単精度	倍精度
総ビット幅	32 ビット	64 ビット
符号ビット (s)	1 ビット	1 ビット
指数フィールド (e)	8 ビット	11 ビット
小数フィールド (f)	23 ビット	52 ビット
精度	24 ビット	53 ビット
バイアス	+127	+1023
E_{max}	+127	+1023
E_{min}	-126	-1022

浮動小数点の数値 v は次のようにして決められます。

- $E = E_{max} + 1$ かつ $f = 0$ の場合、 v は符号 s に関係なく非数 (NaN) です。
- $E = E_{max} + 1$ かつ $f = 0$ の場合、 v は $(-1)^s$ (無限) 「正または負の無限」です。
- $E_{min} < E < E_{max}$ の場合、 v は $(-1)^s 2^E (1.f)$ 「正規化数」です。
- $E = E_{min} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s 2^{E_{min}} (0.f)$ 「非正規化数」です。
- $E = E_{min} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s 0$ 「正または負の0」です。

表 6.2 に 16 進数による各タイプの範囲を示します。シグナリング非数とクワイアット非数については、「6.2.2 非数 (NaN)」を、非正規化数については「6.2.3 非正規化数」を参照してください。

表 6.2 浮動小数点の範囲

タイプ	単精度	倍精度
シグナリング非数	H'7FFFFFFF ~ H'7FC00000	H'7FFFFFFF FFFFFFFF ~ H'7FF80000 00000000
クワイアット非数	H'7FBFFFFFF ~ H'7F800001	H'7FF7FFFF FFFFFFFF ~ H'7FF00000 00000001
正の無限大	H'7F800000	H'7FF00000 00000000
正の正規化数	H'7F7FFFFFF ~ H'00800000	H'7FEFFFFFF FFFFFFFF ~ H'00100000 00000000
正の非正規化数	H'007FFFFFF ~ H'00000001	H'000FFFFFF FFFFFFFF ~ H'00000000 00000001
正のゼロ	H'00000000	H'00000000 00000000
負のゼロ	H'80000000	H'80000000 00000000
負の非正規化数	H'80000001 ~ H'807FFFFFF	H'80000000 00000001 ~ H'800FFFFFF FFFFFFFF
負の正規化数	H'80800000 ~ H'FF7FFFFFF	H'80100000 00000000 ~ H'FFEFFFFFF FFFFFFFF
負の無限大	H'FF800000	H'FFF00000 00000000
クワイアット非数	H'FF800001 ~ H'FFBFFFFFF	H'FFF00000 00000001 ~ H'FFF7FFFF FFFFFFFF
シグナリング非数	H'FFC00000 ~ H'FFFFFFF	H'FFF80000 00000000 ~ H'FFFFFFF FFFFFFFF

6.2.2 非数 (NaN)

図 6.3 に非数 (NaN) のビットパターンを示します。次の場合の値は NaN です。

- 符号ビット : don't care
- 指数フィールド : すべてのビットが1
- 小数フィールド : 少なくとも1ビットが1

NaN は、小数フィールドの MSB が 1 の場合はシグナリング非数 (sNaN) であり、0 の場合はクワイアット非数 (qNaN) です。

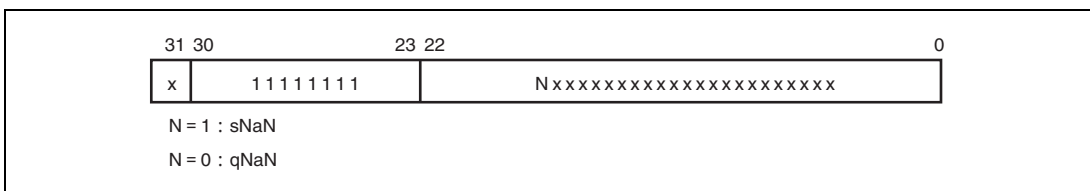


図 6.3 単精度の NaN ビットパターン

sNaN をレジスタ・レジスタ間の転送命令 FABS または FNEG 以外の浮動小数点値を生成する演算の入力データとすると、

- FPSCR レジスタの EN.V ビットが 0 の場合、演算結果 (出力) は qNaN になります。
- FPSCR レジスタの EN.V ビットが 1 の場合、無効演算例外が発生します。この場合、演算のデスティネーションレジスタの内容は変更しません。

レジスタ・レジスタ間の転送命令には、下記の 3 命令があります。

- FMOV FRm,FRn
- FLDS FRm,FPUL
- FSTS FPUL,FRn

浮動小数点値を生成する演算で qNaN を入力し、その演算に sNaN を入力していない場合、FPSCR レジスタの EN.V ビットの設定に関係なく出力は常に qNaN です。この場合、例外は発生しません。

演算結果として SH-4A が生成する qNaN の値は、常に次のような値になります。

- 単精度 qNaN : H'7FBFFFF
- 倍精度 qNaN : H'7FF7FFFF FFFFFFFF

非数 (NaN) を入力した場合の浮動小数点演算の詳細については、「SH-4A ソフトウェアマニュアル」の「第 10 章 各命令の説明」を参照してください。

6.2.3 非正規化数

非正規化数の浮動小数点値は、指数フィールドは0として、小数フィールドは0以外の値として表現します。

FPU のステータスレジスタ FPSCR の DN ビットが1の場合、非正規化数 (ソースオペランドまたは演算結果) は、(レジスタ・レジスタ間の転送命令、FNEG、FABS 以外の演算の) 値を生成する浮動小数点演算で正のゼロまたは負のゼロになります。

FPSCR の DN ビットが0の場合、非正規化数 (ソースオペランドまたは演算結果) はそのまま処理されます。非正規化数を入力する場合の浮動小数点演算の詳細については、「SH-4A ソフトウェアマニュアル」の「第10章 各命令の説明」を参照してください。

6.3 レジスタ

6.3.1 浮動小数点レジスタ

図 6.4 に浮動小数点レジスタの構成を示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2 つのバンクで構成され、FPR0_BANK0 ~ FPR15_BANK0、FPR0_BANK1 ~ FPR15_BANK1 があります。また、この 32 本レジスタは FR0 ~ FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0 ~ XF15、XD0/2/4/6/8/10/12/14、XMTRX として参照されます。FPRn_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。

(1) 浮動小数点レジスタ FPRn_BANKi (32 レジスタ)

FPR0_BANK0 ~ FPR15_BANK0

FPR0_BANK1 ~ FPR15_BANK1

(2) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR = 0 のとき、FR0 ~ FR15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。

FPSCR.FR = 1 のとき、FR0 ~ FR15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。

(3) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2 つの FR レジスタから構成されます。

DR0 = {FR0, FR1}、DR2 = {FR2, FR3}、

DR4 = {FR4, FR5}、DR6 = {FR6, FR7}、

DR8 = {FR8, FR9}、DR10 = {FR10, FR11}、

DR12 = {FR12, FR13}、DR14 = {FR14, FR15}

(4) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4 つの FR レジスタから構成されます。

FV0 = {FR0, FR1, FR2, FR3}、

FV4 = {FR4, FR5, FR6, FR7}、

FV8 = {FR8, FR9, FR10, FR11}、

FV12 = {FR12, FR13, FR14, FR15}

(5) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR = 0 のとき、XF0 ~ XF15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。

FPSCR.FR = 1 のとき、XF0 ~ XF15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。

(6) 単精度浮動小数点拡張レジスタのペア XD_i (8 レジスタ)

XD レジスタは 2 つの XF レジスタから構成されます。

XD0 = {XF0, XF1}、XD2 = {XF2, XF3}、

XD4 = {XF4, XF5}、XD6 = {XF6, XF7}、

XD8 = {XF8、XF9)、XD10 = {XF10、XF11)、
XD12 = {XF12、XF13)、XD14 = {XF14、XF15}

(7) 単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は 16 本の XF レジスタから構成されます。

XMTRX = $\left[\begin{array}{cccc} \text{XF0} & \text{XF4} & \text{XF8} & \text{XF12} \\ \text{XF1} & \text{XF5} & \text{XF9} & \text{XF13} \\ \text{XF2} & \text{XF6} & \text{XF10} & \text{XF14} \\ \text{XF3} & \text{XF7} & \text{XF11} & \text{XF15} \end{array} \right]$

FPSCR.FR=0				FPSCR.FR=1						
FV0	DR0	FR0	FPR0 BANK0	XF0	XD0	XMTRX				
		FR1	FPR1 BANK0							
		DR2	FR2				FPR2 BANK0			
	FV4	DR4	FR3				FPR3 BANK0	XF3	XD2	
			FR4				FPR4 BANK0	XF4	XD4	
			FR5				FPR5 BANK0	XF5		
	FV8	DR6	FR6				FPR6 BANK0	XF6	XD6	
			FR7				FPR7 BANK0	XF7		
			FR8				FPR8 BANK0	XF8	XD8	
	FV12	DR8	FR9				FPR9 BANK0	XF9		
			FR10				FPR10 BANK0	XF10	XD10	
			FR11				FPR11 BANK0	XF11		
			DR12				FR12	FPR12 BANK0	XF12	XD12
			FR13				FPR13 BANK0	XF13		
	XMTRX	DR14	FR14				FPR14 BANK0	XF14	XD14	
FR15			FPR15 BANK0	XF15						
FR0			FPR0 BANK1	FR0	DR0	FV0				
XD2	XF0	XF1	FPR1 BANK1	FR1	DR2					
		XF2	FPR2 BANK1	FR2						
		XF3	FPR3 BANK1	FR3						
XD4	XF4	XF4	FPR4 BANK1	FR4	DR4	FV4				
		XF5	FPR5 BANK1	FR5						
		XF6	FPR6 BANK1	FR6	DR6					
XD6	XF7	XF7	FPR7 BANK1	FR7						
		XF8	FPR8 BANK1	FR8	DR8	FV8				
		XF9	FPR9 BANK1	FR9						
XD8	XF10	XF10	FPR10 BANK1	FR10	DR10					
		XF11	FPR11 BANK1	FR11						
		XF12	FPR12 BANK1	FR12	DR12	FV12				
XD12	XF13	XF13	FPR13 BANK1	FR13						
		XF14	FPR14 BANK1	FR14	DR14					
		XF15	FPR15 BANK1	FR15						

図 6.4 浮動小数点レジスタ

6.3.2 浮動小数点ステータス/コントロールレジスタ (FPSCR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
											FR	SZ	PR	DN	Cause	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable (EN)						Flag				RM	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21	FR	0	R/W	浮動小数点レジスタバンク 0: FPR0_BANK0 ~ FPR15_BANK0 は FR0 ~ FR15 に、FPR0_BANK1 ~ FPR15_BANK1 は XF0 ~ XF15 に割り当てられます。 1: FPR0_BANK0 ~ FPR15_BANK0 は XF0 ~ XF15 に、FPR0_BANK1 ~ FPR15_BANK1 は FR0 ~ FR15 に割り当てられます。
20	SZ	0	R/W	転送サイズモード 0: FMOV 命令のデータサイズは 32 ビットです。 1: FMOV 命令のデータサイズは 32 ビットペア、または 64 ビットです。 SZ ビットおよび PR ビットとエンディアンとの関係については、図 6.5 を参照してください。
19	PR	0	R/W	精度モード 0: 浮動小数点命令を単精度演算として実行します。 1: 浮動小数点命令を倍精度演算として実行します(グラフィックサポート命令は未定義です)。 PR ビットおよび SZ ビットとエンディアンとの関係については、図 6.5 を参照してください。
18	DN	1	R/W	非正規化モード 0: 非正規化数を非正規化数として扱います。 1: 非正規化数を 0 として扱います。

ビット	ビット名	初期値	R/W	説明
17~12	Cause	すべて0	R/W	FPU 例外要因フィールド
11~7	Enable (EN)	すべて0	R/W	FPU 例外イネーブルフィールド
6~2	Flag	すべて0	R/W	FPU 例外フラグフィールド FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に0に設定されます。次に FPU 例外が発生すると、FPU 例外要因フィールドと FPU 例外フラグフィールドの該当ビットが1にセットされます。 FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。 各フィールドのビットの割り付けについては表 6.3 を参照してください。
1、0	RM	01	R/W	丸めモード 丸めの方法を選択します。 00 : 近傍への丸め 01 : 0 方向への丸め 10 : リザーブ (設定禁止) 11 : リザーブ (設定禁止)

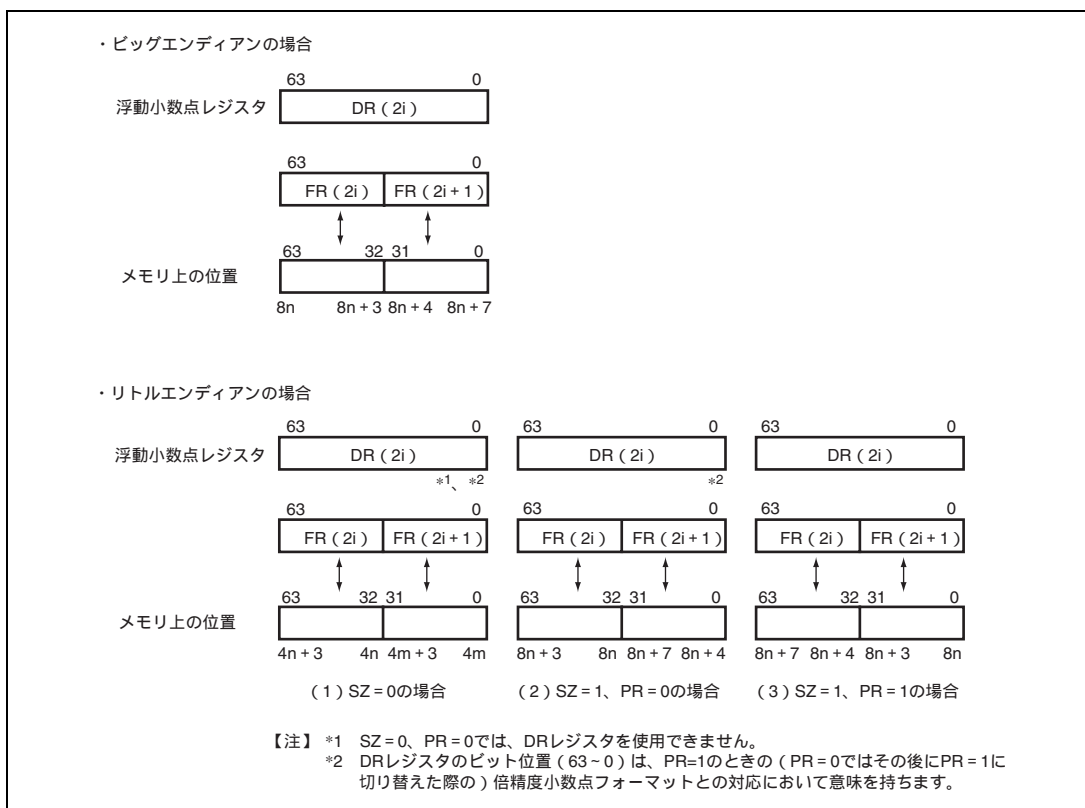


図 6.5 SZ ビットとエンディアンの関係

表 6.3 FPU 例外処理に関連するビットの割り付け

	FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバフロー (O)	アンダフロー (U)	不正確 (I)	
Cause	FPU 例外要因フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブルフィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグフィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

6.3.3 浮動小数点通信レジスタ (FPUL)

FPU と CPU 間の情報伝達は FPUL レジスタを介して行われます。FPUL レジスタは 32 ビットのシステムレジスタで、LDS、STS 命令によって CPU からアクセスします。たとえば、汎用レジスタ R1 に格納した整数を単精度浮動小数点に変換する処理フローは次のとおりです。

R1 (LDS 命令) FPUL (単精度 FLOAT 命令) FR1

6.4 丸め

浮動小数点命令において、丸めは中間結果から最終演算結果を生成する際に実行されます。したがって、FMAC、FTRV、FIPRのような組み合わせ命令の結果は、FADD、FSUB、FMULなどの基本命令だけを用いた結果とは異なります。FMACは1度、FADD、FSUBおよびFMULは2度というように丸めの回数が異なるためです。

丸めには2つの方法があり、使用する方法はFPSCRのRMフィールドで決まります。

RM=00：近傍への丸め

RM=01：0方向への丸め

(1) 近傍への丸め

演算結果はもっとも近い表現可能な値に丸められます。もっとも近い表現可能な値が2つある場合、LSBが0の方を選択します。

丸め前の値が $2^{E_{max}}$ ($2 \cdot 2^p$) 以上であれば丸め前と同じ符号の無限となります。ここで E_{max} 、 p は単精度でそれぞれ127、24、倍精度で1023、53です。

(2) 0方向への丸め

丸め前の値の丸めビット以下の桁は切り捨てられます。

ただし、丸め前の値が表現可能な最大絶対値数よりも絶対値が大きい場合、丸め前と同じ符号の表現可能な最大絶対値の数になります。

6.5 浮動小数点例外

FPU 関連の例外は次のとおりです。

(1) 一般 FPU 抑止 / スロット FPU 抑止例外

SR.FD = 1 のときに FPU 命令を実行すると発生します。FPU 命令が遅延スロット以外にある場合は一般 FPU 抑止例外が、FPU 命令が遅延スロットにある場合はスロット FPU 抑止例外が発生します。

(2) FPU 例外

例外要因は次のとおりです。

- FPUエラー (E) :
FPSCR.DN = 0かつ非正規化数の入力時
- 無効演算 (V) :
NaN入力のような無効な演算の場合
- 0による除算 (Z) :
除数0による除算
- オーバフロー (O) :
演算結果がオーバフローする場合
- アンダフロー (U) :
演算結果がアンダフローする場合
- 不正確例外 (I) :
丸めが発生する場合

FPSCR の FPU 例外要因フィールドには上記 E、V、Z、O、U、I のすべてに該当するビットが含まれ、FPSCR のフラグおよびイネーブルフィールドには V、Z、O、U、I に該当するビットが含まれていますが E に該当するビットは含まれていません。このように FPU エラーはディスエーブルにすることができません。

FPU 例外が発生すると、FPU 例外要因フィールドの該当するビットは 1 にセットされ FPU 例外フラグフィールドに該当するビットに 1 が累積されます。FPU 例外が発生しない場合、FPU 例外要因フィールドの該当するビットは 0 にクリアされ、FPU 例外フラグフィールドに該当するビットは変更されません。

(3) FPU 例外処理

FPU 例外は次の場合に発生します。

- FPUエラー (E) :
FPSCR.DN = 0かつ非正規化数を扱えない命令への非正規化数の入力時
- 無効演算 (V)
: FPSCR.EN.V = 1かつ (命令=FTRVまたは無効演算) の場合
- 0による除算 (Z)
: FPSCR.EN.Z = 1かつ除数0による除算またはFSRRAの入力が0の場合
- オーバフロー (O)
: FPSCR.EN.O = 1かつ演算結果がオーバフローする可能性のある場合
- アンダフロー (U)
: FPSCR.EN.U = 1かつ演算結果がアンダフローする可能性のある場合
- 不正確例外 (I)
: FPSCR.EN.I = 1かつ演算結果が不正確になる可能性のある命令

FPU 例外が発生する場合の詳細については、「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

FPU 演算に起因するすべての例外事象は、同一の例外事象として割り付けられています。例外の意味内容は、システムレジスタ FPSCR を読み出して、保持されている情報を解釈することでソフトウェアにより決定します。また、いかなる FPU 例外処理動作によっても、デスティネーションレジスタは変更されません。

上記以外で FPU 例外要因が発生すると、V、Z、O、U、I に対する該当ビットを 1 にセットし、演算結果としてデフォルト値を生成します。

- 無効演算 (V) :
結果としてqNaNを生成します。
- 0による除算 (Z) :
丸め前と同じ符号付きの無限大を生成します。
- オーバフロー (O) :
0方向への丸めるとき、丸め前と同じ符号付き最大正規化数を生成します。
近傍への丸めるとき、丸め前と同じ符号付き無限大を生成します。
- アンダフロー (U) :
FPSCR.DN = 0のとき、丸め前と同じ符号付き非正規化数、または丸め前と同じ符号付き0を生成します。
FPSCR.DN = 1のとき、丸め前と同じ符号付き0を生成します。
- 不正確例外 (I) :
不正確な結果を生成します。

6.6 グラフィックサポート機能

SH-4A は 2 種類のグラフィック機能をサポートしています。1 つはジオメトリック演算用の命令であり、もう一つは高速データ転送を可能にするペア単精度転送命令です。

6.6.1 ジオメトリック演算命令

ジオメトリック演算命令は最小のハードウェアで高速演算を可能とするため、SH-4A は 4 つの乗算の部分的演算結果のうち相対的に小さな値を無視します。したがって、演算結果には以下に示す誤差が生じます。

$$\text{最大誤差} = \text{MAX} (\text{各乗算結果} \times 2^{-\text{MIN} (\text{乗数の有効数字桁数} - 1, \text{被乗数の有効数字桁数} - 1) }) + \text{MAX} (\text{結果値} \times 2^{-23}, 2^{-149})$$

ただし、有効数字桁数は正規化数が 24、非正規化数が 23 (小数部のリーディングゼロの桁数) となります。将来の SuperH ファミリでの演算誤差は保証しますが、異なるプロセッサコア間の同一の演算結果は保証しません。

(1) FIPR FVm, FVn (m, n: 0, 4, 8, 12)

この命令の用途例を以下に示します。

- 内積 (m n) :
一般的に、この演算はポリゴン表面の輝度や表面 / 裏面を判定するために使用されます。
- 各要素の平方和 (m=n) :
一般的に、この演算はベクトルの長さを得るために使用されます。

FIPR 命令は不正確例外を検出しないため、命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (I) ビットが常に 1 にセットされます。したがって、FPU 例外イネーブルフィールドの I ビットがセットされていれば、FPU 例外処理が実行されます。

(2) FTRV XMTRX, FVn (n: 0, 4, 8, 12)

この命令の用途例を以下に示します。

- 行列 (4×4) ・ベクトル (4) :
一般的に、この演算は、視点の変更、角度の変更、または移動といったベクトル変換 (4次元) に使用されます。基本的に、角度 + 平行移動のためのアフィン変換処理は、4×4行列を必要とします。したがって、SH-4A は4次元演算をサポートしています。
- 行列 (4×4) × 行列 (4×4) :
この演算を行うためには、FTRV命令を4回実行する必要があります。

FTRV 命令は不正確例外を検出しないため、命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (I) ビットが常に 1 にセットされます。したがって、イネーブルフィールドの I ビット

トがセットされていれば、FPU 例外処理が実行されます。また、FTRV 命令の実行の際、レジスタ内のすべてのデータタイプを実行前にチェックすることができません。FPU 例外イネーブルフィールドの V ビットがセットされていると、FPU 例外処理が実行されます。

(3) FRCHG

この命令はバンクレジスタを変更します。たとえば、FTRV 命令を使用する場合、背後にあるバンク上に行列の要素を設定する必要があります。しかし、変換行列の要素自体を作成するには、前面にあるバンクのレジスタを使用の方が簡単です。FPSCR に対する LDS 命令を使用すると、この命令は FPU の状態を維持するために、4~5 サイクルを費やします。FRCHG 命令では FPSCR.FR ビットの変更を 1 サイクルで行うことができます。

6.6.2 ペア単精度データ転送

強力なジオメトリック演算命令に加えて、SH-4A は高速データ転送命令をサポートしています。

FPSCR.SZ=1 のとき、ペア単精度データ転送命令によるデータ転送を行えます。

- FMOV DR_m/XD_m, DR_n/XDR_n (m, n : 0, 2, 4, 6, 8, 10, 12, 14)
- FMOV DR_m/XD_m, @R_n (m : 0, 2, 4, 6, 8, 10, 12, 14, n : 0~15)

これらの命令により、2つの単精度 (2×32ビット) データを転送することができます。つまり、これらの命令の転送性能が2倍となります。

- FSCHG

この命令はFPSCRのSZビットの値を変更します。ペア単精度データ転送を行うか行わないかを高速に切り替えることができます。

7. メモリマネジメントユニット (MMU)

本 LSI は、8 ビットのアドレス空間識別子と 32 ビットの仮想アドレス空間から 29 ビットあるいは 32 ビットの物理アドレス空間を扱うことができます。仮想アドレスから物理アドレスへのアドレス変換は、本 LSI に内蔵されたメモリマネジメントユニット (MMU : Memory Management Unit) を用いて行います。MMU は変換ルックアサイドバッファ (TLB : Translation Lookaside Buffer) にユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、高速にアドレス変換を行います。

本 LSI は命令 TLB (ITLB) を 4 エントリ、共用 TLB (UTLB) を 64 エントリ内蔵しており ITLB には UTLB のコピーがハードウェアにより格納されます。アドレス変換方式はページング方式です。また特権モード、ユーザモードのそれぞれにおいて、仮想アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。

本 LSI の MMU ではいくつかの動作モードがあります。物理アドレスのマッピング範囲に関して、29 ビットアドレスモードと 32 ビットアドレス拡張モードがあります。MMU のフラグ機能に関して、TLB 互換モード (ページサイズ 4 種類、保護ビット 4 ビット) と TLB 拡張モード (ページサイズ 8 種類、保護ビット 6 ビット) があります。

29 ビットアドレスモードと 32 ビットアドレス拡張モードの選択は、ソフトウェアからの制御レジスタ設定 (PASCRA レジスタの SE ビット) で行います。また、外部ピンからの指定で 32 ビットブートモード (パワーオンリセット時点から 32 ビットアドレス拡張モードであること) が可能です。

TLB 互換モードと TLB 拡張モードの選択は、ソフトウェアからの制御レジスタ設定 (MMUCR レジスタの ME ビット) で行います。物理アドレスのマッピング範囲に関しては、「7.1 MMU の概要」～「7.7 メモリ割り付け TLB の構成」を通じて、29 ビットアドレスモードで説明しその後「7.8 32 ビットアドレス拡張モード」で、32 ビットアドレス拡張モードでの差分機能をまとめて説明します。

MMU のフラグ機能に関しては、TLB 互換モード、TLB 拡張モードの両方を並列して説明します。

7.1 MMU の概要

MMU とは物理メモリを有効に利用するために考え出された機能です。図 7.1 (0) に示すように、プロセスのサイズが物理メモリより少ない場合、プロセスのすべてを物理メモリへマッピングすることが可能です。しかしプロセスのサイズが増大し、物理メモリに収まらない場合、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要が生じます (図 7.1 (1))。この物理メモリへのマッピングをプロセス自身が考えながら実行している場合は、プロセスにかかる負担が増大します。この負担を軽減するために物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です (図 7.1 (2))。仮想記憶方式では物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスはこの仮想メモリにマッピングされます。このためプロセスは仮想メモリ上での動作だけを考慮していればよくなります。仮想メモリから物理メモリへのマッピングには、MMU が用いられます。通常、OS が MMU を管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ替えを行います。物理メモリの入れ替えは 2 次記憶などの間で行われます。

こうして生まれた仮想記憶方式は、複数のプロセスが同時に走行するタイムシェアリングシステム (TSS) の上で威力を発揮します (図 7.1 (3))。TSS 上で走行する複数のプロセスが、おのおの物理メモリへのマッピングを意識しながら動作していたのでは効率が上がりません。この効率を上げ、各プロセスの負担を減らすために仮想記憶方式は使われます (図 7.1 (4))。この仮想記憶方式ではプロセスごとに仮想メモリが割り当てられます。MMU は複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらに、あるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMU には記憶保護の機能も備わっています。

MMU を用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報が MMU に登録されていないか、別のプロセスの仮想メモリへ誤ってアクセスしたりすることがあります。そのとき MMU は例外を発生させて、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

MMU の機能はソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのためハードウェア上にアドレス変換のためのバッファ (TLB) を用意し、頻繁に使用されるアドレス変換情報は TLB に置いておきます。TLB はアドレス変換情報のためのキャッシュといえます。しかしキャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときのアドレス変換情報の入れ替えは通常ソフトウェアで行います。このためソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式 (ページング方式) と可変長のアドレス変換を用いる方式 (セグメント方式) があります。ページング方式では固定サイズのページと呼ばれるアドレス空間が変換の単位となります。

以下、本 LSI では仮想メモリ上のアドレス空間のことを仮想アドレス空間、物理メモリ上のアドレス空間のことを物理アドレス空間と呼ぶことにします。

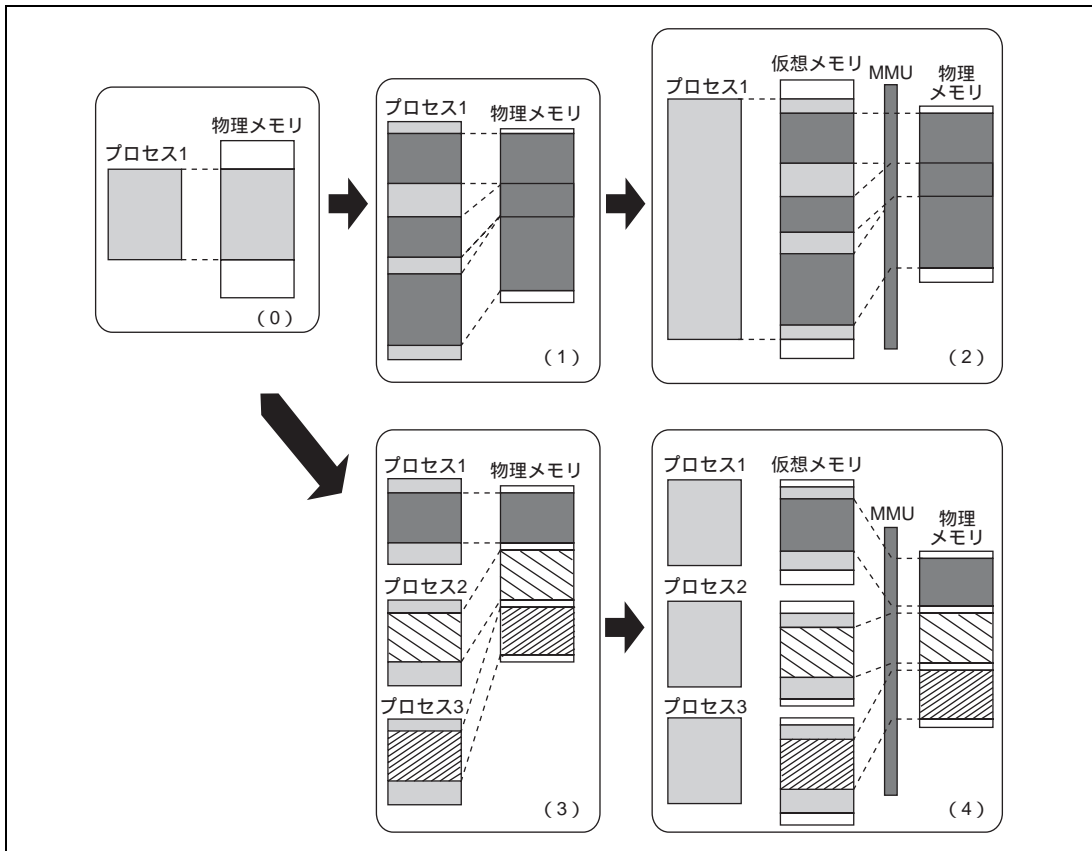


図 7.1 MMU の役割

7.1.1 アドレス空間

(1) 仮想アドレス空間

本 LSI は 32 ビットの仮想アドレス空間をサポートし、4G バイトのアドレス空間をアクセスできます。仮想アドレス空間は図 7.2、図 7.3 に示すとおり、いくつかの領域に分かれています。特権モードでは P0 領域から P4 領域の 4G バイトの空間をアクセスすることが可能です。ユーザモードでは U0 領域の 2G バイトの空間をアクセス可能です。また MMU 制御レジスタ (MMUCR) の SQMD ビットが 0 の場合、ストアキュー領域の 64M バイトの空間もアクセス可能になり、内蔵メモリ制御レジスタ (RAMCR) の RMD ビットが 1 の場合、内蔵メモリ領域の 16M バイトの空間もアクセス可能になります。ユーザモードで U0 領域、ストアキュー領域、内蔵メモリ領域以外をアクセスした場合、アドレスエラーとなります。

MMUCR の AT ビットを 1 にし、MMU をイネーブルにしたとき、これらの領域のうち、P0、P3、U0 領域は、任意の物理アドレス空間へ 1K/4K/64K/1M バイトページ単位 (TLB 互換モード時)、あるいは 1K/4K/8K/64K/256K/1M/4M/64M バイトページ単位 (TLB 拡張モード時) でマッピングすることができます。また 8 ビットのアドレス空間識別子を用いることにより、P0、P3、U0 領域を 256 個まで増やすことが可能です。仮想アドレス空間から 29 ビットの物理アドレス空間へのマッピングには TLB を用います。

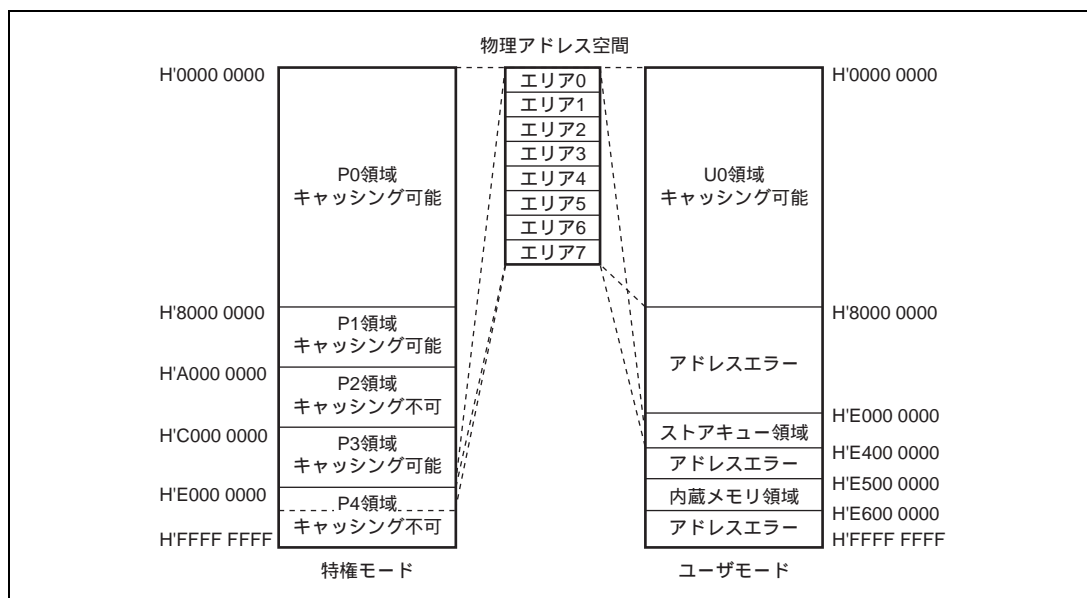


図 7.2 仮想アドレス空間 (MMUCR.AT = 0)

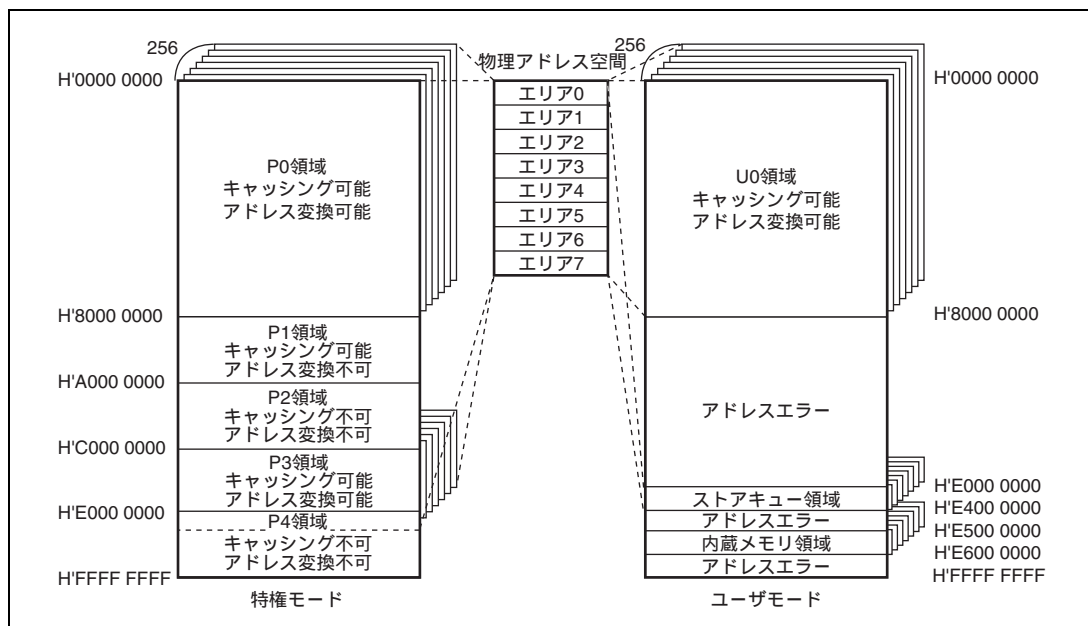


図 7.3 仮想アドレス空間 (MMUCR.AT=1)

(a) P0、P3、U0 領域

P0、P3、U0 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが可能な領域です。

MMU がディスエーブルの場合、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かはキャッシュコントロールレジスタ (CCR) に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCR の WT ビットに従います。

MMU がイネーブルの場合、これらの領域は TLB を用いて 1K/4K/64K/1M バイトページ単位 (TLB 互換モード時)、あるいは 1K/4K/8K/64K/256K/1M/4M/64M バイトページ単位 (TLB 拡張モード時) に任意の物理アドレス空間へマッピングできます。CCR がキャッシュイネーブル状態であり、かつ TLB エントリの当該ページのキャッシング可能ビット (C ビット) が 1 のとき、キャッシュを用いたアクセスが行えます。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、TLB の WT ビットに従います。

これらの領域を、TLB により物理アドレス空間のエリア 7 に存在する制御レジスタ領域にマッピングする場合、当該ページの C ビットは 0 にしてください。

(b) P1 領域

P1 領域は TLB を用いたアドレス変換が行えませんが、キャッシュを用いたアクセスは可能な領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かは CCR に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCR の CB ビットに従います。

(c) P2 領域

P2 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが行えない領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。

(d) P4 領域

P4 領域は本 LSI の内部リソースにマッピングされる領域です。この領域は、ストアキューと内蔵メモリ領域を除いて TLB を用いたアドレス変換ができません。また、この領域はキャッシュを用いたアクセスが行えません。P4 領域の詳細を図 7.4 に示します。

H'E000 0000	ストアキュー
H'E400 0000	リザーブ領域
H'E500 0000	内蔵メモリ領域
H'E600 0000	リザーブ領域
H'F000 0000	命令キャッシュアドレスアレイ
H'F100 0000	命令キャッシュデータアレイ
H'F200 0000	命令 TLB アドレスアレイ
H'F300 0000	命令 TLB データアレイ
H'F400 0000	オペランドキャッシュアドレスアレイ
H'F500 0000	オペランドキャッシュデータアレイ
H'F600 0000	共用 TLB/PMB アドレスアレイ
H'F700 0000	共用 TLB/PMB データアレイ
H'F800 0000	リザーブ領域
H'FC00 0000	制御レジスタ領域
H'FFFF FFFF	

図 7.4 P4 領域

H'E000 0000 ~ H'E3FF FFFF までは、ストアキュー (SQ) にアクセスするための領域です。ユーザモードでのアクセス権は MMUCR の SQMD ビットで指定します。詳細は「8.7 ストアキュー」を参照してください。

H'E500 0000 ~ H'E5FF FFFF までは、内蔵メモリをアクセスするための領域です。ユーザモードでのアクセス権は RAMCR レジスタの RMD ビットで指定します。詳細は「第 9 章 内蔵メモリ」を参照してください。

H'F000 0000 ~ H'F0FF FFFF までは、命令キャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「8.6.1 IC アドレスアレイ」を参照してください。

H'F100 0000 ~ H'F1FF FFFF までは、命令キャッシュのデータアレイを直接アクセスするための領域です。詳細は「8.6.2 IC データアレイ」を参照してください。

H'F200 0000 ~ H'F2FF FFFF までは、命令 TLB のアドレスアレイを直接アクセスするための領域です。詳細は「7.7.1 ITLB アドレスアレイ」を参照してください。

H'F300 0000 ~ H'F37F FFFF までは、命令 TLB のデータアレイを直接アクセスするための領域です。

詳細は「7.7.2 ITLB データアレイ (TLB 互換モード)」および「7.7.3 ITLB データアレイ (TLB 拡張モード)」を参照してください。

H'F400 0000 ~ H'F4FF FFFF までは、オペランドキャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「8.6.3 OC アドレスアレイ」を参照してください。

H'F500 0000 ~ H'F5FF FFFF までは、オペランドキャッシュのデータアレイを直接アクセスするための領域です。詳細は「8.6.4 OC データアレイ」を参照してください。

H'F600 0000 ~ H'F60F FFFF までは、共用 TLB のアドレスアレイを直接アクセスするための領域です。詳細は「7.7.4 UTLB アドレスアレイ」を参照してください。

H'F700 0000 ~ H'F70F FFFF までは、共用 TLB のデータアレイを直接アクセスするための領域です。詳細は、「7.7.5 UTLB データアレイ (TLB 互換モード)」および「7.7.6 UTLB データアレイ (TLB 拡張モード)」を参照してください。

H'F610 0000 ~ H'F61F FFFF までは、PMB のアドレスアレイを直接アクセスするための領域です。詳細は「7.8.5 メモリ割り付け PMB の構成」を参照してください。

H'F710 0000 ~ H'F71F FFFF までは、PMB のデータアレイを直接アクセスするための領域です。詳細は「7.8.5 メモリ割り付け PMB の構成」を参照してください。

H'FC00 0000 ~ H'FFFF FFFF までは内蔵周辺モジュールの制御レジスタの領域です。詳細は各章のレジスタ説明の項を参照してください。

(2) 物理アドレス空間

本 LSI は 29 ビットの物理アドレス空間をサポートします。物理アドレス空間は図 7.5 に示すとおり 8 つの領域に分かれています。エリア 7 はリザーブ領域です。

TLB を用いて物理アドレス空間のエリア 7 をアクセスする場合のみ、エリア 7 の H'1C00 0000 ~ H'1FFF FFFF までの領域がリザーブ領域ではなくなり、仮想アドレス空間の P4 領域に含まれる制御レジスタ領域と等価になります。

H'0000 0000	エリア0
H'0400 0000	エリア1
H'0800 0000	エリア2
H'0C00 0000	エリア3
H'1000 0000	エリア4
H'1400 0000	エリア5
H'1800 0000	エリア6
H'1C00 0000 H'1FFF FFFF	エリア7 (リザーブ領域)

図 7.5 物理アドレス空間

(3) アドレス変換

MMU を使用するとき、仮想アドレス空間はページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、仮想アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納され、TLB にはアドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容がキャッシングされます。本 LSI では命令のアクセスには ITLB を、データのアクセスには UTLB を用います。P4 領域以外へのアクセスが発生するとそのアクセスされた仮想アドレスが物理アドレスへ変換されます。その仮想アドレスが P1、P2 領域に属する場合、TLB をアクセスせずに物理アドレスが一意に決定されます。その仮想アドレスが P0、U0、P3 領域に属する場合には、仮想アドレスで TLB が検索され、その仮想アドレスが TLB に登録されている場合には、TLB ヒットとなり、TLB から対応する物理アドレスが読み出されます。またアクセスされた仮想アドレスが TLB に登録されていない場合には、TLB ミス例外が発生し、処理が TLB ミス例外処理ルーチンへ移ります。TLB ミス例外処理ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレス、ページ管理情報を TLB に登録します。そして例外処理ルーチンから復帰後、TLB ミス例外を発生させた命令を再実行します。

(4) 単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には、単一仮想記憶方式と多重仮想記憶方式があり、MMUCR の SV ビットにより選択が可能です。単一仮想記憶方式では、複数のプロセスが仮想アドレス空間を排他的に使用しながら同時に走行し、ある仮想アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが仮想アドレス空間を共有して使用しながら走行するため、ある仮想アドレスはプロセスにより異なった物理アドレスに変換され得ます。単一仮想記憶方式と多重仮想記憶方式との動作上の違いは、TLB のアドレス比較の方式(「7.3.3 アドレス変換方式」参照)のみです。

(5) アドレス空間識別子 (ASID)

多重仮想記憶モードの場合、8 ビットのアドレス空間識別子 (ASID) は仮想アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は 8 ビットで、ソフトウェアが MMU 内の PTEH に現在走行中のプロセスの ASID をセットすることで設定可能です。また ASID によってプロセスを切り替えの際に TLB をパージしないで済みます。

単一仮想記憶モードの場合、ASID は仮想アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます。

【注】 単一仮想記憶モードの設定で、ASID が異なる同一の仮想ページ番号 (VPN) を持つエントリを複数同時に TLB に設定してはいけません。

7.2 レジスタの説明

MMU 処理に関するレジスタを以下に示します。

表 7.1 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	サイズ
ページテーブルエントリ上位レジスタ	PTEH	R/W	H'FF00 0000	H'1F00 0000	32
ページテーブルエントリ下位レジスタ	PTEL	R/W	H'FF00 0004	H'1F00 0004	32
変換テーブルベースレジスタ	TTB	R/W	H'FF00 0008	H'1F00 0008	32
TLB 例外アドレスレジスタ	TEA	R/W	H'FF00 000C	H'1F00 000C	32
MMU 制御レジスタ	MMUCR	R/W	H'FF00 0010	H'1F00 0010	32
ページテーブルエントリアシスタンスレジスタ	PTEA	R/W	H'FF00 0034	H'1F00 0034	32
物理アドレス空間制御レジスタ	PASCR	R/W	H'FF00 0070	H'1F00 0070	32
命令再フェッチ抑止制御レジスタ	IRMCR	R/W	H'FF00 0078	H'1F00 0078	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 7.2 各処理状態におけるレジスタの状態

名称	略称	パワーオンリセット	マニュアルリセット	スリープ/ライトスリープ
ページテーブルエントリ上位レジスタ	PTEH	不定	不定	保持
ページテーブルエントリ下位レジスタ	PTEL	不定	不定	保持
変換テーブルベースレジスタ	TTB	不定	不定	保持
TLB 例外アドレスレジスタ	TEA	不定	保持	保持
MMU 制御レジスタ	MMUCR	H'0000 0000	H'0000 0000	保持
ページテーブルエントリアシスタンスレジスタ	PTEA	H'0000 xxx0	H'0000 xxx0	保持
物理アドレス空間制御レジスタ	PASCR	H'0000 0000	H'0000 0000	保持
命令再フェッチ抑止制御レジスタ	IRMCR	H'0000 0000	H'0000 0000	保持

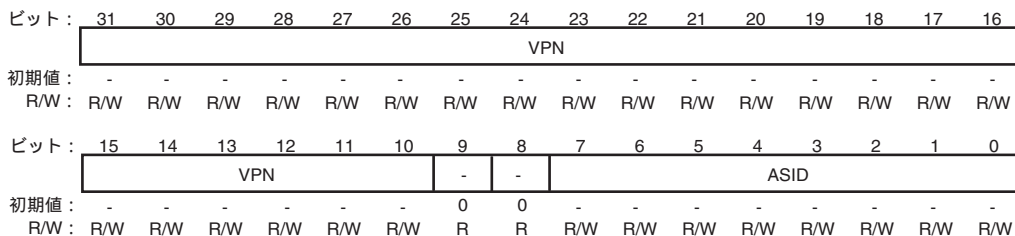
7.2.1 ページテーブルエントリ上位レジスタ (PTEH)

PTEH は仮想ページ番号 (VPN) とアドレス空間識別子 (ASID) から構成されています。VPN は MMU 例外またはアドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた仮想アドレスの VPN が設定されます。VPN はページサイズによって異なりますが、例外発生時にハードウェアにより設定される VPN は例外を発生させた仮想アドレスの上位 22 ビットとなります。VPN の設定はソフトウェアにより行うことも可能です。ASID には現在実行中のプロセスの番号をソフトウェアにより設定します。ASID がハードウェアにより更新されることはありません。この VPN と ASID は、LDTLB 命令により UTLB に登録されます。

PTEH レジスタの ASID フィールドを更新後、更新後の ASID 値を使用する P0、P3、U0 領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のいずれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP0、P3、U0領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. PTEH更新の前にあらかじめIRMCR.R2 = 0 (初期値) と設定されていた場合には、特定の命令の実行は不要です。しかしこの方法では、PTEH更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH ファミリでは保証されない可能性があります。今後の SuperH ファミリでの互換性を保証するためには、1 または 2 を用いることを推奨します。



ビット	ビット名	初期値	R/W	説明
31~10	VPN	-	R/W	仮想ページ番号
9, 8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	ASID	-	R/W	アドレス空間識別子

7.2.2 ページテーブルエントリ下位レジスタ (PTEL)

PTEL は LDTLB 命令により UTLB へ登録する物理ページ番号とページ管理情報を格納するために使用されます。本レジスタはソフトウェアの指示がない限り内容が変更されることはありません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PPN															
初期値 :	0	0	0													
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPN							V	SZ1	PR1	PR0	SZ0	C	D	SH	WT
初期値 :							0									
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28~10	PPN	-	R/W	物理ページ番号
9	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	V	-	R/W	ページ管理情報 各ビットの意味は、共用 TLB (UTLB) の対応するビットと同じです。 詳細は「7.3 TLB の機能 (TLB 互換モード ; MMUCR.ME = 0)」および 「7.4 TLB の機能 (TLB 拡張モード ; MMUCR.ME = 1)」を参照してください。 【注】 SZ1、PR1、SZ0、PR0 は TLB 互換モード時のみ有効です。
7	SZ1	-	R/W	
6	PR1	-	R/W	
5	PR0	-	R/W	
4	SZ0	-	R/W	
3	C	-	R/W	
2	D	-	R/W	
1	SH	-	R/W	
0	WT	-	R/W	

7.2.3 変換テーブルベースレジスタ (TTB)

TTB は、現在使用しているページテーブルのベースアドレスの格納用などの用途に使用します。TTB はソフトウェアの指示がない限り内容が変更されることはありません。本レジスタはソフトウェアで自由に使用可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TTB															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TTB															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.2.4 TLB 例外アドレスレジスタ (TEA)

TEA は、MMU 例外またはアドレスエラー例外発生後に、例外を発生させた仮想アドレスが格納されます。このレジスタはソフトウェアにより変更することは可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEA MMU例外 / アドレスエラーを発生させた仮想アドレス															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEA MMU例外 / アドレスエラーを発生させた仮想アドレス															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.2.5 MMU 制御レジスタ (MMUCR)

MMUCR の各ビットは以下に示すように MMU の設定を行います。このため MMUCR の書き換えは P1、P2 領域のプログラムで行うようにしてください。

MMUCR レジスタを更新後、P0、P3、U0、ストアキュー領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP0、P3、U0領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. MMUCR更新の前にあらかじめIRMCR.R2=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH ファミリでは保証されない可能性があります。今後の SuperH ファミリでの互換性を保証するためには、1 または 2 を用いることを推奨します。

MMUCR はソフトウェアにより変更可能です。ただし LRU1 ビットと URC ビットはハードウェアにより更新されることもあります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LRU1						-	-	URB						-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	URC						SQMD	SV	ME	-	-	-	-	TI	-	AT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
31～26	LRUI	すべて 0	R/W	<p>入れ替えを行う ITLB エントリを示す LRU ビット</p> <p>ITLB ミス発生時に入れ替える ITLB のエントリを決めるため、LRU 方式 (Least Recently Used) を用います。LRUI ビットを用いて ITLB の追い出すエントリを確定できます。</p> <p>LRUI は、以下のアルゴリズムで更新が行われます。</p> <p>なお、以下の「x」は更新を行わないことを意味します。</p> <p>000xxx : ITLB のエントリ 0 を用いたとき 1xx00x : ITLB のエントリ 1 を用いたとき x1x1x0 : ITLB のエントリ 2 を用いたとき xx1x11 : ITLB のエントリ 3 を用いたとき xxxxxx : 上記以外</p> <p>また LRUI が以下の状態のとき、対応する ITLB のエントリが ITLB ミスにより更新されます。なお、下表で設定禁止の値にはソフトウェアの責任で設定しないようにしてください。またパワーオンリセット、マニュアルリセット後に LRUI は 0 に初期化されるので、ハードウェアの更新によって LRUI が設定禁止の値になることはありません。</p> <p>なお、以下の「x」は Don't care を意味します。</p> <p>111xxx : ITLB のエントリ 0 が更新される 0xx11x : ITLB のエントリ 1 が更新される x0x0x1 : ITLB のエントリ 2 が更新される xx0x00 : ITLB のエントリ 3 が更新される 上記以外 : 設定禁止</p>
25、24	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
23～18	URB	すべて 0	R/W	<p>入れ替えを行う UTLB エントリの境界を示すビット</p> <p>URB 0 のときに有効となります。</p>
17、16	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
15～10	URC	すべて 0	R/W	<p>LDTLB 命令により入れ替えを行う UTLB エントリを示すためのランダムカウンタ</p> <p>UTLB へのアクセスが発生するたびにインクリメントされます。ただし URB > 0 の場合、URC = URB の条件が成立すると URC は 0 にクリアされます。またソフトウェアにより URC > URB となる値が URC に書き込まれた場合、最初は URC = H'3F になるまで URB を超えてインクリメントされますので注意してください。なお URC は、LDTLB 命令によってカウントアップされません。</p>
9	SQMD	0	R/W	<p>ストアキューモードビット</p> <p>ストアキューへのアクセス権を指定します。</p> <p>0 : ユーザ / 特権アクセスが可能 1 : 特権アクセスが可能 (ユーザアクセスの場合はアドレスエラー例外)</p>

ビット	ビット名	初期値	R/W	説明
8	SV	0	R/W	単一仮想記憶モード / 多重仮想記憶モード切り替えビット このビットを変更するときは、必ず TI ビットにも 1 を書き込んでください。 0 : 多重仮想記憶モード 1 : 単一仮想記憶モード
7	ME	0	R/W	TLB 拡張モード切り替えビット 0 : TLB 互換モード 1 : TLB 拡張モード ME ビットの値を変更する場合には、必ず TI ビットに 1 を指定して、ITLB、UTLB の内容を無効化してください。また、ME ビットによる TLB 動作モード選択は、PMB の機能や動作には影響を与えません。
6~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TI	0	R/W	TLB 無効化ビット このビットに 1 を書き込むと、UTLB/ITLB の有効ビットをすべて 0 にクリアします。読み出すと常に 0 が読み出されます。
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	AT	0	R/W	アドレス変換有効ビット MMU のイネーブル (有効) とディスエーブル (無効) を指定します。 0 : MMU ディスエーブルにする 1 : MMU イネーブルにする AT ビットが 0 の状態では MMU 例外は発生しません。このため MMU を使用しないソフトウェアでは AT ビットを 0 の状態で使用してください。

7.2.6 ページテーブルエントリアシスタンスレジスタ (PTEA)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
初期値 :	0	0	EPR						ESZ						0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13~8	EPR	不定	R/W	ページ管理情報 各ビットの意味は、共用 TLB (UTLB) の対応するビットと同じです。
7~4	ESZ	不定	R/W	詳細は「7.4 TLB の機能 (TLB 拡張モード ; MMUCR.ME = 1)」を参照してください。
3~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

7.2.7 物理アドレス空間制御レジスタ (PASCR)

PASCR は物理アドレス空間の動作を制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	UB	すべて 0	R/W	エリア (64M バイト) ごとのバッファードライト制御 キャッシュを使わない書き込みのバスアクセスが完了するまで次の CPU からのバスアクセスを待たせるかをエリアごとに指定します。 0 : CPU は書き込みのバスアクセスの完了を待たずに次のバスアクセスを行います。 1 : CPU は書き込みのバスアクセスの完了を待ってから次のバスアクセスを行います。 UB [7] : 制御レジスタ領域に対応 UB [6] : エリア 6 に対応 UB [5] : エリア 5 に対応 UB [4] : エリア 4 に対応 UB [3] : エリア 3 に対応 UB [2] : エリア 2 に対応 UB [1] : エリア 1 に対応 UB [0] : エリア 0 に対応

7.2.8 命令再フェッチ抑止制御レジスタ (IRMCR)

IRMCR は特定のリソースが変更された場合に、次の命令を命令フェッチからやり直すかどうかを制御します。特定のリソースとは、制御レジスタの一部、TLB、キャッシュを示します。

初期状態ではリソース変更後、次の命令の命令フェッチをやり直すように設定されています。しかしこの状態では、リソースの変更を一回行うごとに命令フェッチのやり直しが起こり、CPU の処理性能が低下します。そのため IRMCR の各ビットを 1 に設定し、必要なリソースの変更をまとめて行ったうえで、特定の命令を実行し、変更後のリソースを使用するプログラムの実行へ移るようにすることを推奨します。

特定のシーケンスに関しては、各リソースの説明を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												R2	R1	LT	MT	MC
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	R2	0	R/W	レジスタ変更後再フェッチ抑止 2 MMUCR、PASCRCR、CCR、RAMCR、PTEH の各レジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
3	R1	0	R/W	レジスタ変更後再フェッチ抑止 1 アドレス H'FF200000 ~ H'FF2FFFFFFF に存在するレジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
2	LT	0	R/W	LDTLB 実行後再フェッチ抑止 LDTLB 命令を実行後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
1	MT	0	R/W	メモリ割り付け TLB ライト後再フェッチ抑止 MMUCR.AT = 1 の状態で、メモリ割り付け ITLB/UTLB ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません

ビット	ビット名	初期値	R/W	説明
0	MC	0	R/W	メモリ割り付け IC ライト後再フェッチ抑止 CCN.ICE = 1 の状態で、メモリ割り付け IC ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません

7.3 TLB の機能 (TLB 互換モード ; MMUCR.ME = 0)

7.3.1 共用 TLB (UTLB) の構成

UTLB は次の 2 つの目的のために使用されます。

1. データアクセスのとき、仮想アドレスを物理アドレスへ変換する。
2. 命令TLBミスのとき、ITLBへ登録するアドレス変換情報のテーブル。

このため共用 TLB と呼ばれます。UTLB には外部メモリ上に置かれるアドレス変換テーブルの情報がキャッシングされます。アドレス変換テーブルには仮想ページ番号とアドレス空間識別子、それに対応する物理ページ番号とページ管理情報が格納されています。図 7.6 に UTLB の構成を示します。UTLB はフルアソシアティブ方式の 64 エントリで構成されています。図 7.7 にページサイズとアドレスの関係を示します。

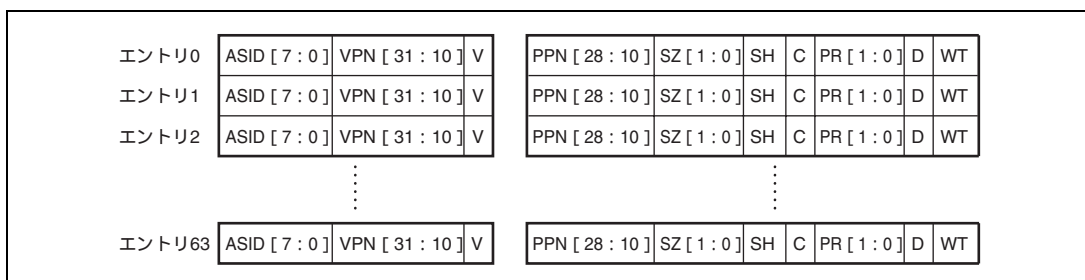


図 7.6 UTLB の構成 (TLB 互換モード)

【記号説明】

- VPN : 仮想ページ番号
- 1K バイトページのとき、仮想アドレスの上位 22 ビット
 - 4K バイトページのとき、仮想アドレスの上位 20 ビット
 - 64K バイトページのとき、仮想アドレスの上位 16 ビット
 - 1M バイトページのとき、仮想アドレスの上位 12 ビット
- ASID : アドレス空間識別子
- 仮想ページをアクセスできるプロセスを示します。
 - 単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SH ビットが 0 ならアドレス比較の際に PTEH 中の ASID と比較されます。
- SH : 共有状態ビット
- 0 : 複数のプロセスでページを共有しません。
 - 1 : 複数のプロセスでページを共有します。

SZ[1:0] : ページサイズビット	ページサイズを指定します。 00 : 1K バイトページ 01 : 4K バイトページ 10 : 64K バイトページ 11 : 1M バイトページ
V : 有効ビット	エントリが有効かどうかを示します。 0 : 無効 1 : 有効 パワーオンリセット時に 0 にクリアされます。 マニュアルリセット時には変化しません。
PPN : 物理ページ番号	物理アドレスの上位 22 ビット 1K バイトページのときは PPN[28:10]が有効です。 4K バイトページのときは PPN[28:12]が有効です。 64K バイトページのときは PPN[28:16]が有効です。 1M バイトページのときは PPN[28:20]が有効です。 また PPN の設定においてはシノニム問題に注意してください (「7.5.5 シノニム問題の回避」参照)。
PR[1:0] : 保護キーデータ	ページのアクセス権をコードで表した 2 ビットデータ 00 : 特権モードで読み出しのみ可能 01 : 特権モードで読み出し / 書き込み可能 10 : 特権 / ユーザモードで読み出しのみ可能 11 : 特権 / ユーザモードで読み出し / 書き込み可能
C : キャッシング可能ビット	ページがキャッシング可能かどうか示します。 0 : キャッシング不可能。 1 : キャッシング可能。 制御レジスタ空間のマッピングを行う場合、このビットは 0 にしてください。
D : ダーティビット	ページに書き込みが行われたかどうかを示します。 0 : 書き込みが行われていない。 1 : 書き込みが行われた。
WT : ライトスルービット	キャッシュへの書き込みモードを指定します。 0 : コピーバックモード 1 : ライトスルーモード

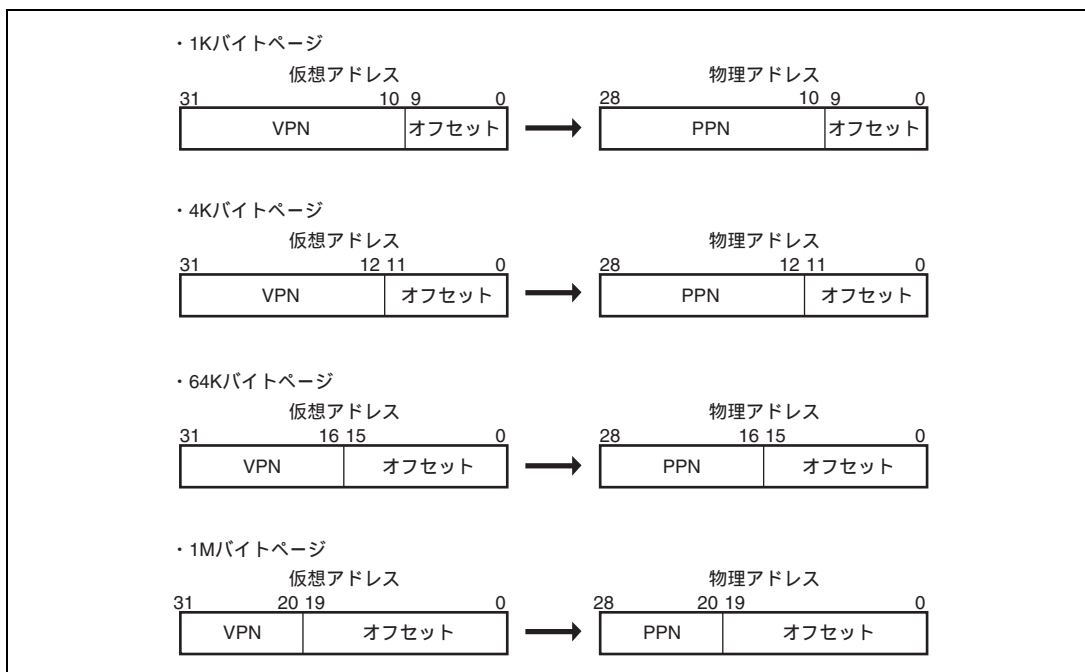


図 7.7 ページサイズとアドレスの関係

7.3.2 命令 TLB (ITLB) の構成

ITLB は命令アクセスのとき、仮想アドレスを物理アドレスへ変換するために用いられます。ITLB には UTLB 上に置かれるアドレス変換テーブルの情報がキャッシングされます。図 7.8 に ITLB の構成を示します。ITLB はフルアソシアティブの 4 エントリで構成されています。

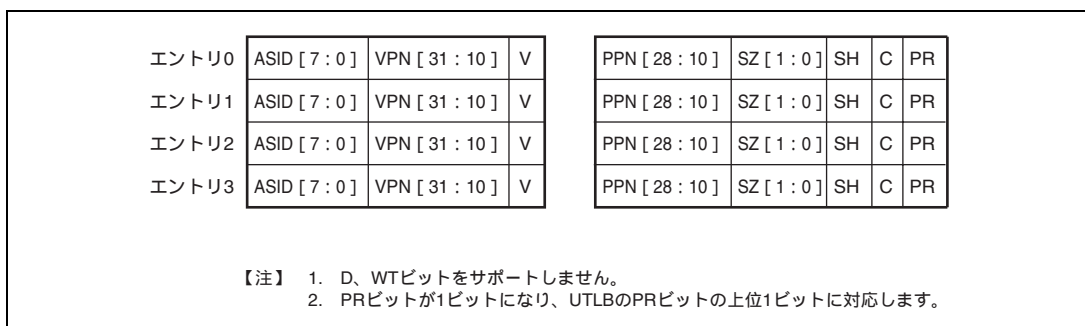


図 7.8 ITLB の構成

7.3.3 アドレス変換方式

図 7.9 に、UTLB を用いたメモリアクセスのフローを示します。

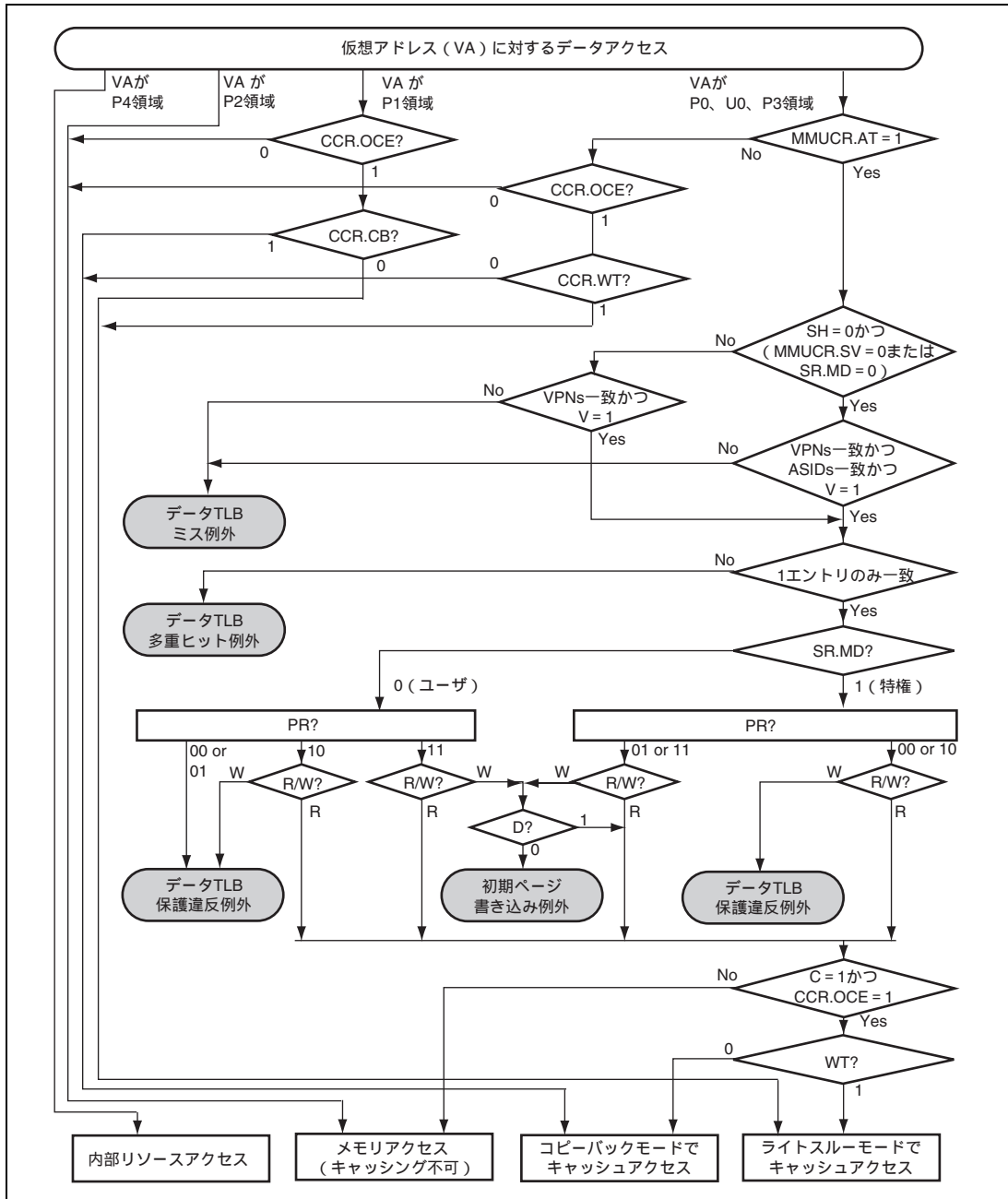


図 7.9 UTLB を用いたメモリアクセスフロー (TLB 互換モード)

図 7.10 に ITLB を用いたメモリアクセスのフローを示します。

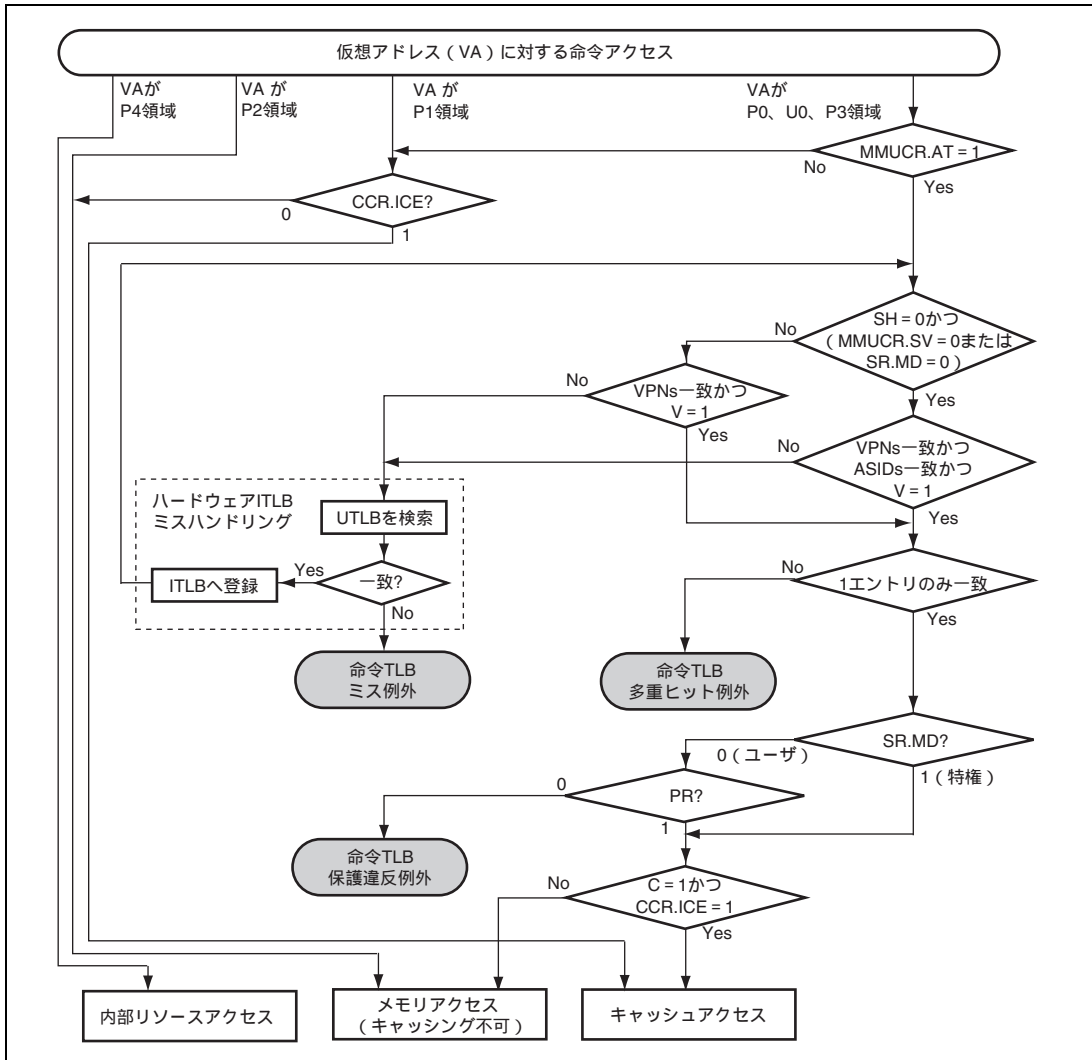


図 7.10 ITLB を用いたメモリアクセスフロー (TLB 互換モード)

7.4 TLB の機能 (TLB 拡張モード ; MMUCR.ME = 1)

7.4.1 共用 TLB (UTLB) の構成

図 7.11 に TLB 拡張モード時の UTLB の構成を示します。図 7.12 にページサイズとアドレスの関係を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
		⋮				⋮				
エントリ63	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT

図 7.11 UTLB の構成 (TLB 拡張モード)

【記号説明】

VPN : 仮想ページ番号

1K バイトページの時、仮想アドレスの上位 22 ビット
 4K バイトページの時、仮想アドレスの上位 20 ビット
 8K バイトページの時、仮想アドレスの上位 19 ビット
 64K バイトページの時、仮想アドレスの上位 16 ビット
 256K バイトページの時、仮想アドレスの上位 14 ビット
 1M バイトページの時、仮想アドレスの上位 12 ビット
 4M バイトページの時、仮想アドレスの上位 10 ビット
 64M バイトページの時、仮想アドレスの上位 6 ビット

ASID : アドレス空間識別子

仮想ページをアクセスできるプロセスを示します。
 単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SH ビットが 0 ならアドレス比較の際に PTEH 中の ASID と比較されます。

SH : 共有状態ビット

0 : 複数のプロセスでページを共有しません。
 1 : 複数のプロセスでページを共有します。

ESZ : ページサイズビット

ページサイズを指定します。
 0000 : 1K バイトページ
 0001 : 4K バイトページ
 0010 : 8K バイトページ
 0100 : 64K バイトページ
 0101 : 256K バイトページ
 0111 : 1M バイトページ
 1000 : 4M バイトページ
 1100 : 64M バイトページ

【注】 上記以外の値を登録した場合の動作は保証しません。

- V : 有効ビット エントリが有効かどうかを示します。
0 : 無効
1 : 有効
パワーオンリセット時に 0 にクリアされます。
マニュアルリセット時には変化しません。
- PPN : 物理ページ番号 物理アドレスの上位 19 ビット
1K バイトページのときは PPN[28:10]が有効です。
4K バイトページのときは PPN[28:12]が有効です。
8K バイトページのときは PPN[28:13]が有効です。
64K バイトページのときは PPN[28:16]が有効です。
256K バイトページのときは PPN[28:18]が有効です。
1M バイトページのときは PPN[28:20]が有効です。
4M バイトページのときは PPN[28:22]が有効です。
64M バイトページのときは PPN[28:26]が有効です。
また PPN の設定においてはシノニム問題に注意してください
(「7.5.5 シノニム問題の回避」参照)。
- EPR : 保護キーデータ ページのアクセス権をコードで表した 6 ビットデータ
特権モードでの読み出し / 書き込み / 実行 (命令フェッチ) およびユーザモードでの読み出し / 書き込み / 実行 (命令フェッチ) に対する許可を独立に設定可能です。各ビットそれぞれ 0 で不許可、1 で許可を示します。
EPR[5] : 特権モードでの読み出し
EPR[4] : 特権モードでの書き込み
EPR[3] : 特権モードでの実行 (命令フェッチ)
EPR[2] : ユーザモードでの読み出し
EPR[1] : ユーザモードでの書き込み
EPR[0] : ユーザモードでの実行 (命令フェッチ)
- C : キャッシング可能ビット ページがキャッシング可能かどうか示します。
0 : キャッシング不可能
1 : キャッシング可能
制御レジスタ空間のマッピングを行う場合、このビットは 0 にしてください。
- D : ダーティビット ページに書き込みが行われたかどうかを示します。
0 : 書き込みが行われていない
1 : 書き込みが行われた

WT : ライトスルービット キャッシュへの書き込みモードを指定します。
 0 : コピーバックモード
 1 : ライトスルーモード

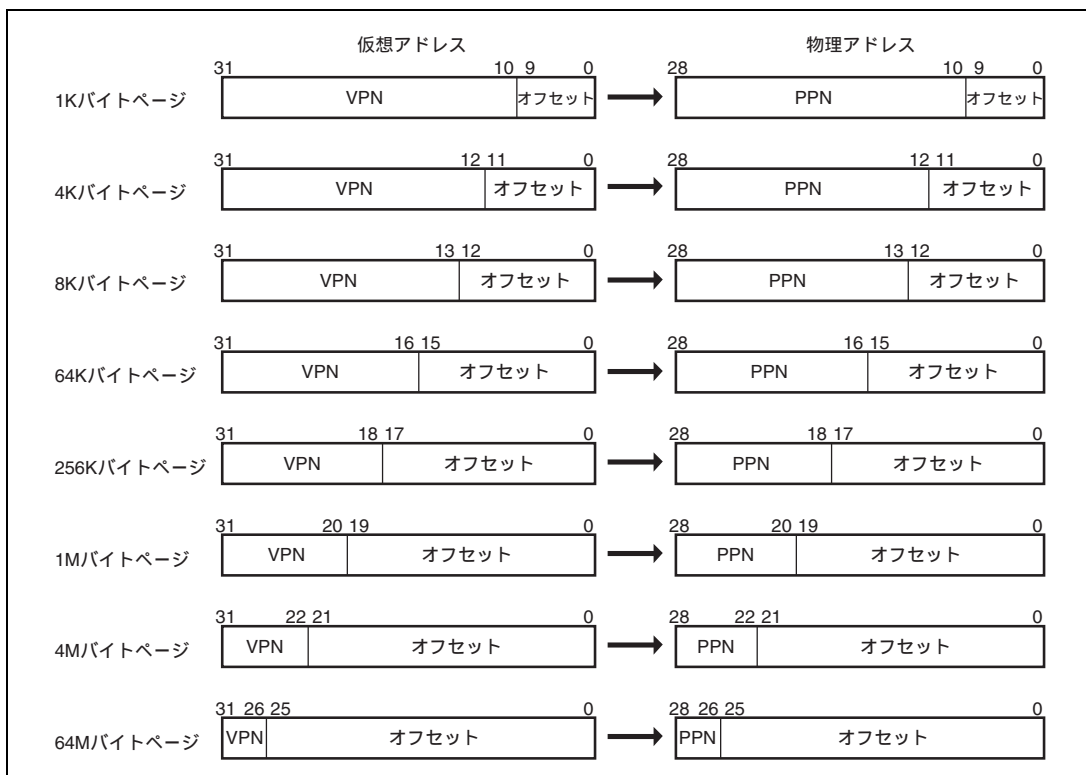


図 7.12 ページサイズとアドレスの関係 (TLB 拡張モード)

7.4.2 命令 TLB (ITLB) の構成

図 7.13 に TLB 拡張モード時の ITLB の構成を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ3	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]

【注】 EPR[4]、EPR[1]、D、WTビットをサポートしません。

図 7.13 ITLB の構成 (TLB 拡張モード)

7.4.3 アドレス変換方式

図 7.14 に TLB 拡張モード時の UTLB を用いたメモリアクセスのフローを示します。

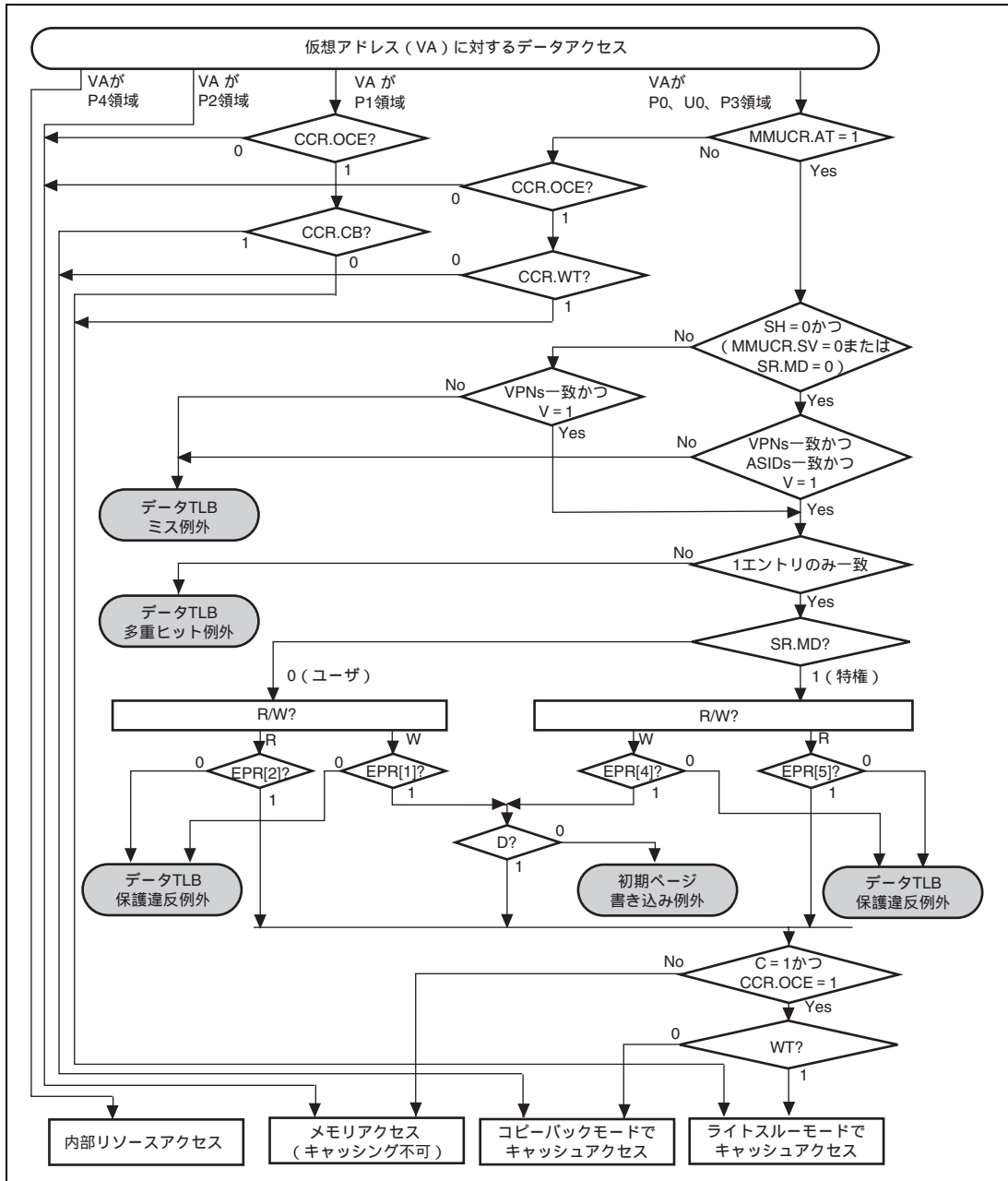


図 7.14 UTLB を用いたメモリアクセスフロー (TLB 拡張モード)

図 7.15 に TLB 拡張モード時の ITLB を用いたメモリアクセスのフローを示します。

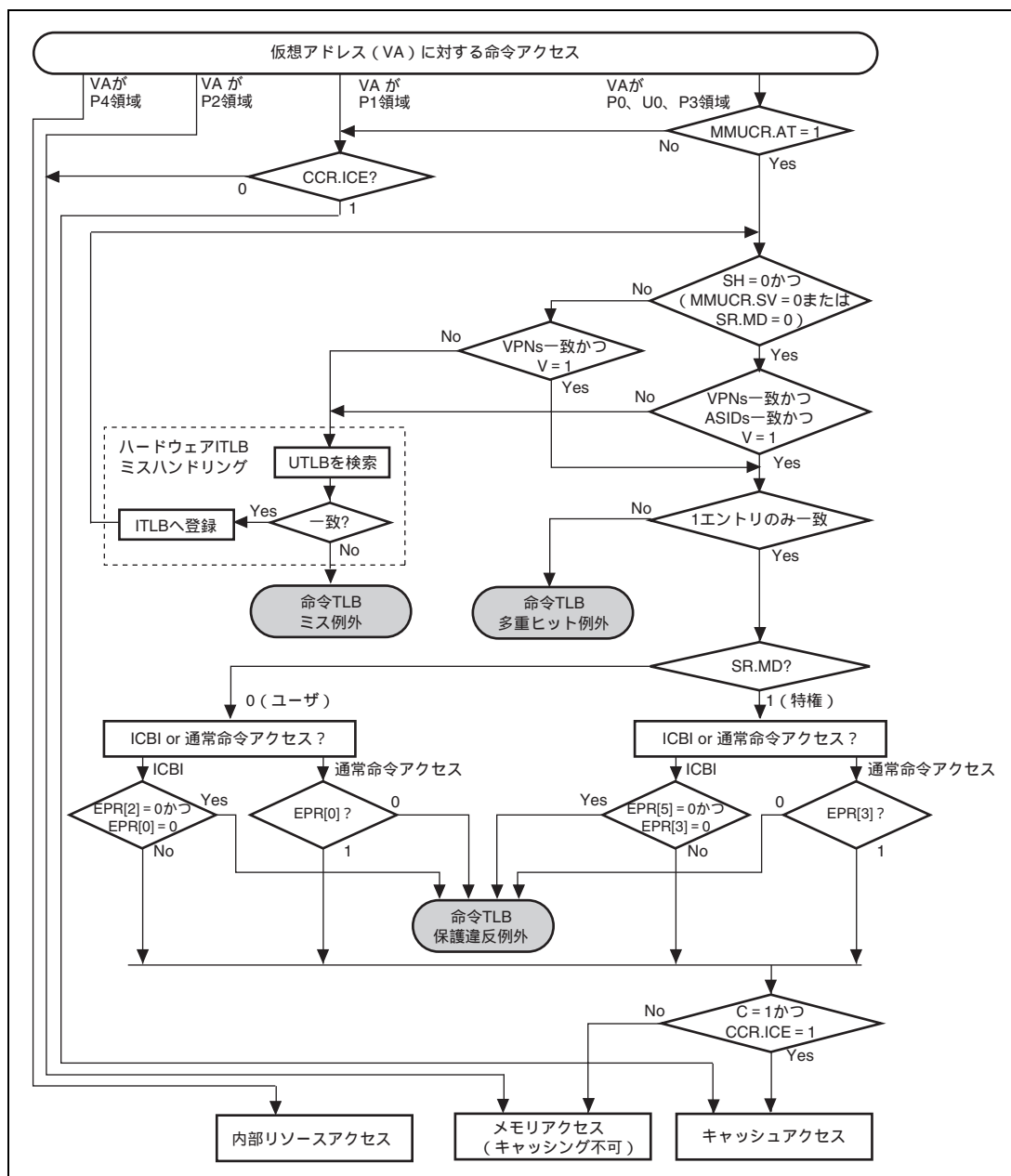


図 7.15 ITLB を用いたメモリアクセスフロー (TLB 拡張モード)

7.5 MMU の機能

7.5.1 MMU のハードウェア管理

本 LSI がサポートする MMU の機能として次のものがあります。

1. ソフトウェアがアクセスする仮想アドレスをデコードし、MMUCRの設定に従ってUTLB、ITLBを制御してアドレス変換を行います。
2. アドレス変換の際に読み出されたページ管理情報をもとに、キャッシュへのアクセス状態を判定します (C、WTビット)。
3. データアクセス、命令アクセスにおいて正常にアドレス変換が行われなかった場合、MMU例外の発生によりソフトウェアに通知します。
4. 命令アクセスでITLBにアドレス変換情報が登録されていないとき、UTLBを検索します。必要なアドレス変換情報がUTLBに登録されていた場合、MMUCRのLRUIビットに従い、ITLBにそのアドレス変換情報をコピーします。

7.5.2 MMU のソフトウェア管理

MMU に対するソフトウェアの処理として次のものがあります。

1. MMU関連レジスタの設定。一部ハードウェアにより自動的に更新されるものもあります。
2. TLBエントリの登録、削除、読み出し。UTLBエントリの登録にはLDTLB命令を用いる方法と、メモリ割り付けUTLBに直接書き込む方法があります。ITLBエントリの登録はメモリ割り付けITLBに直接書き込む方法しかありません。UTLB、ITLBエントリの削除と読み出しは、メモリ割り付けUTLB、ITLBをアクセスすることで可能です。
3. MMU例外処理。MMU例外が発生したときにハードウェア側から設定された情報を元に処理を行います。

7.5.3 MMU の命令 (LDTLB)

UTLB エントリを登録する命令として TLB ロード命令 (LDTLB) があります。LDTLB 命令が発行されると、本 LSI は PTEH と PTEL の内容を URC ビットが指し示す UTLB エントリにコピーします。LDTLB 命令により ITLB エントリの更新は行われませんので、UTLB エントリから追い出されたアドレス変換情報が ITLB エントリに残る可能性があります。LDTLB 命令はアドレス変換情報を変更する命令のため、必ず P1、P2 領域のプログラムで発行するようにしてください。LDTLB 命令実行後、TLB が有効な領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1.~3.のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はTLBが有効な領域で構いません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。

3. LDTLB命令実行前にあらかじめIRMCR.LT=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、LDTLB命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3.は今後の SuperH ファミリでは保証されない可能性があります。今後の SuperH ファミリでの互換性を保証するためには、1.または2.を用いることを推奨します。

図 7.16、図 7.17 に LDTLB 命令の動作を示します。

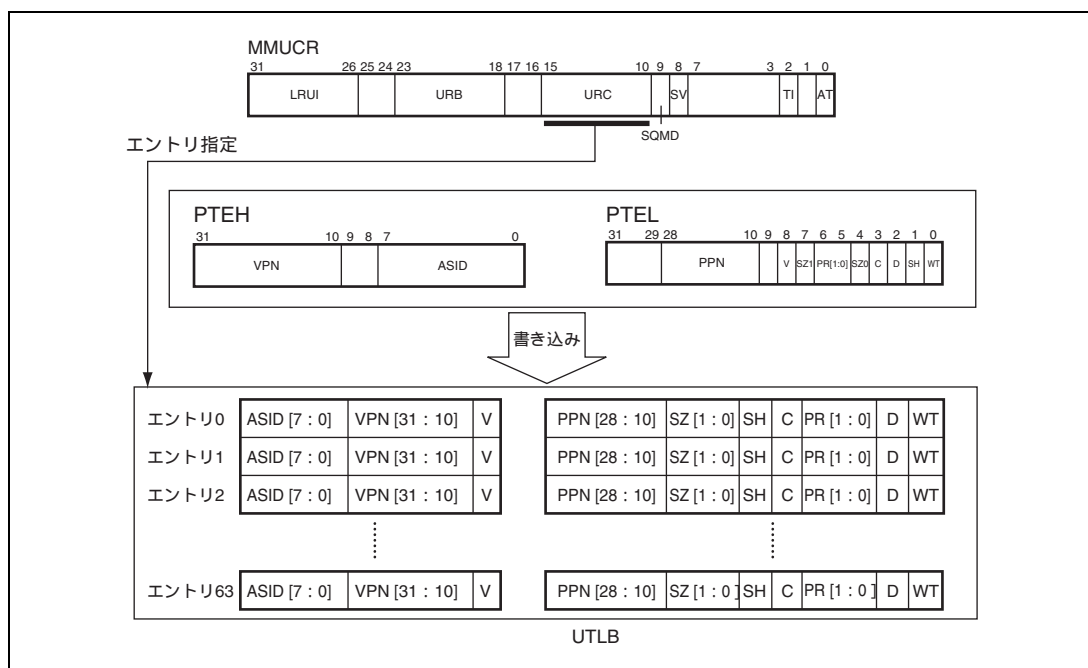


図 7.16 LDTLB 命令の動作 (TLB 互換モード)

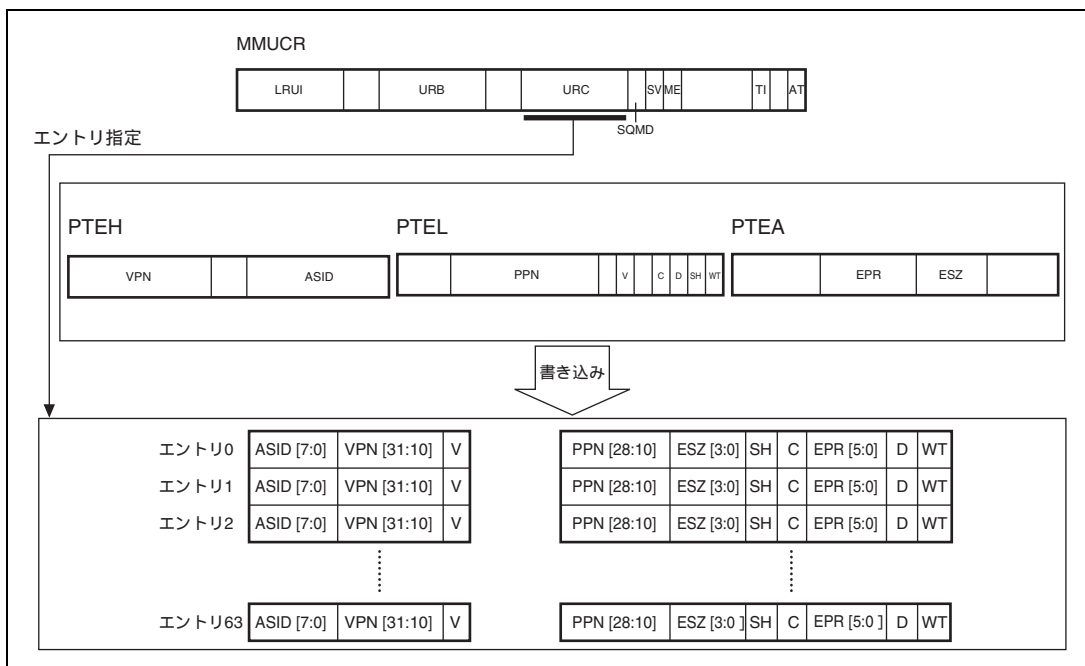


図 7.17 LDTLB 命令の動作 (TLB 拡張モード)

7.5.4 ハードウェア ITLB ミスハンドリング

本 LSI は命令アクセスの際、ITLB を検索して必要なアドレス変換情報を見つけられなかった (ITLB ミス) 場合、ハードウェアにより UTLB を検索し、必要なアドレス変換情報があれば ITLB への登録を行います。これをハードウェア ITLB ミスハンドリングと呼びます。UTLB を検索しても必要なアドレス変換情報が見つからない場合、命令 TLB ミス例外を発生し、処理をソフトウェアへ移します。

7.5.5 シノニム問題の回避

TLB エントリに 1K、4K バイトページを登録するときにシノニム問題が発生する可能性があります。シノニム問題とは、複数の仮想アドレスが 1 つの物理アドレスにマッピングされる場合に、キャッシュの複数のエントリに同一の物理アドレスのデータが登録されてしまい、データの一致性を保証できなくなるという問題です。この問題は命令 TLB や命令キャッシュではデータの読み出ししか行わないため発生しません。本 LSI ではオペランドキャッシュの高速動作のために仮想アドレスの[12:5]を用いて、エントリの指定を行います。しかし 1K バイトページでは仮想アドレスの[12:10]が、4K バイトページでは仮想アドレスの[12]がアドレス変換の対象になります。このため変換後の物理アドレスの[12:10]と仮想アドレスの[12:10]が異なる可能性があります。

このため UTLB エントリへのアドレス変換情報の登録には以下の制限が生じます。

1. 複数の 1K バイトページの UTLB エントリが同一の物理アドレスに変換されるアドレス変換情報を UTLB に登録するとき、VPN[12:10]は必ず等しくなるようにしてください。
2. 複数の 4K バイトページの UTLB エントリが同一の物理アドレスに変換されるアドレス変換情報を UTLB に登録するとき、VPN[12]は必ず等しくなるようにしてください。
3. 1K バイトページの UTLB エントリの物理アドレスを、異なるページサイズの UTLB エントリで使用しないでください。
4. 4K バイトページの UTLB エントリの物理アドレスを、異なるページサイズの UTLB エントリで使用しないでください。

上記の制限はキャッシュを用いたアクセスを行う場合に限定されます。

7.6 MMU 例外

MMU 例外には、命令 TLB 多重ヒット例外、命令 TLB ミス例外、命令 TLB 保護違反例外、データ TLB 多重ヒット例外、データ TLB ミス例外、データ TLB 保護違反例外、初期ページ書き込み例外の 7 つの例外があります。各例外の発生条件については図 7.9、図 7.10、図 7.14、図 7.15 および「第 5 章 例外処理」を参照してください。

7.6.1 命令 TLB 多重ヒット例外

命令 TLB 多重ヒット例外は、命令アクセスした仮想アドレスに一致する ITLB エントリが複数存在した場合に発生します。ハードウェア ITLB ミスハンドリングにより UTLB を検索する際に UTLB で多重ヒットが発生した場合も、命令 TLB 多重ヒット例外となります。

命令 TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンシは保証しません。

- ハードウェア処理

命令 TLB 多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスを TEA に設定します。
2. 例外コード H'140 を EXPEVT に設定します。
3. リセット処理ルーチン (H'A000 0000) に分岐します。

- ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットを発生させた ITLB エントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

7.6.2 命令 TLB ミス例外

命令 TLB ミス例外は、ハードウェア ITLB ミスハンドリングにより UTLB エントリに命令アクセスした仮想アドレスに対応するアドレス変換情報が見つからなかったときに発生します。命令 TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。これはデータ TLB ミス例外時の処理と同じです。

- ハードウェア処理

命令 TLB ミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 例外コード H'040 を、EXPEVT に設定します。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを 1 に設定し、特権モードに切り替えます。
7. SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを 1 に設定します。
9. VBR の内容にオフセット H'0000 0400 を加えたアドレスに分岐し、命令 TLB ミス例外処理ルーチンを開始します。

- ソフトウェア処理 (命令 TLB ミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. TLB 互換モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの PPN、PR、SZ、C、D、SH、V、WT の各ビットの値を、PTEL に書き込みます。
TLB 拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの PPN、EPR、ESZ、C、D、SH、V、WT の各ビットの値を PTEL、PTEA に書き込みます。
2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値を MMUCR の URC に書き込みます。このとき URC が URB を超えるような場合、LDTLB 命令発行後に適切な値に変更してください。
3. LDTLB 命令を実行させ、TLB 互換モードの場合、PTEH、PTEL の内容を TLB に書き込みます。TLB 拡張モードの場合は、PTEH、PTEL および PTEA の内容を UTLB に書き込みます。
4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB 命令の次の命令以降に RTE 命令を発行してください。
LDTLB 命令の実行に関しては「7.10.1 LDTLB 命令使用上の注意事項」を参照してください。

7.6.3 命令 TLB 保護違反例外

命令 TLB 保護違反例外は、命令アクセスした仮想アドレスに一致するアドレス変換情報が ITLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。命令 TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

命令 TLB 保護違反例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 例外コード H'0A0 を EXPEVT に設定します。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを 1 に設定し、特権モードに切り替えます。
7. SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを 1 に設定します。
9. VBR の内容にオフセット H'0000 0100 を加えたアドレスに分岐し、命令 TLB 保護違反例外処理ルーチンを開始します。

- ソフトウェア処理 (命令 TLB 保護違反例外処理ルーチン)

命令 TLB 保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし LDTLB 命令の次の命令以降に RTE 命令を発行してください。

7.6.4 データ TLB 多重ヒット例外

データ TLB 多重ヒット例外は、データアクセスした仮想アドレスに一致する UTLB エントリが複数存在した場合に発生します。

データ TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンスは保証しません。また例外発生以前の UTLB 内の PPN の内容は壊れることがあります。

- ハードウェア処理

データ TLB 多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスを TEA に設定します。
2. 例外コード H'140 を EXPEVT に設定します。
3. リセット処理ルーチン (H'A000 0000) に分岐します。

- ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットを発生させた UTLB エントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

7.6.5 データ TLB ミス例外

データ TLB ミス例外は、データアクセスした仮想アドレスに対応するアドレス変換情報が UTLB 内に見つからなかったときに発生します。データ TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データ TLB ミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 読み出しのとき例外コード H'040 を、書き込みのとき例外コード H'060 を、EXPEVT に設定します (OCBP、OCBWB : 読み出し ; OCBI、MOVCA.L : 書き込み)。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを 1 に設定し、特権モードに切り替えます。
7. SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを 1 に設定します。
9. VBR の内容にオフセット H'0000 0400 を加えたアドレスに分岐し、データ TLB ミス例外処理ルーチンを開始します。

- ソフトウェア処理 (データTLBミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. TLB互換モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの PPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。
TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの PPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。
2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
3. LDTLB命令を実行させ、TLB互換モードの場合、PTEH、PTELの内容をUTLBに書き込みます。TLB拡張モードの場合は、PTEH、PTELおよびPTEAの内容をUTLBに書き込みます。
4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。
LDTLB命令の実行に関しては「7.10.1 LDTLB命令使用上の注意事項」を参照してください。

7.6.6 データ TLB 保護違反例外

データ TLB 保護違反例外は、データアクセスした仮想アドレスに一致するアドレス変換情報が UTLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。データ TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データTLB保護違反例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 読み出しのとき例外コードH'0A0を、書き込みのとき例外コードH'0C0を、EXPEVTに設定します (OCBP、OCBWB:読み出し; OCBI、MOVCA.L:書き込み)。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。

9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、データTLB保護違反例外処理ルーチンを開始します。

- ソフトウェア処理 (データTLB保護違反例外処理ルーチン)

データTLB保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただしLDTLB命令の次の命令以降にRTE命令を発行してください。

7.6.7 初期ページ書き込み例外

初期ページ書き込み例外は、データアクセス(書き込み)した仮想アドレスに一致するアドレス変換情報がUTLBエントリに存在し、アクセス権も許されているにもかかわらず、Dビットが0であった場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

初期ページ書き込み例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 例外コードH'080をEXPEVTに設定します。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、初期ページ書き込み例外処理ルーチンを開始します。

- ソフトウェア処理 (初期ページ書き込み例外処理ルーチン)

ソフトウェアの責任で、次のように処理してください。

1. 外部メモリから必要なページテーブルエントリを探し出します。
2. 外部メモリのページテーブルエントリのDビットに1を書き込んでください。
3. TLB互換モードの場合、外部メモリに記憶されているページテーブルエントリのPPN、PR、SZ、C、D、WT、SH、Vのビットの値をPTELに書き込みます。
TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。
4. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
5. LDTLB命令を実行させ、TLB互換モードの場合、PTEH、PTELの内容をUTLBに書き込みます。TLB拡張モー

ドの場合は、PTEH、PTELおよびPTEAの内容をUTLBに書き込みます。

- 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

7.7 メモリ割り付け TLB の構成

ITLB および UTLB をソフトウェアで管理するために、特権モードのとき、P1/P2 領域のプログラムから MOV 命令によって ITLB および UTLB の内容の読み出し、書き込みが可能です。別の領域のプログラムからアクセスする場合、動作の保証はありません。

メモリ割り付け TLB アクセス後、P1/P2 領域以外へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

- RTE命令による分岐を実行してください。この場合、分岐先はP1/P2領域以外でかまいません。
- 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
- メモリ割り付けTLBアクセスの前にあらかじめIRMCR.MT=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後のSuperHファミリでは保証されない可能性があります。今後のSuperHファミリでの互換性を保証するためには、1または2を用いることを推奨します。

ITLB および UTLB は仮想アドレス空間の P4 領域に割り付けられています。TLB 互換モードの場合、ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、SH をデータアレイとしてアクセス可能です。

UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、D、WT、SH をデータアレイとしてアクセス可能です。V と D はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。

TLB 拡張モードの場合、ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、ESZ、EPR、C、SH をデータアレイとしてアクセス可能です。UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、ESZ、EPR、C、D、WT、SH をデータアレイとしてアクセス可能です。V と D は、アドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。

TLB 互換モード、TLB 拡張モードどちらの場合もアクセスサイズはロングワードサイズのみ可能です。この領域に対して命令フェッチは行えません。リザーブビットに対しては、書き込み値として0を指定してください。読み出し値は保証しません。

7.7.1 ITLB アドレスアレイ

ITLB のアドレスアレイは P4 領域の H'F200 0000 ~ H'F2FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、V、ASID を指定します。

アドレス部は、[31:24] が ITLB アドレスアレイを示す H'F2 になっており、[9:8] でエントリを選択するようになっています。アドレス部 [1:0] はロングワードアクセスのため 0 を指定してください。

データ部は、[31:10] が VPN を、[8] が V を、[7:0] が ASID を示します。

ITLB アドレスアレイに対しては以下の 2 種類の操作が可能です。

1. ITLB アドレスアレイ 読み出し

アドレス部に設定されたエントリに対応する ITLB エントリから、データ部へ VPN、V、ASID を読み出します。

2. ITLB アドレスアレイ 書き込み

アドレス部に設定されたエントリに対応する ITLB エントリに対して、データ部で指定された VPN、V、ASID を書き込みます。

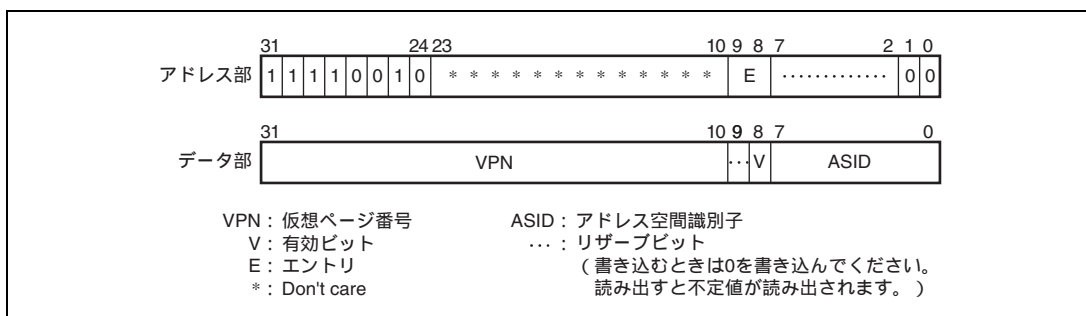


図 7.18 メモリ割り付け ITLB アドレスアレイ

7.7.2 ITLB データアレイ (TLB 互換モード)

ITLB のデータアレイは P4 領域の H'F300 0000 ~ H'F37F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 1 に書き込む PPN、V、SZ、PR、C、SH を指定します。

アドレス部は、[31:23] が ITLB データアレイを示す H'F30 になっており、[9:8] でエントリを選択するようになっています。

データ部は、[28:10] が PPN を、[8] が V を、[7]、[4] が SZ を、[6] が PR を、[3] が C を、[1] が SH を示します。

ITLB データアレイに対しては以下の 2 種類の操作が可能です。

1. ITLB データアレイ 読み出し

アドレス部に設定されたエントリに対応する ITLB エントリから、データ部へ PPN、V、SZ、PR、C、SH を読み出します。

2. ITLB データアレイ 書き込み

アドレス部に設定されたエントリに対応する ITLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、SH を書き込みます。

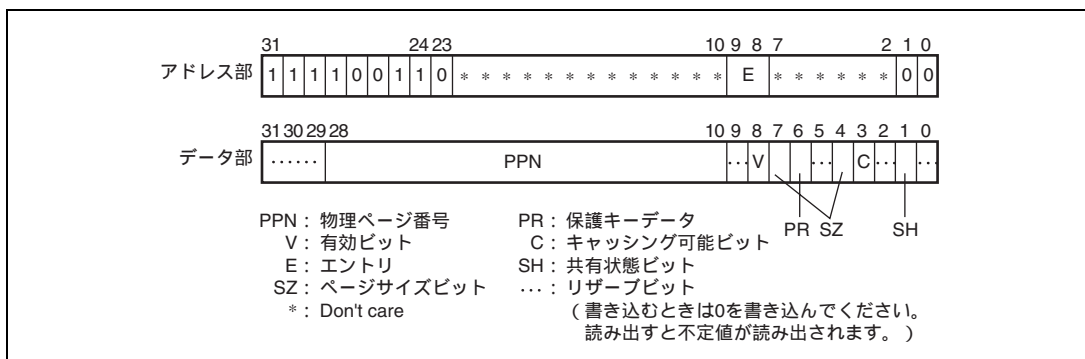


図 7.19 メモリ割り付け ITLB データアレイ

7.7.3 ITLB データアレイ (TLB 拡張モード)

TLB 拡張モードのとき、ITLB データアレイは ITLB データアレイ 1 に名称が変更になります。また、ITLB データアレイ 2 が追加となり、EPR、ESZ をアクセス可能になります。TLB 拡張モードでは、ITLB データアレイ 1 の PR、SZ ビットはリザーブビットとなり、書き込み値は 0 を指定してください。また、ITLB データアレイ 1 への書き込みを行った場合には、その後必ず同一エントリの ITLB データアレイ 2 の書き込みを行ってください。

TLB 互換モード (MMUCR.ME=0) のときには、ITLB データアレイ 2 のアクセスは行えません。アクセスした場合の動作は保証しません。

(1) ITLB データアレイ 1

TLB 拡張モードでは、互換モードの PR、SZ ビットに対応するデータ部のビット 7、6、4 がリザーブビットになります。書き込み時には 0 を指定してください。

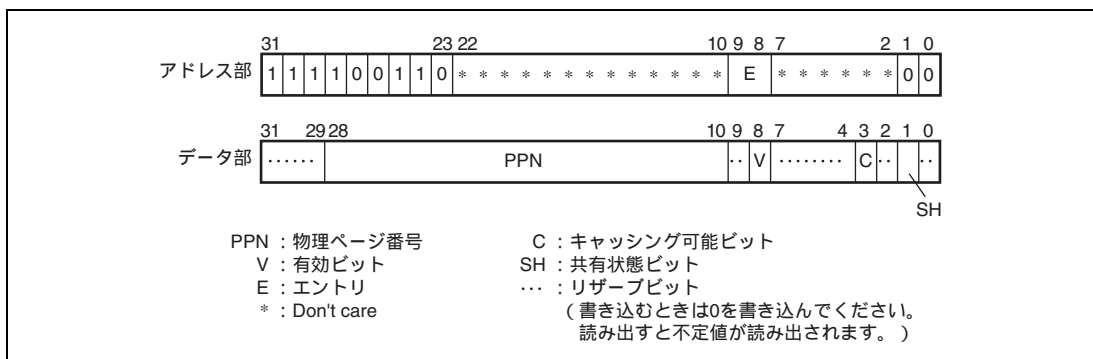


図 7.20 メモリ割り付け ITLB データアレイ 1 (TLB 拡張モード)

(2) ITLB データアレイ 2

ITLB のデータアレイは P4 領域の H'F380 0000 ~ H'F3FF FFFF に割り付けられています。データアレイ 2 のアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む EPR、ESZ を指定します。

アドレス部は、[31:23]が ITLB データアレイ 2 を示す H'F38 になっており、[9:8]でエントリを選択するようになっています。

データ部は、[13][11][10][8]がそれぞれ EPR[5][3][2][0]を、[7:4]が ESZ を示します。ITLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

1. ITLB データアレイ 2 読み出し

アドレス部に指定されたエントリに対応する ITLB エントリから、データ部へ EPR、ESZ を読み出します。

2. ITLB データアレイ 2 書き込み

アドレス部に指定されたエントリに対応する ITLB エントリに対して、データ部で指定された EPR、ESZ を書き込みます。

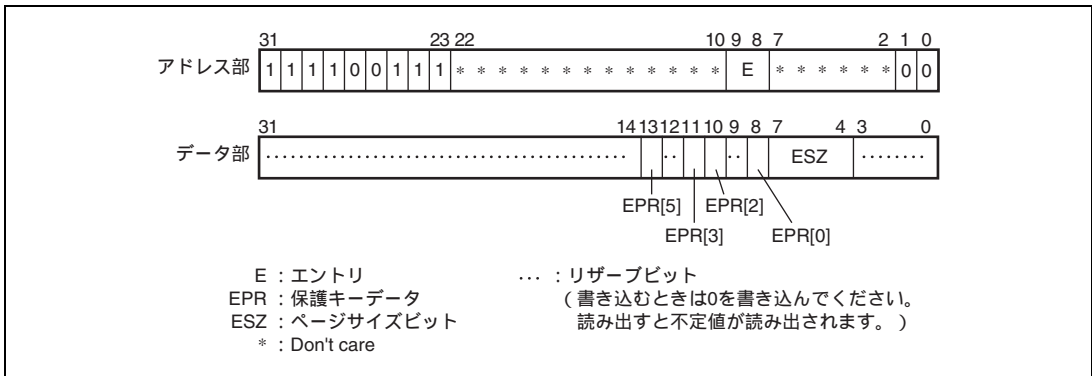


図 7.21 メモリ割り付け ITLB データアレイ 2 (TLB 拡張モード)

7.7.4 UTLB アドレスアレイ

UTLB のアドレスアレイは P4 領域の H'F600 0000 ~ H'F60F FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定(読み出し/書き込み時)と 32 ビットのデータ部の指定(書き込み時)が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、D、V、ASID を指定します。

アドレス部は、[31:20]が UTLB アドレスアレイを示す H'F60 になっており、[13:8]でエントリを選択するようになっていています。アドレス部[7]の連想ビット (A ビット) は、UTLB アドレスアレイへの書き込みのときのアドレス比較の有無を指定します。

データ部は、[31:10]が VPN を、[9]が D を、[8]が V を、[7:0]が ASID を示します。

UTLB アドレスアレイに対しては以下の 3 種類の操作が可能です。

1. UTLBアドレスアレイ 読み出し

アドレス部に設定されたエントリに対応するUTLBエントリから、データ部へVPN、D、V、ASIDを読み出します。読み出す場合、アドレス部に指定される連想ビットは1でも0でも連想動作は行いません。

2. UTLBアドレスアレイ 書き込み (連想なし)

アドレス部に設定されたエントリに対応するUTLBエントリに対して、データ部で指定されたVPN、D、V、ASIDを書き込みます。アドレス部のAビットは0にしてください。

3. UTLBアドレスアレイ 書き込み (連想あり)

アドレス部のAビットが1で書き込みのとき、データ部で指定されたVPNとPTEH.ASIDを用い、UTLBの全エントリとの間で比較が行われます。比較は通常のアドレス比較の規則に従いますが、UTLBにミスした場合は例外は発生せずノーオペレーションとなります。比較によりデータ部で指定したVPNに対応するUTLBエントリが存在した場合、そのエントリに対してデータ部で指定したDとVを書き込みます。この連想動作はITLBに対しても同時に行われ、ITLB内に一致するエントリが存在した場合はそのエントリに対してVを書き込みます。UTLBでの比較でノーオペレーションとなってもITLBで一致していればITLB側におのみ書き込みは行います。またUTLBとITLBの両方で一致した場合、UTLBの情報がITLBへも書き込まれます。

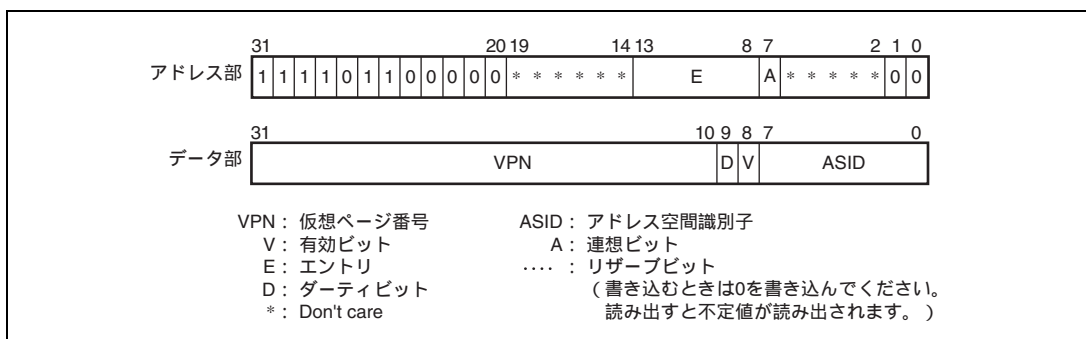


図 7.22 メモリ割り付け UTLB アドレスアレイ

7.7.5 UTLB データアレイ (TLB 互換モード)

UTLB のデータアレイは P4 領域の HF700 0000 ~ HF70F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイに書き込む PPN、V、SZ、PR、C、D、SH、WT を指定します。

アドレス部は、[31:20] が UTLB データアレイを示す HF70 になっており、[13:8] でエントリを選択するようになっています。

データ部は、[28:10] が PPN を、[8] が V を、[7]、[4] が SZ を、[6:5] が PR を、[3] が C を、[2] が D を、[1] が SH を、[0] が WT を示します。

UTLB データアレイに対しては以下の 2 種類の操作が可能です。

1. UTLB データアレイ 読み出し

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ PPN、V、SZ、PR、C、D、SH、WT を読み出します。

2. UTLB データアレイ 書き込み

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、D、SH、WT を書き込みます。



図 7.23 メモリ割り付け UTLB データアレイ (TLB 互換モード)

7.7.6 UTLB データアレイ (TLB 拡張モード)

TLB 拡張モードのとき、UTLB データアレイは UTLB データアレイ 1 に名称が変更になります。また、UTLB データアレイ 2 が追加となり、EPR、ESZ をアクセス可能になります。TLB 拡張モードでは、UTLB データアレイ 1 の PR、SZ ビットはリザーブビットとなり、書き込み値は 0 を指定してください。また、UTLB データアレイ 1 への書き込みを行った場合には、その後必ず同一エントリの UTLB データアレイ 2 の書き込みを行ってください。

TLB 互換モード (MMUCR.ME=0) のときには、UTLB データアレイ 2 のアクセスは行えません。アクセスした場合の動作は保証しません。

(1) UTLB データアレイ 1

TLB 拡張モードでは、互換モードの PR、SZ ビットに対応するデータ部のビット 7~4 がリザーブビットになります。書き込み時には 0 を指定してください。

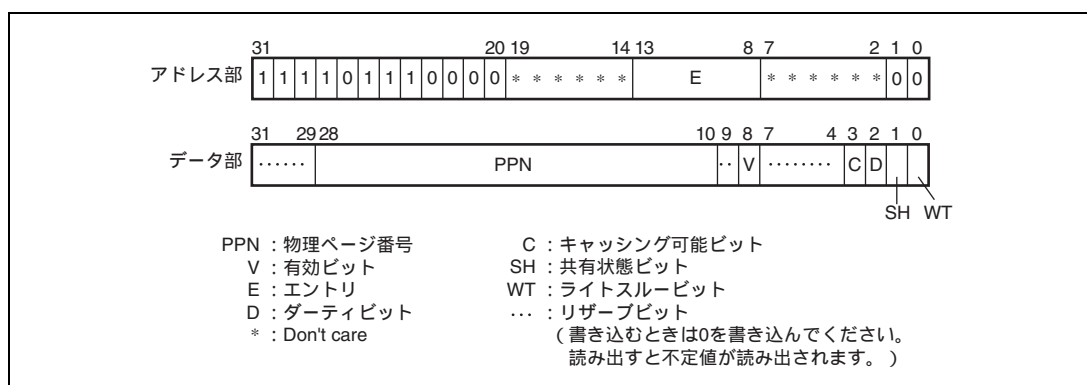


図 7.24 メモリ割り付け UTLB データアレイ 1 (TLB 拡張モード)

(2) UTLB データアレイ 2

UTLB のデータアレイは P4 領域の HF780 0000 ~ HF78F FFFF に割り付けられています。データアレイ 2 のアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む EPR、ESZ を指定します。アドレス部は [31:20] が UTLB データアレイ 2 を示す HF78 になっており、[13:8] でエントリを選択するようになっています。

データ部は、[13:8] が EPR を、[7:4] が ESZ を示します。UTLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

1. UTLB データアレイ 2 読み出し

アドレス部に指定されたエントリに対応する UTLB エントリから、データ部へ EPR、ESZ を読み出します。

2. UTLBデータアレイ2 書き込み

アドレス部に指定されたエントリに対応するUTLBエントリに対して、データ部で指定されたEPR、ESZを書き込みます。

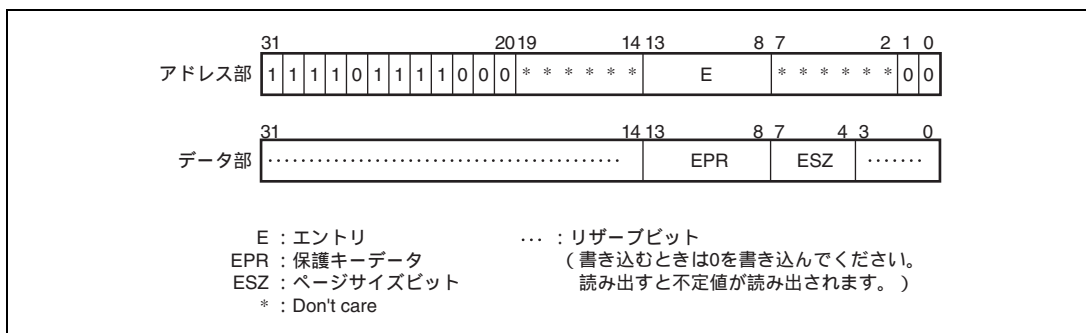


図 7.25 メモリ割り付け UTLB データアレイ 2 (TLB 拡張モード)

7.8 32 ビットアドレス拡張モード

本 LSI は PASCR レジスタの SE ビットを 1 に設定することで、29 ビットの物理アドレス空間を扱う 29 ビットアドレスモードから、32 ビットの物理アドレス空間を扱う 32 ビットアドレス拡張モードに変更することができます。

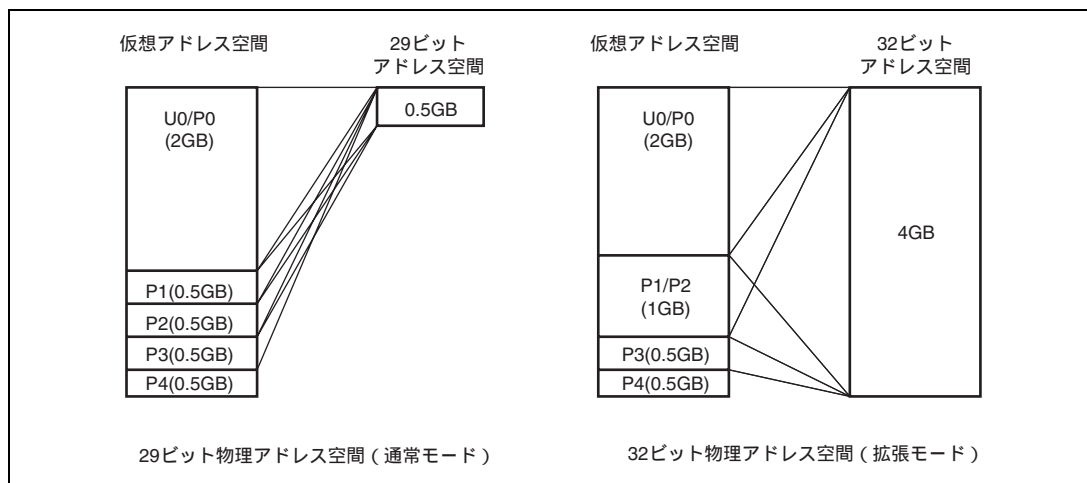


図 7.26 物理アドレス空間 (32 ビットアドレス拡張モード)

7.8.1 32 ビットアドレス拡張モード概要

32 ビットアドレス拡張モードでは、29 ビットアドレスモードではアドレス変換対象外である P1/P2 領域の仮想アドレスを、32 ビットの物理アドレス空間にマッピングする特権空間マッピングバッファ (PMB) を導入します。また、既存の TLB (UTLB/ITLB) のアドレス変換対象領域についても、UTLB/ITLB の PPN フィールドの上位 3 ビットを拡張して、TLB 変換後のアドレスが 32 ビットの物理アドレスを扱えるようになります。

また、キャッシュの動作は、29 ビットアドレスモードでは固定的に P1 領域はキャッシング可能、P2 領域はキャッシング不可ですが、32 ビットアドレス拡張モードでは P1、P2 領域とも PMB の C ビットおよび WT ビットに従うようになります。

7.8.2 32 ビットアドレス拡張モードへの切り替え

本 LSI はパワーオンリセット後は 29 ビットアドレスモードです。PASCRCR レジスタの SE ビットに 1 を書き込むことで、32 ビットアドレス拡張モードへと遷移します。32 ビットアドレス拡張モードでは MMU の動作は次のようになります。

1. MMUCR.AT = 0 のとき、U0/P0/P3 領域の仮想アドレスはそのまま 32 ビット物理アドレスとなります。P1/P2 領域のアドレスは PMB マッピング情報に従いアドレス変換されます。

PMB の仮想ページ番号の上位 2 ビット (VPN[31:30]) には、P1/P2 領域を指し示すように必ず B'10 を設定してください。B'10 以外の値を設定した場合の動作は保証しません。

2. MMUCR.AT = 1 のとき、U0/P0/P3 領域の仮想アドレスは TLB 変換情報に従い 32 ビット物理アドレスに変換されます。P1/P2 領域のアドレスは PMB マッピングの情報に従いアドレス変換されます。

PMB の仮想ページ番号の上位 2 ビット (VPN[31:30]) には、P1/P2 領域を指し示すように必ず B'10 を設定してください。B'10 以外の値を設定した場合の動作は保証しません。

3. 制御レジスタ領域 (H'FC00 0000 ~ H'FFFF FFFF) は、MMUCR.AT にかかわらず、物理アドレスの [31:29] が B'111 となります。制御レジスタ領域を UTLB に登録してアクセスする場合には、PPN[31:29] には B'111 を設定してください。

7.8.3 特権空間マッピングバッファ (PMB) 構成

32 ビットアドレス拡張モードでは、P1/P2 領域の仮想アドレスは PMB マッピング情報に従いアドレス変換されます。PMB は 16 エントリで各エントリは以下の構成です。

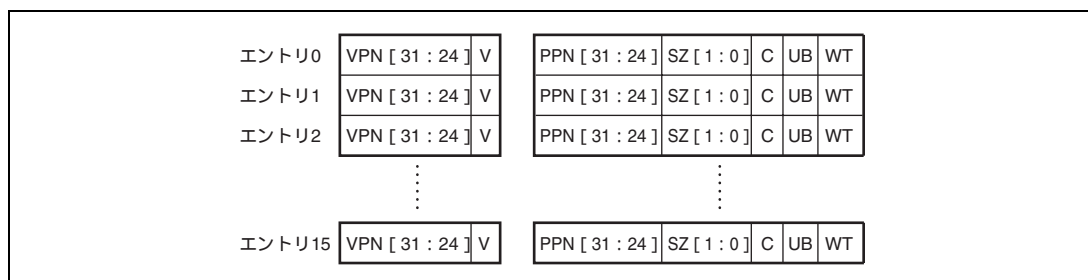


図 7.27 PMB の構成

【記号説明】

VPN : 仮想ページ番号

16M バイトページのと看、仮想アドレスの上位 8 ビット

64M バイトページのと看、仮想アドレスの上位 6 ビット

128M バイトページのと看、仮想アドレスの上位 5 ビット

512M バイトページのと看、仮想アドレスの上位 3 ビット

【注】 VPN の上位 2 ビットは、P1/P2 領域を指し示すように必ず B'10 を設定してください。

SZ : ページサイズビット

ページサイズを指定します。

00 : 16M バイトページ

01 : 64M バイトページ

10 : 128M バイトページ

11 : 512M バイトページ

V : 有効ビット

エントリが有効かどうかを示します。

0 : 無効

1 : 有効

パワーオンリセット時に 0 にクリアされます。

マニュアルリセット時に変化しません。

PPN : 物理ページ番号

物理アドレスの上位 8 ビット

16M バイトページの時、PPN[31:24]が有効

64M バイトページの時、PPN[31:26]が有効

128M バイトページの時、PPN[31:27]が有効

512M バイトページの時、PPN[31:29]が有効

C : キャッシング可能ビット

ページがキャッシング可能かどうかを示します。

0 : キャッシング不可能

1 : キャッシング可能

WT : ライトスルービット

キャッシュへの書き込みモードを指定します。

0 : コピーバックモード

1 : ライトスルーモード

UB : バッファドライトビット

バッファドライトするかどうかを指定します。

0 : バッファドライト (ライト完了を待たずに後続命令のデータアクセスを開始する)

1 : アンバッファドライト (ライト完了を待ち後続命令のデータアクセスを開始する)

7.8.4 PMB の機能

本 LSI がサポートする PMB の機能を以下に示します。

1. PMBへの書き込みはメモリ割り付けライトでのみ行えます。LDTLBでの登録はできません。
2. PMBマッピング対象であるP1/P2領域のアクセスするアドレスは必ずPMB登録されていることをソフトウェアで保証してください。PMBに変換情報がないP1/P2領域のアドレスにアクセスがあった場合、本LSIはTLBリセットとなります。このとき、TEAにはTLBリセットの原因となったP1/P2領域へのアクセスアドレスが、EXPEVTにはコードH'140が格納されます。
3. 本LSIはPMBが多重ヒットを起こした場合の動作を保証しません。ソフトウェアは十分注意してPMBマッピング情報を登録してください。
4. PMBには連想ライトの機能はありません。
5. PMBにはPRフィールドは存在せず、リード/ライトのプロテクションを施すことはできません。PMBのアドレス変換対象はP1/P2アドレスなので、ユーザモードでのアクセスではアドレスエラー例外が発生します。
6. ITLBにはハードウェアITLBミスハンドリングによりUTLBとPMBの両方のエントリが混在して登録されます。ただしVPN[31:30]が10か否かで、UTLBから登録されたものかPMBから登録されたものか識別できます。PMBのエントリがITLBに登録される際に、PMBに存在しないフィールドであるASIDにはH'00、PRには01、SHには1が登録されます。

7.8.5 メモリ割り付け PMB の構成

PMB をソフトウェアで管理するために、特権モードのとき、P1/P2 領域のプログラムから MOV.L 命令によって PMB の内容の読み出し、書き込みが可能です。PMB のアドレスアレイは P4 領域の HF610 0000 ~ HF61F FFFF に、PMB のデータアレイは P4 領域の HF710 0000 ~ HF71F FFFF に割り付けられています。PMB では VPN、V をアドレスアレイとして、PPN、V、SZ、C、WT、UB をデータアレイとしてアクセス可能です。V はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。PMB メモリ割り付けアクセスを実行するプログラムは、PMB.C = 0 に設定したページの領域に配置してください。

1. PMBアドレスアレイリード

アドレスとして[31:20]にPMBアドレスアレイを示すHF61、[11:8]にエントリを指定してメモリ読み出しを行うと、[31:24]にVPN、[8]にVが読み出されます。

2. PMBアドレスアレイライト

アドレスとして[31:20]にPMBアドレスアレイを示すHF61、[11:8]にエントリを指定し、データとして[31:24]にVPN、[8]にVを指定してメモリ書き込みを行うと、指定したエントリに書き込まれます。

3. PMBデータアレイリード

アドレスとして[31:20]にPMBデータアレイを示すHF71、[11:8]にエントリを指定してメモリ読み出しを行うと、[31:24]にPPN、[9]にUB、[8]にV、[7][4]にSZ、[3]にC、[0]にWTが読み出されます。

4. PMBデータアレイライト

アドレスとして[31:20]にPMBデータアレイを示すHF71、[11:8]にエントリを指定し、データとして[31:24]にPPN、[9]にUB、[8]にV、[7][4]にSZ、[3]にC、[0]にWTを指定してメモリ書き込みを行うと、指定したエントリに書き込まれます。

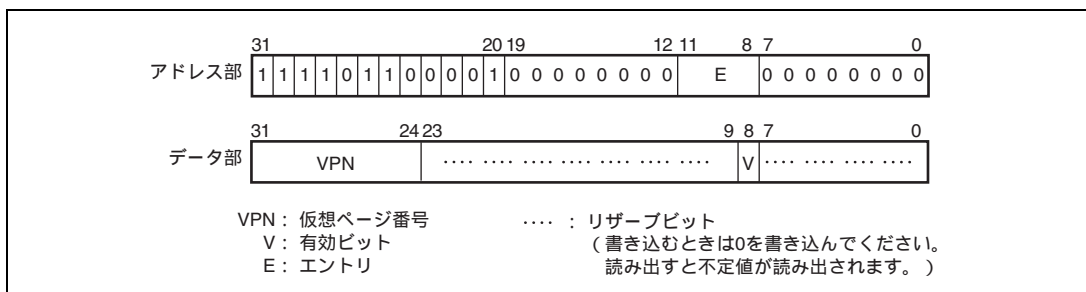


図 7.28 メモリ割り付け PMB アドレスアレイ

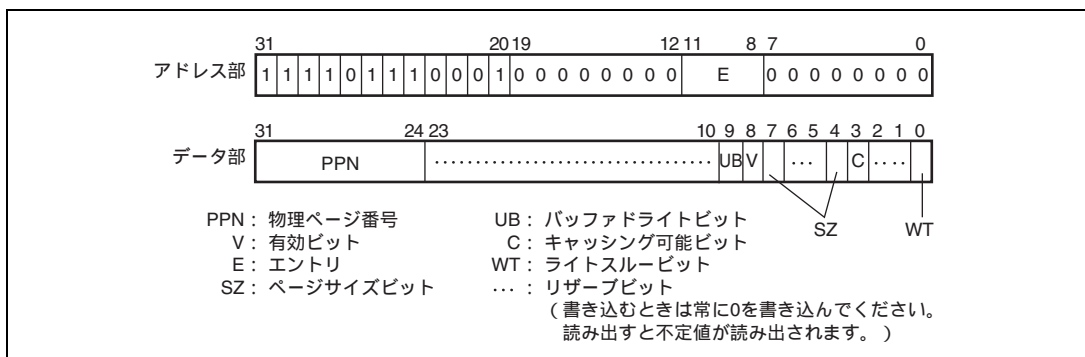


図 7.29 メモリ割り付け PMB データアレイ

7.8.6 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードを使用する場合、本章ですでに述べた事項が以下のように拡張または変更されますので、注意してください。

(1) PASC.R.SE

制御レジスタ PASC.R[31]に SE ビットが追加になります。また、UB[6:0]は無効になります (UB[7]は 32 ビットアドレス拡張モードでも有効です)。

バッファドライトになるか否かは、P1/P2 領域に対するライトでは PMB の UB ビットにより制御されます。P0/P3/U0 領域に対するライトでは、MMU がイネーブルの場合 TLB の UB ビットにより制御され、MMU がディスエーブルの場合、常にバッファドライトになります。

ビット	ビット名	初期値	R/W	説明
31	SE	0	R/W	アドレスモード 0: 29 ビットアドレスモード 1: 32 ビットアドレス拡張モード
30~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	UB	すべて 0	R/W	エリア (64M バイト) ごとのバッファドライト制御 キャッシュを使わない書き込み時に CPU が書き込みの完了を待つかどうかをエリアごとに指定します。 0: CPU は書き込みの完了を待ちません 1: CPU は書き込みが完了するまでストールして待ちます。 UB [7]: 制御レジスタ領域のバッファドライト制御 UB [6:0]: エリア (64M バイト) ごとのバッファドライト制御 (32 ビットアドレス拡張モードでは無効)

(2) ITLB

ITLB の PPN フィールドが[31:10]へ拡張されます。

(3) UTLB

UTLB の各エントリに PMB の UB ビットと同じ意味の UB ビットが追加になります。

UB : バッファドライトビット

バッファドライトするかどうかを指定します。

0 : バッファドライト (ライト完了を待たずに後続処理を開始する)

1 : アンバッファドライト (ライト完了を待ち後続処理を開始する)

UB ビットはメモリ割り付け TLB アクセスではデータアレイのビット[9]でリード/ライトが行えます。

(4) PTEL

UTLB と同様に PTEL レジスタのビット[9]に PMB の UB ビットと同じ意味の UB ビットが追加になります。

この UB ビットは LDTLB 命令によって UTLB の UB ビットへ書き込まれます。また PPN フィールドが[31:10]に拡張されます。

(5) CCR.CB

CCR レジスタの CB ビットは無効になります。PI 領域に対するキャッシュブライトがコピーバックモードになるか、ライトスルーモードになるかは、PMB の WT ビットに従います。

(6) IRMCR.MT

IRMCR の MT ビットが、メモリ割り付け PMB ライトに対しても有効になります。

(7) QACR0、QACR1

QACR0、QACR1 レジスタの AREA0[4:2]、AREA[4:2]がそれぞれ AREA0[7:2]、AREA1[7:2]に拡張され、物理アドレス 31 ~ 26 に対応します。

(8) LSA0、LSA1、LDA0、LDA1

LOSADR、LISADR、LODADR、LIDADR がそれぞれ[31:0]に拡張されます。

また、32 ビットアドレスモード使用時にはソフトウェアは以下の点に注意してください。

1. SEビットの切り替えは、パワーオンリセットまたはマニュアルリセット後のキャッシュとTLBがオフのブートルーチンで0から1への切り替えのみサポートされています。
2. SEビット切り替え後、そのプログラムの配置されている領域自体がPMBアドレス変換対象となりますので、SEビットの切り替えに先立ってPMBへの登録が必要です。例外ハンドラなど、P1/P2領域へアクセスされる可能性のあるアドレスについても必ずPMBへの登録を行ってください。
3. SEビットを切り替えるMOV.L命令の前にあるオペランドメモリアccessが外部メモリアccessを起こす場合、両アドレスモードでアクセスされる外部メモリ空間アドレスが異なるようにしてください。
4. PMBの登録時にVビットがアドレスアレイとデータアレイの両方にマッピングされていることに注意してく

ださい。すなわち、1回目的一方への書き込みではV = 0を、2回目の他方への書き込みではV = 1を書き込んでください。

7.9 32 ビットブート機能

本 LSI は外部ピンによる指定で、パワーオンリセットおよびマニュアルリセット後のアドレスモードを 29 ビットアドレスモード / 32 ビットアドレス拡張モードのどちらにするかを切り替え可能です。以下、32 ビットアドレス拡張モードでブートした場合の変更点を説明します。

7.9.1 PMB の初期エントリ

外部ピンで 32 ビットアドレス拡張モードを指定した場合には、パワーオンリセットおよびマニュアルリセット後、PMB に以下の初期エントリが登録され、PASCRC レジスタの SE ビットの初期値が 1 となります。エントリ 2 ~ 15 は V ビットのみ 0 に初期化されます。

エントリ	VPN[31:24]	PPN[31:24]	V	SZ[1:0]	C	UB	WT
0	10000000	00000000	1	11	1	0	1
1	10100000	00000000	1	11	0	0	0

7.9.2 32 ビットブート時の注意点

パワーオンリセットおよびマニュアルリセット直後から P1/P2 領域の PMB マッピングが行われるため、初期エントリとは異なるマッピングを行いたい場合にはブートルーチンでキャッシュと TLB をオン (CCR.ICE と CCR.OCE と MMUCR.AT を 1) にする前に、以下の手順に従って PMB ミス、PMB 多重ヒットが発生しないように注意して PMB を操作してください。なお、ブートルーチン以外での PMB 登録内容の変更は行わないでください。

(1) P1/P2 領域のプログラムで変更する場合

- 初期エントリに対して SZ ビットのみを変更したエントリを上書き登録し、ページサイズの縮小を行います。このとき、PMB を変更するプログラムは、ページサイズ縮小後のページの先頭 1M バイト以内に配置してください。
- ITLB に残っている PMB に対応したエントリを無効化するため、MMUCR レジスタの TI ビットに 1 を書き込みます。
1. の操作で PMB 変換情報が不在となった P1/P2 領域を補う PMB エントリをメモリ割り付け PMB で登録します。
- 以下の (a) ~ (c) のいずれかを実行します。この操作の前に 1. の操作で PMB 変換情報が不在となった P1/P2 領域に対する分岐やオペランドアクセスは行わないでください。
 - RTE 命令による分岐を実行
 - 任意のアドレス (キャッシング不可領域でもよい) に対して ICBI 命令を実行
 - メモリ割り付け PMB アクセスの前に IORMCR.MT = 0 (初期値) と設定されていた場合には特定の命令シーケンスは不要です。

ただし、方法 (c) は今後のSuperHファミリでは保証されない可能性があります。今後のSuperHファミリでの互換性を保証するためには、(a) または (b) を用いることを推奨します。

(2) P1/P2 領域以外のプログラムで変更する場合

1. ITLBに残っているPMBに対応したエントリを無効化するため、MMUCRレジスタのTIビットに1を書き込みます。
2. メモリ割り付けPMBでPMBエントリを変更します。
3. 以下の (a) ~ (c) のいずれかを実行します。この操作の前にP1/P2領域に対する分岐やオペランドアクセスは行わないでください。

(a) RTE命令による分岐を実行

(b) 任意のアドレス (キャッシング不可領域でもよい) に対してICBI命令を実行

(c) メモリ割り付けPMBアクセスの前にIRMCR.MT=0 (初期値) と設定されていた場合には特定の命令シーケンスは不要です。

ただし、方法 (c) は今後のSuperHファミリでは保証されない可能性があります。今後のSuperHファミリでの互換性を保証するためには、(a) または (b) を用いることを推奨します。

7.10 使用上の注意事項

7.10.1 LDTLB 命令使用上の注意事項

MMUCR.URC にソフトウェアで書き込まずに、LDTLB 命令を実行する場合は、下記の (1) または (2) のどちらかを行ってください。

(1) 29 ビットアドレスモードのときは、次の (a) および (d) の両方を行ってください。32 ビットアドレス拡張モードのときは、(a) から (d) をすべて行ってください。

(a) TLB ミス例外処理ルーチン*¹ は P1 領域、P2 領域あるいは内蔵メモリ領域のみに配置し、TLB ミス例外処理ルーチンでの命令アクセス*³ は P1 領域、P2 領域あるいは内蔵メモリ領域のみになるようにしてください。TLB ミス例外処理ルーチンを内蔵メモリ領域に配置する場合は、RAMCR の RP ビットを 0 (初期値) にしてください。

(b) TLB ミス例外処理ルーチン*¹ での命令アクセス*³ は、PMB の 1 ページのみを使用してください。かつ、PMB のページの最後 64 バイトに置かないでください。(32 ビットアドレス拡張モードの場合のみ)

(c) MMU 関係例外*² 処理ルーチンで UTLB に登録する際は、次の 1. と 2. の両方の条件に従ってください。(32 ビットアドレス拡張モードの場合のみ)

1. TLB ミス例外が発生したときで、アクセス権があるページを UTLB に登録する場合、次の 2 回の動作で例外が発生したページを UTLB に登録する方法は行わないでください。

- TLB ミス例外を発生させた命令を再実行するときに保護違反例外が起こるような保護キーデータを指定して、TLB ミス例外が発生したページを UTLB に登録する。
- 保護違反例外の例外処理ルーチンで保護違反例外が起こらない保護キーデータを指定して UTLB に登録し、保護違反例外を発生させた命令を再実行する。

2. 初期書き込み例外が発生し、UTLB のダーティビットに 1 を設定したページが、該当書き込み命令が完了する前に UTLB から追い出された場合、再度登録する場合は、ダーティビットを 1 で登録してください。

(d) TLB ミス例外処理ルーチンでは FDIV 命令または FSQRT 命令を使用しないでください。

(2) TLB ミス例外が発生した際は、MMUCR.URC に 1 を加算してから LDTLB 命令を実行してください。

【注】 *1 例外処理ルーチン：例外発生時の VBR + オフセットの番地から、元のプログラムに復帰する RTE および RTE の遅延スロットに至るまでに実行されるすべての命令を意味します。

*2 MMU 関係例外：命令 TLB ミス例外、命令 TLB ミス保護違反例外、データ TLB ミス例外、データ TLB 保護違反例外、初期ページ書き込み例外を意味します。

*3 命令アクセス：PREFI 命令と ICBI 命令によるアクセスを含みます。

8. キャッシュ

本 LSI は命令用に 32K バイトの命令キャッシュ(IC)を、データ用に 32K バイトのオペランドキャッシュ(OC)を内蔵しています。

【注】 本章は、SH7780 のキャッシュ機能を説明しています。本 LSI で機能拡張されたキャッシュ機能は、「付録 A. SH-4A 拡張機能 (PVR.VER=H'40)」にまとめて説明しています。キャッシュ機能を参照する際は、必ずお読みください。

8.1 特長

キャッシュの特長を表 8.1 に示します。

本 LSI では、外部メモリへの高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。SQ の特長を表 8.2 に示します。

表 8.1 キャッシュの特長

項目	命令キャッシュ	オペランドキャッシュ
容量	32K バイトキャッシュ	32K バイトキャッシュ
方式	4 ウェイセットアソシアティブ、 仮想アドレスインデックス/物理アドレスタグ	4 ウェイセットアソシアティブ、 仮想アドレスインデックス/物理アドレスタグ
ラインサイズ	32 バイト	32 バイト
エントリ数	256 エントリ/ウェイ	256 エントリ/ウェイ
書き込み方式	-	コピーバック/ライトスルー選択可能
置換方式	LRU (Least Recently Used) アルゴリズム	LRU (Least Recently Used) アルゴリズム

表 8.2 ストアキューの特長

項目	ストアキュー
容量	2×32 バイト
アドレス	H'E000 0000 ~ H'E3FF FFFF
ライト	ストア命令 (1 サイクルライト)
ライトバック	プリフェッチ命令 (PREF 命令)
アクセス権	MMU ディスエーブル時: MMU 制御レジスタ (MMUCR) の SQMD ビットによる MMU イネーブル時: 個々のページ PR による

本 LSI のオペランドキャッシュは 4 ウェイセットアソシアティブ方式で、おのおののウェイは 256 本のキャッシュラインから構成されます。図 8.1 にオペランドキャッシュの構成を示します。

命令キャッシュは 4 ウェイセットアソシアティブ方式で、おのおののウェイは 256 本のキャッシュラインから構成されます。図 8.2 に命令キャッシュの構成を示します。

SH-4A は消費電力を低減するために IC ウェイ予測機構を搭載しています。また、非サポート検出例外レジスタ (EXPMASK) を用いて、メモリ割り付け連想ライト機能を例外として検出することが可能です。詳細は、「第 5

章 例外処理」を参照してください。

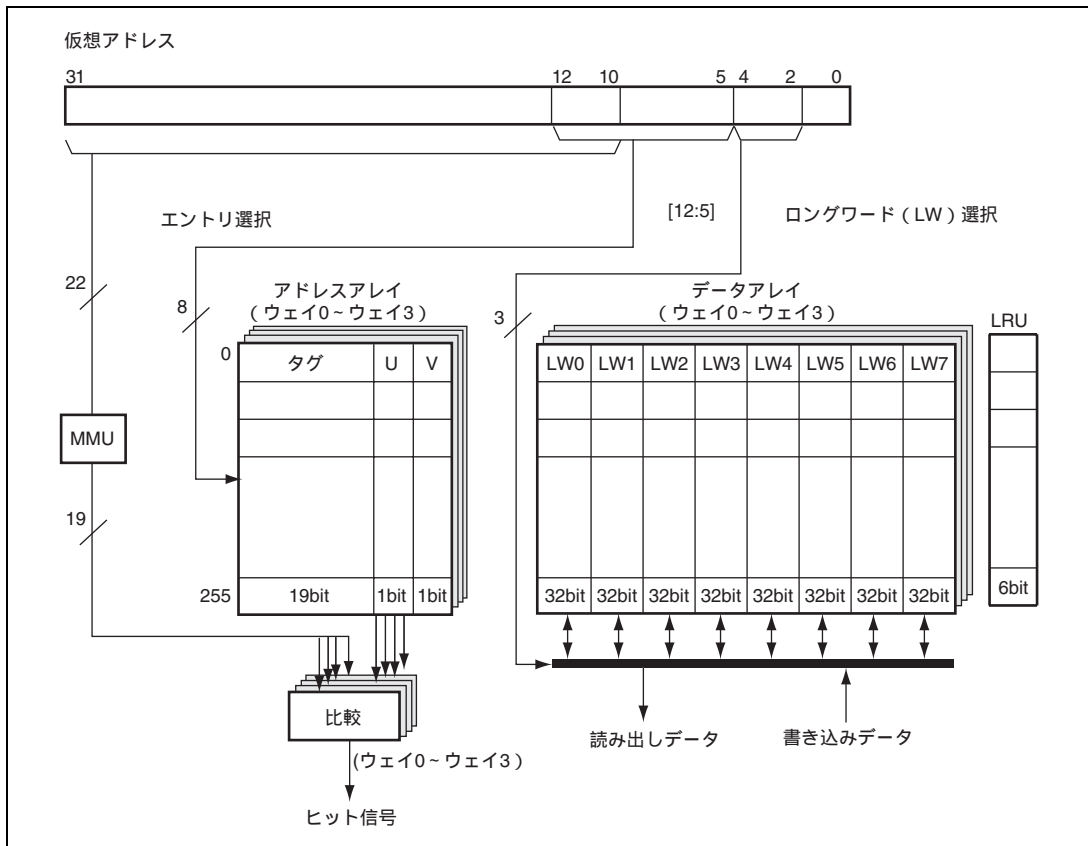


図 8.1 オペランドキャッシュの構成 (キャッシュサイズ=32K バイト)

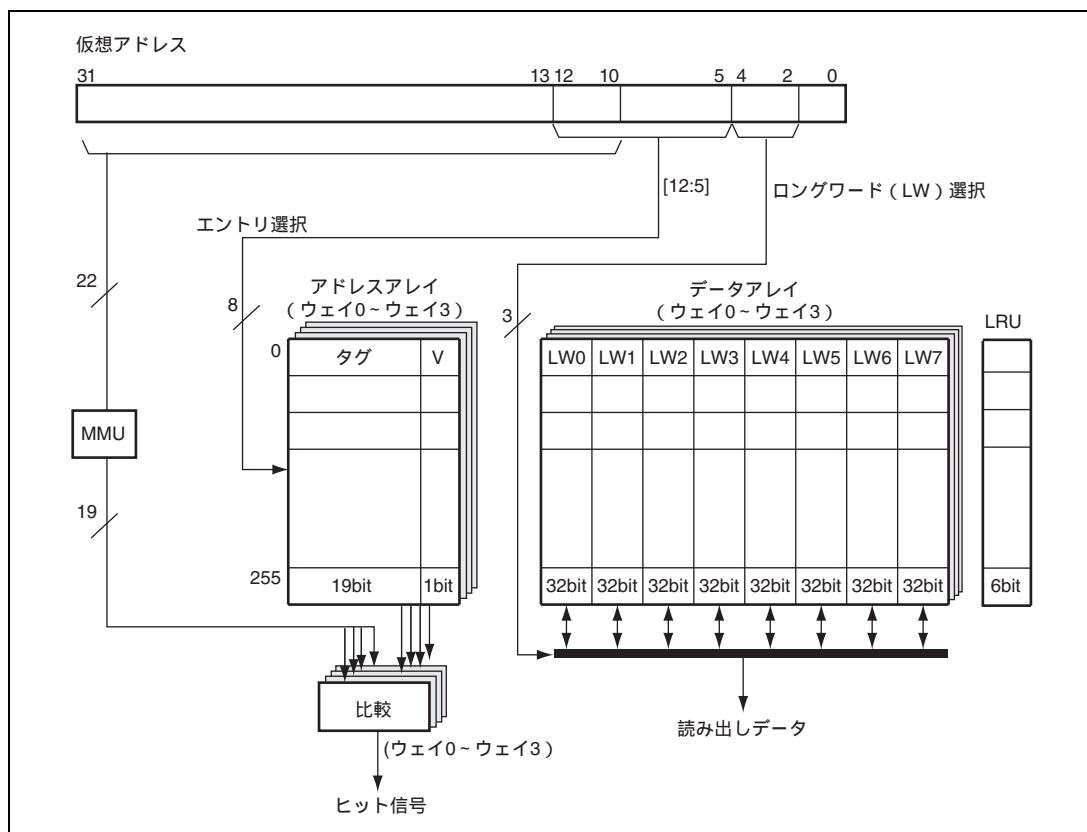


図 8.2 命令キャッシュの構成 (キャッシュサイズ=32K バイト)

(1) タグ

キャッシュされるデータラインの物理アドレス29ビットの上位19ビットを格納します。タグはパワーオンリセット、マニュアルリセットで初期化されません。

(2) Vビット (有効ビット)

キャッシュラインに有効なデータが格納されているか否かを示します。このビットが1のとき、そのキャッシュラインのデータは有効となります。Vビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

(3) Uビット (ダーティビット)

コピーバックモードでキャッシュを使用中に、キャッシュラインへデータを書き込んだとき、Uビットが1になります。つまりUビットはキャッシュライン中のデータと外部メモリ中のデータとの不一致を示します。メモリ割り付けキャッシュ(「8.6 メモリ割り付けキャッシュの構成」参照)をアクセスすることによりUビットを書き換えない限り、ライトスルーモードでキャッシュを使用中はUビットが1になることはありません。Uビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

(4) データ部

データ部には1キャッシュラインあたり32バイト（256ビット）のデータが格納されます。データアレイはパワーオンリセット、マニュアルリセットで初期化されません。

(5) LRU 部

4ウェイセットアソシアティブ方式では、エントリアドレスが同じデータを4つまでキャッシュに登録できます。エントリを登録するとき、4つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは各エントリ6ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU（Least Recently Used）アルゴリズムを使用しています。LRUビットは、パワーオンリセットで0に初期化されますが、マニュアルリセットでは初期化されません。LRUビットは、ソフトウェアでは読み書きできません。

8.2 レジスタの説明

キャッシュに関連するレジスタを以下に示します。

表 8.3 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	サイズ
キャッシュ制御レジスタ	CCR	R/W	H'FF00 001C	H'1F00 001C	32
キューアドレス制御レジスタ0	QACR0	R/W	H'FF00 0038	H'1F00 0038	32
キューアドレス制御レジスタ1	QACR1	R/W	H'FF00 003C	H'1F00 003C	32
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

表 8.4 各処理モードにおけるレジスタの状態

名称	略称	パワーオンリセット	マニュアルリセット	スリープ/ライトスリープ
キャッシュ制御レジスタ	CCR	H'0000 0000	H'0000 0000	保持
キューアドレス制御レジスタ0	QACR0	不定	不定	保持
キューアドレス制御レジスタ1	QACR1	不定	不定	保持
内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	H'0000 0000	保持

8.2.1 キャッシュ制御レジスタ (CCR)

CCR は、キャッシュの動作モードの選択、キャッシュの全エントリの無効化、キャッシュへの書き込みモードの選択を行います。

CCR の書き換えは、キャッシング不可の P2 領域のプログラムのみで行わなければなりません。CCR 更新後、キャッシング可能領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. CCR更新の前にあらかじめIRMCR.R2=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、CCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後のSuperHファミリでは保証されない可能性があります。今後のSuperHファミリでの互換性を保証するためには、1または2を用いることを推奨します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	ICI	-	-	ICE	-	-	-	-	OCI	CB	WT	OCE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11	ICI	0	R/W	IC無効化ビット このビットに1を書き込むとICの全エントリのVビットを0にします。読み出すと常に0が読み出されます。
10, 9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	ICE	0	R/W	IC有効ビット ICの使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報のCビットも1でなければICを使用できません。 0: ICを使用しない 1: ICを使用する
7~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
3	OCI	0	R/W	OC 無効化ビット このビットに 1 を書き込むと OC の全エントリの V、U ビットを 0 にします。読み出すと常に 0 が読み出されます。
2	CB	0	R/W	コピーバックビット P1 領域のキャッシュへの書き込みモードを示します。 0: ライトスルーモード 1: コピーバックモード
1	WT	0	R/W	ライトスルーモード P0、U0、P3 領域のキャッシュへの書き込みモードを示します。ただし、アドレス変換が行われる場合は、ページ管理情報の WT ビットの値を優先します。 0: コピーバックモード 1: ライトスルーモード
0	OCE	0	R/W	OC 有効ビット OC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報の C ビットも 1 でなければ OC を使用できません。 0: OC を使用しない 1: OC を使用する

8.2.2 キューアドレス制御レジスタ 0 (QACR0)

QACR0 は、MMU がディスエーブルのとき、ストアキュー 0 (SQ0) がマップされているエリアを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	AREA0			-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	-	-	-	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~2	AREA0	不定	R/W	MMU がディスエーブルのとき、SQ0 に対する物理アドレス 28~26 を生成します。
1、0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

8.2.3 キューアドレス制御レジスタ 1 (QACR1)

QACR1 は、MMU がディスエーブルのとき、ストアキュー1 (SQ1) がマップされているエリアを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	AREA1			-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	-	-	-	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4~2	AREA1	不定	R/W	MMU がディスエーブルのとき、SQ1 に対する物理アドレス 28~26 を生成します。
1、0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

8.2.4 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は IC および OC のウェイ数の制御を行います。

RAMCR への書き換えは、キャッシング不可の P2 領域のプログラムで行われなければなりません。RAMCR 更新後、キャッシング可能領域または L メモリ領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はキャッシング不可領域またはLメモリ領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. RAMCR更新の前にあらかじめIRMCR.R2=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、RAMCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後のSuperHファミリでは保証されない可能性があります。今後のSuperHファミリでの互換性を保証するためには、1または2を用いることを推奨します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RMD	RP	IC2W	OC2W	ICWPD	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	RMD	0	R/W	内蔵メモリアクセスモードビット 詳細は「9.4 内蔵メモリの保護機能」を参照してください。
8	RP	0	R/W	内蔵メモリ保護有効ビット 詳細は「9.4 内蔵メモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC 2 ウェイモードビット 0: IC は 4 ウェイ動作 1: IC は 2 ウェイ動作 詳細は「8.4.3 IC 2 ウェイモード」を参照してください。
6	OC2W	0	R/W	OC 2 ウェイモードビット 0: OC は 4 ウェイ動作 1: OC は 2 ウェイ動作 詳細は「8.3.6 OC 2 ウェイモード」を参照してください。
5	ICWPD	0	R/W	IC ウェイ予測抑止ビット IC ウェイ予測の使用を選択します。 0: 命令キャッシュはウェイ予測を行う 1: 命令キャッシュはウェイ予測を行わない
4~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

8.3 オペランドキャッシュの動作説明

8.3.1 読み出し動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域からデータを読み出す場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 4.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 5.

3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:0]でインデックスされるデータをアクセスサイズに応じて読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

5. キャッシュミス (書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

8.3.2 プリフェッチ動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域からデータを OC にプリフェッチする場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 3. タグが一致かつVビットが1のウェイが存在する場合
 4. タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合
 5. タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合

3. キャッシュヒット

ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことはなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

5. キャッシュミス (書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことはなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

8.3.3 書き込み動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域に対してデータが書き込まれる場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグの比較、および対象となる領域の属性から、

コピーバック ライトスルー

- | | | |
|--|----|----|
| • タグが一致かつVビットが1のウェイが存在する場合 | 3. | 4. |
| • タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 | 5. | 7. |
| • タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 | 6. | 7. |

3. キャッシュヒット (コピーバック)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。またUビットに1を書き込み、ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュヒット (ライトスルー)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込むとともに、仮想アドレスに対応する外部メモリに対しても書き込みを行います。またヒットしたウェイが最新となるようにLRUビットを更新します。この場合、Uビットは更新されません。

5. キャッシュミス(コピーバック、書き戻しなし)

置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘデータを読み込みます(ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

6. キャッシュミス (コピーバック、書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘデータを読み込みます(ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。

データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

7. キャッシュミス(ライトスルー)

仮想アドレスに対応した外部メモリへ、指定されたアクセスサイズで書き込みを行います。この場合、キャッシュへの書き込みは行われません。タグ、Vビット、Uビット、LRUビットも更新されません。

8.3.4 ライトバックバッファ

本LSIは、キャッシュミスによりダーティなキャッシュのエントリを外部メモリに追い出す必要が生じた場合、キャッシュへのデータの読み込みを優先させ性能を向上させるために、追い出すキャッシュラインのデータを格納するためのライトバックバッファを内蔵しています。ライトバックバッファはキャッシュ1ライン分のデータと追い出す先の物理アドレスで構成されます。

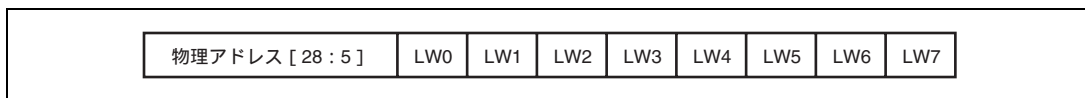


図 8.3 ライトバックバッファの構成

8.3.5 ライトスルーバッファ

本LSIは、ライトスルーモード時のデータの書き込みや、キャッシング不可能な領域に対する書き込み動作において、書き込みデータを保持するための64ビットのバッファを内蔵しています。これによりCPUはライトスルーバッファへの書き込みが完了すると、外部メモリへの書き込みの完了を待たずに次の動作へ移ります。

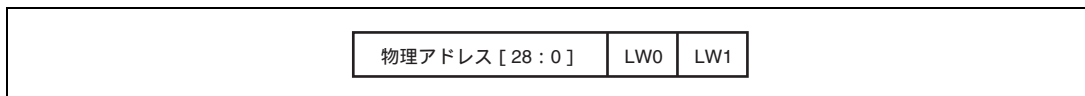


図 8.4 ライトスルーバッファの構成

8.3.6 OC 2 ウェイモード

RAMCR レジスタのOC2W ビットを1にセットすると、OCのウェイ0とウェイ1のみを使用するOC2ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付けOCアクセスも含め、ウェイ0とウェイ1のみが使用されます。

OC2W ビットの書き換えはP2領域のプログラムで行ってください。また、書き換える時点ですでにOCに有効なラインが登録されている場合には、OC2W ビットを書き換える前に、必要に応じてソフトウェアにより書き戻しを行った後、CCR レジスタのOCI ビットに1を書き込み、OCの全エントリを無効にしてください。

8.4 命令キャッシュの動作説明

8.4.1 読み出し動作

命令キャッシュ (IC) が有効 (CCR.ICE=1) かつキャッシング可能な領域から命令フェッチを行う場合、IC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在しない場合 4.
3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:3]でインデックスされるデータを命令として読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、LRUビットにより選択された置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むワード (8 バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを命令として返します。残りのキャッシュライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

8.4.2 プリフェッチ動作

命令キャッシュ (IC) が有効 (CCR.ICE=1) かつキャッシング可能な領域から、命令を IC にプリフェッチする場合、IC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在しない場合 4.

3. キャッシュヒット

ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

8.4.3 IC 2 ウェイモード

RAMCR レジスタの IC2W ビットを 1 にセットすると、IC のウェイ 0 とウェイ 1 のみを使用する IC 2 ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付け IC アクセスも含め、ウェイ 0 とウェイ 1 のみが使用されます。

IC2W ビットの書き換えは P2 領域のプログラムで行うようにしてください。また、書き換える時点ですでに IC に有効なラインが登録されている場合には、IC2W ビットを書き換える前に、CCR レジスタの ICI ビットに 1 を書き込み、IC の全エントリを無効化してください。

8.4.4 命令キャッシュウェイ予測

本 LSI は消費電力を低減するために命令キャッシュ (IC) ウェイ予測機構を内蔵し、予測したウェイのデータアレイのみを起動します。ウェイ予測ミスが発生した場合には正しいウェイのデータを再読み出しするため、命令フェッチ性能が低下することがあります。ICWPD ビットを 1 にセットすると、IC ウェイ予測機構を停止させることができます。本モードではウェイ予測ミスは発生しないため、命令フェッチ性能の低下はありませんが IC の消費電力が増加します。また、ICWPD ビットの書き換えはキャッシング不可の P2 領域を走行するプログラムで行ってください。また、書き換える時点ですでに IC に有効なラインが登録されている場合には、ICWPD ビットを書き換える前に、CCR レジスタの ICI ビットに 1 を書き込み、IC の全エントリを無効化してください。

8.5 キャッシュ操作命令

8.5.1 キャッシュと外部メモリとのコヒーレンシ

(1) キャッシュ操作命令一覧

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。本 LSI ではキャッシュを操作する命令として次の 6 命令をサポートしています。各命令の詳細は「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

- オペランドキャッシュインバリデイト命令：OCBI @Rn
オペランドキャッシュの無効化（書き戻しなし）
- オペランドキャッシュバージ命令：OCBP @Rn
オペランドキャッシュの無効化（書き戻しあり）
- オペランドキャッシュライトバック命令：OCBWB @Rn
オペランドキャッシュの書き戻し
- オペランドキャッシュアロケート命令：MOVCA.L R0,@Rn
オペランドキャッシュの確保
- 命令キャッシュインバリデイト命令：ICBI @Rn
命令キャッシュの無効化
- オペランドアクセス同期命令：SYNCO
データ転送の完了待ち

(2) コヒーレンシ制御

オペランドキャッシュのコヒーレンシ制御のために、SuperHyway バスからの PURGE および FLUSH トランザクションを受け付けることが可能です。PURGE/FLUSH トランザクションで与えられるアドレスは物理アドレスです。そのため MMU がイネーブルの場合、キャッシュシノニム問題を回避するため、1K バイトのページサイズを使用しないでください。

- PURGE トランザクション
オペランドキャッシュがイネーブルのとき、オペランドキャッシュを検索し、ヒットしたエントリを無効化します。無効化されるラインがダーティであれば外部メモリへ書き戻しを行います。ミスした場合にはノーオペレーションです。
- FLUSH トランザクション
オペランドキャッシュがイネーブルのとき、オペランドキャッシュを検索し、ヒットしたエントリがあり、かつダーティであれば外部メモリへ書き戻しを行います。ヒットしたエントリの無効化は行いません。ミスした場合またはヒットしたエントリがダーティでなかった場合にはノーオペレーションです。

(3) コヒーレンシ制御に関連した命令仕様変更

オペランドキャッシュ操作命令のうち、OCBI、OCBP、OCBWB のコヒーレンシ制御に関連した仕様が、プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A から変更になっています。

1. インバリデイト命令 : OCBI@Rnの変更点

Rnが指し示すアドレスが非キャッシュ領域の場合、プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A では本命令は NOP として動作しましたが、本 LSI では、Rn[31:24] が HF4 (OC アドレスアレイ領域) の場合のみ、ウェイ = Rn[14:13]、エントリ = Rn[12:5] で示されるオペランドキャッシュラインを無効化します。このとき無効化されるラインがダーティであっても書き戻しは行いません。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。また、TLB 関連例外は発生しません。

Rn[31:24] が HF4 以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびそのリザーブ領域 (HF0 ~ HF3、HF5 ~ H'FF) への本命令の実行は行わないでください。

2. パージ命令 : OCBP @Rnの変更点

Rnが指し示すアドレスが非キャッシュ領域の場合、プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A では本命令は NOP として動作しましたが、本 LSI では、Rn[31:24] が HF4 (OC アドレスアレイ領域) の場合のみ、ウェイ = Rn[14:13]、エントリ = Rn[12:5] で示されるオペランドキャッシュラインを無効化します。このとき無効化されるラインがダーティであれば書き戻しを行います。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。また、TLB 関連例外は発生しません。

Rn[31:24] が HF4 以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびそのリザーブ領域 (HF0 ~ HF3、HF5 ~ H'FF) への本命令の実行は行わないでください。

3. ライトバック命令 : OCBWB @Rnの変更点

Rnが指し示すアドレスが非キャッシュ領域の場合、プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A では本命令は NOP として動作しましたが、本 LSI では、Rn[31:24] が HF4 (OC アドレスアレイ領域) の場合のみ、ウェイ = Rn[14:13]、エントリ = Rn[12:5] で示されるオペランドキャッシュラインがダーティであれば書き戻しを行い、ダーティビットを 0 の状態にします。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。また、TLB 関連例外は発生しません。

Rn[31:24] が HF4 以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびそのリザーブ領域 (HF0 ~ HF3、HF5 ~ H'FF) への本命令の実行は行わないでください。

8.5.2 プリフェッチ動作

キャッシュミスにより発生するキャッシュフィルのペナルティを削減するために、本 LSI ではプリフェッチ命令をサポートしています。読み出し動作、書き込み動作によりキャッシュミスの発生することがわかっていた場合、プリフェッチ命令によりあらかじめキャッシュヘデータをフィルしておき、読み出し動作、書き込み動作においてキャッシュミスを発生させないようにできます。これによりソフトウェアの性能が向上します。すでにキャッシュに格納されているデータに対して、プリフェッチ命令を実行したり、プリフェッチしようとしたアドレスが UTLB にミスした場合やプロテクションに違反した場合は、ノーオペレーションとなり例外を発生させません。プリフェッチ命令の詳細は「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

- プリフェッチ命令 (OC) : PREF @Rn
- プリフェッチ命令 (IC) : PREFI @Rn

8.6 メモリ割り付けキャッシュの構成

IC、OCをソフトウェアで管理するために、特権モードのとき、P2領域のプログラムからMOV命令によってICの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P1、P3領域への分岐は、以下の1~3のどれかの方法で行ってください。

1. RTE命令による分岐を実行してください。
2. 任意のアドレス(キャッシング不可領域でもよい)に対して、ICBI命令を実行した後、P0、U0、P1、P3領域への分岐を行ってください。
3. メモリ割り付けICへのアクセスの前に、あらかじめIRMCR.MC=0(初期値)と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、メモリ割り付けICアクセス命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後のSuperHファミリでは保証されない可能性があります。今後のSuperHファミリでの互換性を保証するためには、1または2を用いることを推奨します。

また、特権モードのとき、P1、P2領域のプログラムからMOV命令によってOCの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。IC、OCは仮想アドレス空間のP4領域に割り付けられています。ICのアドレスアレイ/データアレイ、OCのアドレスアレイ/データアレイともにデータアクセスのみ可能でアクセスサイズはロングワード固定です。この領域に対して命令フェッチは行えません。予約ビットには0を設定するようにしてください。予約ビットの読み出し値は不定です。

8.6.1 IC アドレスアレイ

ICのアドレスアレイはP4領域のHF000 0000~HF0FF FFFFに割り付けられています。アドレスアレイのアクセスには32ビットのアドレス部の指定(読み出し/書き込み時)と32ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイトとエントリを指定し、データ部には書き込みタグとVビットを指定します。

アドレス部は[31:24]がICアドレスアレイを示すHF0になっており、[14:13]でウェイト、[12:5]でエントリを指定するようになっています。アドレス部[3]の連想ビット(Aビット)はICアドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は0を指定してください。

データ部は[31:10]がタグを、[0]がVビットを示します。ICアドレスアレイのタグは19ビットのためデータ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

ICアドレスアレイに対しては次の3種類の操作が可能です。

(1) IC アドレスアレイ 読み出し

アドレス部に設定されたウェイトとエントリに対応するICエントリから、データ部へタグとVビットを読み出します。読み出す場合アドレス部に指定される連想ビットは1でも0でも連想動作は行いません。

(2) IC アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたウェイとエントリに対応するICエントリに対して、データ部で指定されたタグとVビットを書き込みます。アドレス部のAビットは0にしてください。

(3) IC アドレスアレイ 書き込み (連想あり)

アドレス部のAビットが1で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。アドレス部[14:13]のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをITLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したVビットをICのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はICの特定のエントリの無効化に用いられます。アドレス変換の際にITLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

【注】 本機能は今後の SuperH ファミリではサポートされない可能性があります。ITLB ミスハンドリングや命令 TLB ミス例外の通知を行い、確実に IC の操作が可能な ICBI 命令の使用を推奨します。

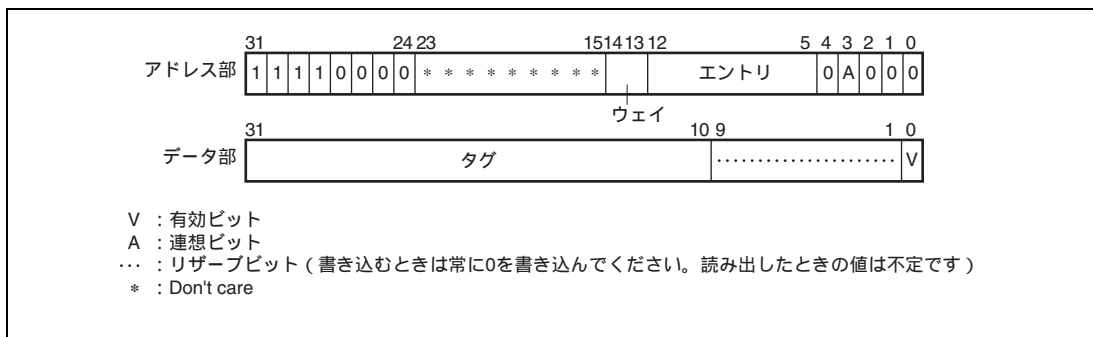


図 8.5 メモリ割り付け IC アドレスアレイ

8.6.2 IC データアレイ

IC のデータアレイは P4 領域の H'F100 0000 ~ H'F1FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が IC データアレイを示す H'F1 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

IC データアレイに対しては次の 2 種類の操作が可能です。

(1) IC データアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(2) IC データアレイ 書き込み

アドレス部に設定されたウェイとエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。

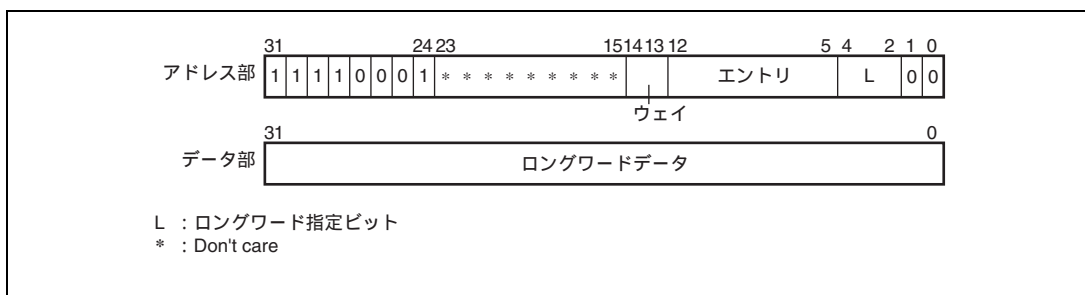


図 8.6 メモリ割り付け IC データアレイ

8.6.3 OC アドレスアレイ

OC のアドレスアレイは P4 領域の H'F400 0000 ~ H'F4FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグと U ビットと V ビットを指定します。

アドレス部は[31:24]が OC アドレスアレイを示す H'F4 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[3]の連想ビット（A ビット）は OC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定ですのでアドレス部[1:0]は 0 を指定してください。

データ部は[31:10]がタグを、[1]が U ビットを、[0]が V ビットを示します。OC アドレスアレイのタグは 19 ビットのため、データ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

OC アドレスアレイに対しては次の 3 種類の操作が可能です。

(1) OC アドレスアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応する OC エントリから、データ部へタグと U ビットと V ビットを読み出します。読み出す場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

(2) OC アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたウェイとエントリに対応するOCエントリに対して、データ部で指定されたタグとUビットとVビットを書き込みます。アドレス部のAビットは0にしてください。

書き込みをUビットが1、Vビットが1のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データ部で指定されたタグとUビットとVビットを書き込みます。

(3) OC アドレスアレイ 書き込み (連想あり)

アドレス部のAビットが1で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。ビット[14:13]のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをUTLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したUビットとVビットをOCのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はOCの特定のエントリの無効化に用いられます。このときOCのエントリのUビットが1で、Vビットに0もしくはUビットに0を書き込んだ場合、書き戻しが発生します。アドレス変換の際にUTLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

【注】 本機能は今後の SuperH ファミリーではサポートされない可能性があります。データ TLB ミス例外の通知を行い、確実に OC の操作が可能な OCBI/OCBP/OCBWB 命令の使用を推奨します。

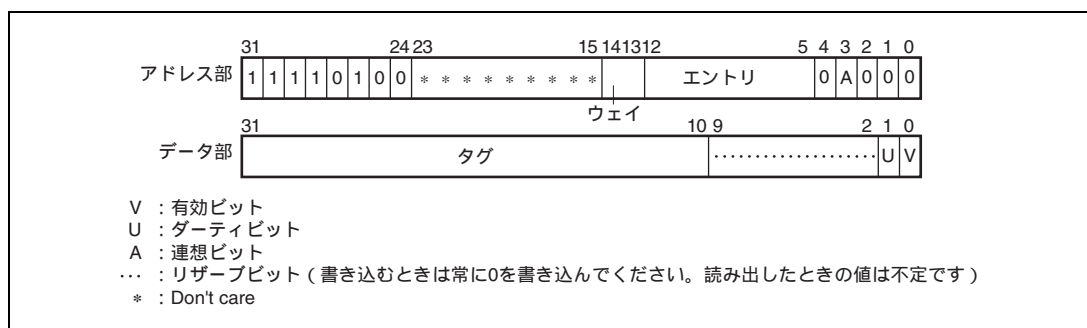


図 8.7 メモリ割り付け OC アドレスアレイ (キャッシュサイズ=32K バイト)

8.6.4 OC データアレイ

OC のデータアレイは P4 領域の HF500 0000 ~ HF5FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が OC データアレイを示す HF5 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

OC データアレイに対しては次の 2 種類の操作が可能です。

(1) OC データアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応する OC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(2) OC データアレイ 書き込み

アドレス部に設定されたウェイとエントリに対応する OC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。この書き込みによりアドレスアレイ側の U ビットは 1 になりません。

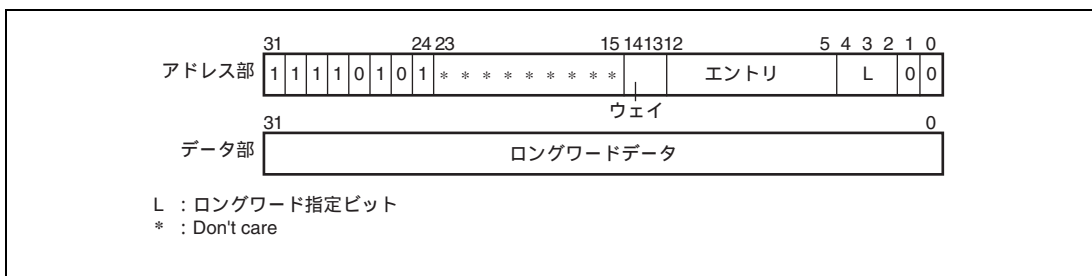


図 8.8 メモリ割り付け OC データアレイ

8.6.5 メモリ割り付け連想ライトの動作

IC アドレスアレイ、OC アドレスアレイへの連想あり書き込みは、今後の SuperH ファミリーではサポートされない可能性があります。ITLB ミスハンドリング、命令 TLB ミス例外の通知やデータ TLB ミス例外の通知を行い、確実に IC または OC の操作が可能な ICBI、OCBI、OCBP、OCBWB 命令の使用を推奨します。SH-4A では過渡的な措置として本機能を利用した場合にアドレスエラーを発生します。従来製品との互換性を重視する場合には EXPMASK レジスタ (HFF2F 0004) の MMCAW ビットを 1 とすることで本機能を利用することが可能ですが、今後の SuperH ファミリーでの互換性を保証するためには、ICBI、OCBI、OCBP、OCBWB 命令を使用してください。

8.7 ストアキュー

本 LSI では、外部メモリへの高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。

8.7.1 SQ の構成

SQ は図 8.9 に示すとおり、32 バイトの SQ0 と 32 バイトの SQ1 から成り立っています。SQ0、SQ1 はそれぞれ独立に設定することが可能です。

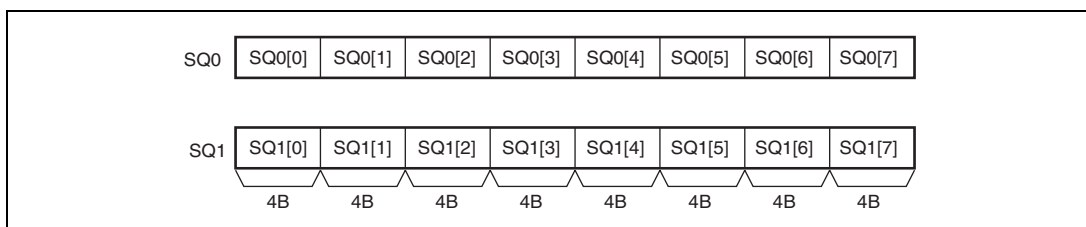


図 8.9 ストアキューの構成

8.7.2 SQ への書き込み

SQ への書き込みは P4 領域の H'E000 0000 ~ H'E3FF FFFC に対するストア命令で行うことができます。アクセスサイズはロングワード、もしくはクワッドワードが可能です。このアドレスは以下の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: Don't care	: 外部メモリへの転送・アクセス権で使用
[5]	: 0/1	: 0:SQ0 指定 1:SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

8.7.3 外部メモリへの転送

SQ から外部メモリへの転送は、プリフェッチ命令(PREF)により行えます。PREF 命令を P4 領域の H'E000 0000 ~ H'E3FF FFFF に対して発行することにより、SQ から外部メモリへの転送が開始します。転送は 32 バイト固定で、開始アドレスは必ず 32 バイト境界となります。一方の SQ を外部メモリへ転送中に、もう一方の SQ への書き込みはペナルティサイクルなしに行えますが、外部メモリへ転送中の SQ への書き込みは外部メモリへの転送が完了するまで待たされます。

SQ の転送先の物理アドレス[28:0]は MMU イネーブル/ディスエーブルにより次のように指定します。

(1) MMU イネーブル (MMUCR.AT = 1) の場合

UTLBのVPNにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を、PPNに転送先の物理アドレスを設定します。ASID、V、SZ、SH、PR、Dビットは通常のアドレス変換と同様の意味を持ちますが、C、WTビットはこのページに関しては意味を持ちません。

SQ領域へのプリフェッチ命令が発行されると、アドレス変換を行い、SZビットの指定に従い物理アドレス [28:10]を生成します。物理アドレスの[9:5]についてはMMUディスエーブルと同様にアドレス変換前のアドレスから生成します。物理アドレスの[4:0]は0固定です。SQから外部メモリへの転送はこのアドレスに対して行われます。

(2) MMU ディスエーブル (MMUCR.AT = 0) の場合

PREF命令を発行するアドレスにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を指定します。このアドレス[31:0]は次の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: アドレス	: 転送先物理アドレス[25:6]
[5]	: 0/1	: 0:SQ0指定 1:SQ1指定 かつ 転送先物理アドレス[5]
[4:2]	: Don't care	: プリフェッチのときは意味を持たない。
[1:0]	: 00	: 0固定

上記のアドレスから生成できない物理アドレス[28:26]は、QACR0、QACR1から生成します。

QACR0[4:2] : SQ0に対する物理アドレス[28:26]

QACR1[4:2] : SQ1に対する物理アドレス[28:26]

物理アドレスの[4:0]は、バースト転送の開始が32バイト境界のため常に0固定となります。

8.7.4 SQ アクセスの例外判定

SQ への書き込みおよび外部メモリへの転送 (PREF 命令) の例外判定は MMU イネーブル / ディスエーブルにより次のように行われます。なお、SQ への書き込みで例外が発生した場合、SQ の内容は元の値が保証されます。SQ から外部メモリへの転送で例外が発生した場合、外部メモリへの転送は抑止されます。

(1) MMU イネーブル (MMUCR.AT=1) の場合

UTLBに登録されたアドレス変換情報とSQMDビットに従います。SQへの書き込みはライトタイプ、SQから外部メモリへの転送 (PREF命令) はリードタイプとして例外判定が行われ、TLBミス例外、保護違反例外が発生します。ただし、SQMDビットによりSQへのアクセスを特権モードのみ許可している場合、ユーザモードでアドレス変換に成功してもアドレスエラーとなります。

(2) MMU ディスエーブル (MMUCR.AT=0) の場合

SQMDビットに従います。

0 : 特権 / ユーザアクセス可能

1 : 特権アクセス可能

SQMDビットが1のときに、ユーザモードでSQ領域をアクセスするとアドレスエラーが発生します。

8.7.5 SQ からの読み出し

本 LSI では、特権モードのとき、SQ からの読み出しを P4 領域の H'FF00 1000 ~ H'FF00 103C に対するロード命令で行うことができます。アクセスサイズはロングワードでのみアクセス可能です。

[31:6]	: H'FF00 1000	: ストアキュー指定
[5]	: 0/1	: 0 : SQ0 指定、1 : SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

8.8 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードでは、本章ですでに述べた事項が以下のように拡張されます。

- IC および OC のタグが [28:10] の 19 ビットから、[31:10] の 22 ビットに拡張されます。
- IC を操作する命令 (メモリ割り付け IC アクセスおよび CCR.ICI 書き込み) を配置する領域は、P1 または P2 領域とし、PMB の当該エントリのキャッシング可能ビット (C ビット) を 0 にしてください。
- QACR0 レジスタの AREA0 ビットおよび QACR1 レジスタの AREA1 ビットがそれぞれ [4:2] の 3 ビットから [7:2] の 6 ビットに拡張されます。

9. 内蔵メモリ

SH-4A は OL メモリ、IL メモリモジュールの 2 種類のメモリを内蔵しており、命令やデータを格納することができます。OL メモリはデータの格納に適しており、IL メモリは命令の格納に適しています。

9.1 特長

(1) OL メモリ

- 容量：
OLメモリの容量は、16Kバイトです。
- ページ：
OLメモリは2ページ（ページ0およびページ1）に分かれています。
- メモリマップ：
OLメモリは、仮想アドレス空間、物理アドレス空間とも、表9.1に示されるアドレスに配置されています。

表 9.1 OL メモリアドレス

アドレス空間	ページ		メモリアドレス
仮想アドレス空間	ページ 0		H'E500 E000 ~ H'E500 FFFF
	ページ 1		H'E501 0000 ~ H'E501 1FFF
物理アドレス空間	CPU0	ページ 0	H'1400 E000 ~ H'1400 FFFF
		ページ 1	H'1401 0000 ~ H'1401 1FFF
	CPU1	ページ 0	H'1480 E000 ~ H'1480 FFFF
		ページ 1	H'1481 0000 ~ H'1481 1FFF

- ポート：
各ページは3本の独立した読み出し / 書き込みポートを持ち、SuperHywayバス、キャッシュ・RAM内蔵バス、オペランドバスと接続されています。オペランドアクセスにはオペランドバスが、命令フェッチにはキャッシュ・RAM内蔵バスが、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスがそれぞれ使用されます。
- 優先順位：
同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にSuperHywayバス、キャッシュ・RAM内蔵バス、オペランドバス、となります。

(2) ILメモリ

- 容量 :
ILメモリの容量は、8Kバイトです。
- ページ :
ILメモリは2ページ (ページ0、ページ1) に分かれています。
- メモリマップ :
ILメモリは、仮想アドレス空間、物理アドレス空間ともに、表9.2に示されるアドレスに配置されています。

表 9.2 ILメモリアドレス

アドレス空間		メモリアドレス
仮想アドレス空間	ページ0	H'E520 0000 ~ H'E520 0FFF
	ページ1	H'E520 1000 ~ H'E520 1FFF
物理アドレス空間	CPU0	H'1420 0000 ~ H'1420 1FFF
	CPU1	H'14A0 0000 ~ H'14A0 1FFF

- ポート :
3本の独立した読み出し/書き込みポートを持ち、SuperHywayバス、キャッシュ・RAM内蔵バス、および命令バスと接続されています。命令フェッチには命令バスが、オペランドアクセスにはキャッシュ・RAM内蔵バスが、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスがそれぞれ使用されます。
- 優先順位 :
同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にSuperHywayバス、キャッシュ・RAM内蔵バス、命令バスとなります。

9.2 レジスタの説明

内蔵メモリに関するレジスタは以下のとおりです。

表 9.3 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	サイズ
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32
OL メモリ転送元アドレスレジスタ0	LSA0	R/W	H'FF00 0050	H'1F00 0050	32
OL メモリ転送元アドレスレジスタ1	LSA1	R/W	H'FF00 0054	H'1F00 0054	32
OL メモリ転送先アドレスレジスタ0	LDA0	R/W	H'FF00 0058	H'1F00 0058	32
OL メモリ転送先アドレスレジスタ1	LDA1	R/W	H'FF00 005C	H'1F00 005C	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

表 9.4 各処理状態におけるレジスタの状態

名称	略称	パワーオンリセット	マニュアルリセット	スリープ/ライトスリープ
内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	H'0000 0000	保持
OL メモリ転送元アドレスレジスタ0	LSA0	不定	不定	保持
OL メモリ転送元アドレスレジスタ1	LSA1	不定	不定	保持
OL メモリ転送先アドレスレジスタ0	LDA0	不定	不定	保持
OL メモリ転送先アドレスレジスタ1	LDA1	不定	不定	保持

9.2.1 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は内蔵メモリの保護機能の制御を行います。

ビット名:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット名:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RMD	RP	IC2W	OC2W	ICWPD	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	RMD	0	R/W	内蔵メモリアクセスモードビット 仮想アドレス空間からの内蔵メモリへのアクセス権を指定します。 0: 特権アクセスが可能 (ユーザアクセスの場合はアドレスエラー例外) 1: ユーザ / 特権アクセスが可能
8	RP	0	R/W	内蔵メモリ保護有効ビット 仮想アドレス空間からの内蔵メモリへのアクセスに対して、ITLB、UTLBを用いた保護機能の使用を選択します。 0: 保護機能を使用しない 1: 保護機能を使用する 詳細は「9.4 内蔵メモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC2ウェイモードビット 詳細は「8.4.3 IC2ウェイモード」を参照してください。
6	OC2W	0	R/W	OC2ウェイモードビット 詳細は「8.3.6 OC2ウェイモード」を参照してください。
5	ICWPD	0	R/W	ICウェイ予測抑止ビット 詳細は「8.4.4 命令キャッシュウェイ予測」を参照してください。
4~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

9.2.2 OL メモリ転送元アドレスレジスタ 0 (LSA0)

LSA0 は、MMUCR.AT=0 または RAMCR.RP=0 のときに、OL メモリページ 0 へのブロック転送において、転送元の物理アドレスを指定します。

ビット名 :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	LOSADR												
初期値 :	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット名 :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOSADR						—	—	—	—	LOSSZ					
初期値 :	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~10	LOSADR	不定	R/W	OL メモリページ 0 ブロック転送元アドレス MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 0 に対するブロック転送の転送元となる物理アドレスを指定します。
9~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	LOSSZ	不定	R/W	OL メモリページ 0 ブロック転送元アドレス選択ビット MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 0 に対するブロック転送の転送元となる物理アドレスのうちビット 15~10 に関して、オペランドアドレスを使用するか、LOSADR の値を使用するかを選択します。LOSSZ[5:0]が転送元物理アドレスの[15:10]に対応します。 0 : 転送元物理アドレスにオペランドアドレスを使用します。 1 : 転送元物理アドレスに LOSADR の値を使用します。 • 設定可能な値 111111 転送元の物理アドレスを 1K バイト単位で設定する場合 111110 転送元の物理アドレスを 2K バイト単位で設定する場合 111100 転送元の物理アドレスを 4K バイト単位で設定する場合 111000 転送元の物理アドレスを 8K バイト単位で設定する場合 110000 転送元の物理アドレスを 16K バイト単位で設定する場合 100000 転送元の物理アドレスを 32K バイト単位で設定する場合 000000 転送元の物理アドレスを 64K バイト単位で設定する場合 上記以外は設定禁止です。

9.2.3 OL メモリ転送元アドレスレジスタ 1 (LSA1)

LSA1 は、MMUCR.AT=0 または RAMCR.RP=0 のときに、OL メモリページ 1 へのブロック転送において、転送元の物理アドレスを指定します。

ビット名:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	L1SADR												
初期値:	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット名:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L1SADR						—	—	—	—	L1SSZ					
初期値:	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~10	L1SADR	不定	R/W	OL メモリページ 1 ブロック転送元アドレス MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 1 に対するブロック転送の転送元となる物理アドレスを指定します。
9~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	L1SSZ	不定	R/W	OL メモリページ 1 ブロック転送元アドレス選択ビット MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 1 に対するブロック転送の転送元となる物理アドレスのうちビット 15~10 に関して、オペランドアドレスを使用するか、L1SADR の値を使用するかを選択します。L1SSZ[5:0]が転送元物理アドレスの[15:10]に対応します。 0: 転送元物理アドレスにオペランドアドレスを使用します。 1: 転送元物理アドレスに L1SADR の値を使用します。 • 設定可能な値 111111 転送元の物理アドレスを 1K バイト単位で設定する場合 111110 転送元の物理アドレスを 2K バイト単位で設定する場合 111100 転送元の物理アドレスを 4K バイト単位で設定する場合 111000 転送元の物理アドレスを 8K バイト単位で設定する場合 110000 転送元の物理アドレスを 16K バイト単位で設定する場合 100000 転送元の物理アドレスを 32K バイト単位で設定する場合 000000 転送元の物理アドレスを 64K バイト単位で設定する場合 上記以外は設定禁止です。

9.2.4 OL メモリ転送先アドレスレジスタ 0 (LDA0)

LDA0 は、MMUCR.AT=0 または RAMCR.RP=0 のときに、OL メモリページ 0 へのブロック転送において、転送先の物理アドレスを指定します。

ビット名 :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	LODADR												
初期値 :	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット名 :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LODADR						—	—	—	—	LODSZ					
初期値 :	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~10	LODADR	不定	R/W	OL メモリページ 0 ブロック転送先アドレス MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 0 に対するブロック転送の転送先となる物理アドレスを指定します。
9~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	LODSZ	不定	R/W	OL メモリページ 0 ブロック転送先アドレス選択ビット MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 0 に対するブロック転送の転送先となる物理アドレスのうちビット 15~10 に関して、オペランドアドレスを使用するか、LODADR の値を使用するかを選択します。LODSZ[5:0]が転送先物理アドレスの[15:10]に対応します。 0 : 転送先物理アドレスにオペランドアドレスを使用します。 1 : 転送先物理アドレスに LODADR の値を使用します。 • 設定可能な値 111111 転送先の物理アドレスを 1K バイト単位で設定する場合 111110 転送先の物理アドレスを 2K バイト単位で設定する場合 111100 転送先の物理アドレスを 4K バイト単位で設定する場合 111000 転送先の物理アドレスを 8K バイト単位で設定する場合 110000 転送先の物理アドレスを 16K バイト単位で設定する場合 100000 転送先の物理アドレスを 32K バイト単位で設定する場合 000000 転送先の物理アドレスを 64K バイト単位で設定する場合 上記以外は設定禁止です。

9.2.5 OL メモリ転送先アドレスレジスタ 1 (LDA1)

LDA1 は、MMUCR.AT=0 または RAMCR.RP=0 のときに、OL メモリページ 1 へのブロック転送において、転送先の物理アドレスを指定します。

ビット名 :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	L1DADR												
初期値 :	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット名 :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L1DADR						—	—	—	—	L1DSZ					
初期値 :	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~10	L1DADR	不定	R/W	OL メモリページ 1 ブロック転送先アドレス MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 1 に対するブロック転送の転送先となる物理アドレスを指定します。
9~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	L1DSZ	不定	R/W	OL メモリページ 1 ブロック転送先アドレス選択ビット MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 1 に対するブロック転送の転送先となる物理アドレスのうちビット 15~10 に関して、オペランドアドレスを使用するか、L1DADR の値を使用するかを選択します。L1DSZ[5:0]が転送先物理アドレスの[15:10]に対応します。 0:転送先物理アドレスにオペランドアドレスを使用します。 1:転送先物理アドレスに L1DADR の値を使用します。 • 設定可能な値 111111 転送先の物理アドレスを 1K バイト単位で設定する場合 111110 転送先の物理アドレスを 2K バイト単位で設定する場合 111100 転送先の物理アドレスを 4K バイト単位で設定する場合 111000 転送先の物理アドレスを 8K バイト単位で設定する場合 110000 転送先の物理アドレスを 16K バイト単位で設定する場合 100000 転送先の物理アドレスを 32K バイト単位で設定する場合 000000 転送先の物理アドレスを 64K バイト単位で設定する場合 上記以外は設定禁止です。

9.3 動作説明

9.3.1 CPU からの命令フェッチアクセス

(1) OL メモリ

CPU からの命令フェッチアクセスは、キャッシュ・RAM 内蔵バスからアクセスを行います。アクセスには複数サイクルかかります。

(2) IL メモリ

CPU からの命令フェッチアクセスは、仮想アドレスにより命令バスから直接アクセスを行います。命令バスからのアクセスは、IL メモリの同じページに連続してアクセスする場合、かつ競合が発生しない場合に 1 サイクルアクセスになります。

9.3.2 CPU からのオペランドアクセスおよび FPU からのアクセス

【注】 PC 相対 (@ (disp,PC)) によるオペランドアクセスが可能です。

(1) OL メモリ

CPU および FPU からのアクセスは仮想アドレスにより、オペランドバスから行います。オペランドバスからの仮想アドレスによるリードアクセスは、OL メモリの同じページへ連続してアクセスした場合、かつページ競合が発生しない場合に 1 サイクルアクセスになります。オペランドバスからの仮想アドレスによるライトアクセスはページ競合が発生しない場合に 1 サイクルアクセスになります。

(2) IL メモリ

CPU からのオペランドアクセスおよび FPU からのアクセスは、キャッシュ・RAM 内蔵バスからアクセスを行います。キャッシュ・RAM 内蔵バスからのアクセスは複数サイクルかかります。

9.3.3 SuperHyway バスマスタモジュールからのアクセス

DMAC などの SuperHyway バスマスタモジュールからの内蔵メモリへのアクセスは、物理アドレスバスである SuperHyway バスからのアクセスとなりますが、仮想アドレスと同じアドレスを使用してください。

9.3.4 OL メモリブロック転送

OL メモリと外部メモリの間で、キャッシュを介さずに、ブロック転送により高速にデータ転送を行うことができます。

外部メモリから OL メモリへの転送は、プリフェッチ命令 (PREF) により行えます。PREF 命令を仮想アドレス空間の OL メモリ領域のアドレスに対して発行することにより、外部メモリから OL メモリへのブロック転送が開始されます。

OL メモリから外部メモリへの転送は、ライトバック命令 (OCBWB) により行えます。OCBWB 命令を仮想アドレス空間の OL メモリ領域のアドレスに対して発行することにより、OL メモリから外部メモリへのブロック転送が開始されます。

いずれの転送も転送サイズは 32 バイト固定で、開始アドレスは必ず 32 バイト境界となるため、レジスタ Rn により指示されるアドレスの下位 5 ビットは無視され、常にすべて 0 として扱われます。またいずれの場合もブロック転送中に他のページやキャッシュに対するアクセスが可能ですが、転送中のページにアクセスした場合、転送が終了するまで CPU はストールします。

OL メモリと転送を行う外部メモリの物理アドレス[28:0]は MMU イネーブル/ディスエーブルにより次のように指定します。

(1) MMU イネーブル (MMUCR.AT = 1) かつ RAMCR.RP = 1 の場合

UTLB の VPN フィールドに OL メモリ領域のアドレスを、PPN フィールドに転送元 (PREF 命令の場合) または転送先 (OCBWB 命令の場合) の物理アドレスを設定します。ASID、V、SZ、SH、PR、D ビットは通常のアドレス変換と同様の意味を持ちますが、C、WT ビットはこのページに関しては意味を持ちません。

OL メモリ領域への PREF 命令が発行されると、アドレス変換を行い、SZ ビットの指定に従い物理アドレス [28:10] を生成します。物理アドレスの [9:5] についてはアドレス変換前の仮想アドレスから生成します。物理アドレスの [4:0] は 0 固定です。この物理アドレスで指定される外部メモリから OL メモリへブロック転送が行われます。

OL メモリ領域への OCBWB 命令が発行されると、アドレス変換を行い、SZ ビットの指定に従い物理アドレス [28:10] を生成します。物理アドレスの [9:5] についてはアドレス変換前の仮想アドレスから生成します。物理アドレスの [4:0] は 0 固定です。OL メモリからこの物理アドレスで指定される外部メモリへブロック転送が行われます。

PREF 命令、OCBWB 命令はリードタイプとして MMU 例外の判定が行われ、必要に応じて TLB ミス例外、保護違反例外が発生します。例外が発生した場合、ブロック転送は抑止されます。

(2) MMU ディスエーブル (MMUCR.AT = 0) または RAMCR.RP = 0 の場合

L0SA0 レジスタの L0SADR ビットに OL メモリページ 0A、0B へのブロック転送の転送元となる物理アドレスを設定し、L0SSZ ビットに、転送元の物理アドレスのビット 15~10 として PREF 命令で指定された仮想アドレスを使用するか、L0SADR の値を使用するかをソフトウェアにより設定します。すなわち転送元の領域を 1K バイト~64K バイト単位で設定可能です。

L0DA0 レジスタの L0DADR ビットに OL メモリページ 0A、0B からのブロック転送の転送先となる物理アドレスを設定し、L0DSZ ビットに、転送先の物理アドレスのビット 15~10 として OCBWB 命令で指定された仮想アドレスを使用するか、L0DADR の値を使用するかをソフトウェアにより設定します。すなわち転送先の領域を 1K バイト~64K バイト単位で設定可能です。

OL メモリページ 1A、1B に対するブロック転送の設定も、ページ 0A、0B と同様に LSA1 および LDA1 に対して行います。

OL メモリ領域への PREF 命令が発行されると、LSA0 レジスタまたは LSA1 レジスタの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]については仮想アドレスから生成します。物理アドレスの[4:0]は 0 固定です。この物理アドレスで指定される外部メモリから OL メモリへブロック転送が行われます。

OL メモリ領域への OCBWB 命令が発行されると、LDA0 レジスタまたは LDA1 レジスタの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]については仮想アドレスから生成します。物理アドレスの[4:0]は 0 固定です。OL メモリからこの物理アドレスで指定される外部メモリへブロック転送が行われます。

9.4 内蔵メモリの保護機能

本 LSI では、内蔵メモリに対して、内蔵メモリ制御レジスタ RAMCR の内蔵メモリアクセスモードビット(RMD)と内蔵メモリ保護有効ビット(RP)を使用して以下の保護機能を実現します。

- CPUおよびFPUからのアクセスに対する保護機能

RAMCR.RMD = 0のとき、ユーザモードでの内蔵メモリ領域へのアクセスをアドレスエラー例外と判定しません。

またMMUCR.AT = 1かつRAMCR.RP = 1のときは、アドレスエラー例外の判定に加えて、P4領域の一部である内蔵メモリ領域もP0/P3/U0領域と同じようにMMU例外の判定を行います。

以上を表9.5にまとめます。

表 9.5 内蔵メモリへのアクセスに対する保護機能による例外

MMUCR.AT	RAMCR.RP	SR.MD	RAMCR.RMD	必ず発生する例外	起こり得る例外	
0	x	0	0	アドレスエラー例外	-	
			1	-	-	
		1	x	-	-	
1	0	0	0	アドレスエラー例外	-	
			1	-	-	
		1	x	-	-	
	1	0	0	0	アドレスエラー例外	-
				1	-	MMU 例外
			1	x	-	MMU 例外

【記号説明】 x : Don't care

9.5 使用上の注意事項

9.5.1 ページ競合

同じページに対して異なるバスから同時にアクセス要求が発生した場合は、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアクセスの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば各バスごとに異なるページをアクセスすると競合は発生しません。

9.5.2 ページの切り替わり

(1) OL メモリ

オペランドバスからのリードアクセスでは、連続して同じページをアクセスする場合は1サイクルアクセスになりますが、ページをまたぐ場合およびアクセスがOLメモリ以外からOLメモリに切り替わる場合には複数サイクル(最大2サイクルウェイト)かかります。したがって、性能最適化の観点からは、オペランドバスからのリードアクセスアドレスが属するページが頻繁に切り替わることを避けるようにソフトウェアが配慮することを推奨します。

(2) IL メモリ

命令バスからのアクセスでは、連続して同じページをアクセスする場合は1サイクルアクセスになりますが、ページをまたぐ場合およびアクセスがILメモリ以外からILメモリに切り替わる場合には複数サイクル(最大2サイクルウェイト)かかります。したがって、性能最適化の観点からは、命令バスからのアクセスはページが頻繁に切り替わることを避けるようにソフトウェアが配慮することを推奨します。例えばページ毎に独立したプログラムを配置すると効率がよくなります。

9.5.3 内蔵メモリのコヒーレンシ

(1) OL メモリ

OLメモリに命令を配置する場合、OLメモリに命令を書き込んだ後、以下のシーケンスを実行してから書き換え後の命令への分岐を行ってください。

- SYNCO
- ICBI @Rn

この場合、ICBI命令の対象はアドレスエラー例外にならない範囲で任意のアドレスでよく(OLメモリのアドレスでもよい)、キャッシュヒット/ミスどちらでも構いません。

(2) IL メモリ

IL メモリに命令を配置する場合、IL メモリに命令を書き込んだ後、以下のシーケンスを実行してから書き換え後の命令への分岐を行ってください。

- SYNCO
- ICBI @Rn

この場合、ICBI 命令の対象はアドレスエラー例外にならない範囲で任意のアドレスでよく (IL メモリのアドレスでもよい)、キャッシュヒット/ミスどちらでも構いません。

9.5.4 スリープモード

(1) OL メモリ、IL メモリ

スリープモード中は、DMAC などの SuperHyway バスマスタモジュールから OL メモリあるいは IL メモリへのアクセスは行えません。

9.6 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードでは、LSA0 レジスタの L0SADR ビット、LSA1 レジスタの L1SADR ビット、LDA0 レジスタの L0DADR ビット、LDA1 レジスタの L1DADR ビットがそれぞれ[28:10]の 19 ビットから[31:10]の 22 ビットに拡張されます。

10. 割り込みコントローラ (INTC)

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU0、CPU1 (SH-4A) への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って割り込み要求を処理します。

10.1 特長

INTC には次のような特長があります。

- 外部割り込みおよび内蔵周辺モジュール割り込みを固定分配モードまたは自動分配モードに設定可能
割り込み分配設定レジスタ0/1および周辺割り込み分配設定レジスタ0~3により、外部割り込みおよび内蔵周辺モジュール割り込みを固定分配モードまたは自動分配モードに設定することができます。
- 外部割り込みの割り込み優先順位を15レベル設定可能
割り込み優先レベル設定レジスタにより、外部割り込みの優先順位を端子別に15レベルまで設定することができます。
- NMIノイズキャンセル
NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外処理ルーチンでこのビットを読み出すことにより端子状態を確認でき、ノイズキャンセラとして使用できます。
- SR.BLビットが1にセットされたときのNMI要求のマスク
SR.BLビットが1にセットされたとき、NMI要求をマスクするかどうかを選択できます。
- SR.IMASKビットを受け付けた割り込みレベルに自動更新可能
- 内蔵周辺モジュール割り込みの優先順位は30レベル設定可能
10本の割り込み優先レベル設定レジスタにより、内蔵周辺モジュール割り込みの優先順位を要求別に30レベルまで設定することができます。
- ユーザモード割り込み禁止機能
ユーザモードで動作中、ユーザ割り込みマスクレベル設定レジスタ (USERIMASK) に割り込みマスクレベルを設定することにより、設定値以下のレベルの割り込みを禁止することができます。

図 10.1 に INTC のブロック図を示します。

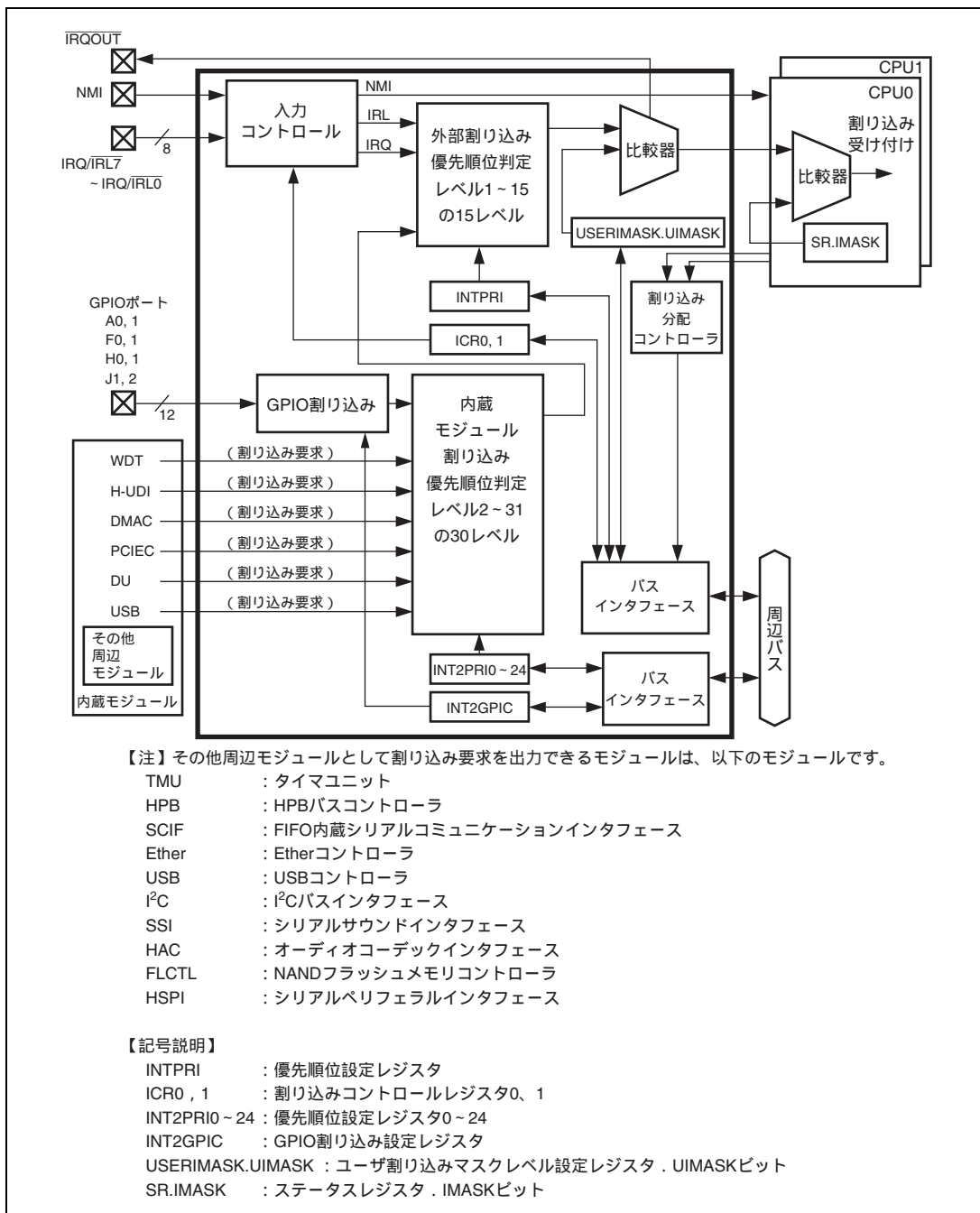


図 10.1 INTC のブロック図

10.1.1 割り込み方式

割り込み発生時の基本的な例外処理の流れは次の様になります。

例外処理では、プログラムカウンタ (PC)、ステータスレジスタ (SR)、汎用レジスタ 15 (R15) の内容がそれぞれ退避プログラムカウンタ (SPC)、退避ステータスレジスタ (SSR)、退避ジェネラルレジスタ 15 (SGR) に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令 (RTE) を実行します。本命令によって、PC と SR の内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGR の内容は RTE 命令では R15 に書き戻されません。

1. PC、SRおよびR15の内容がそれぞれSPC、SSRおよびSGRに退避されます。
2. SRのブロックビット(BL)が1に設定されます。
3. SRのモードビット (MD) が1に設定されます。
4. SRのレジスタバンクビット(RB)が1に設定されます。
5. リセット時、SRのFPUディスエーブルビット (FD) が0に設定されます。
6. 例外コードは割り込み事象レジスタ(INTEVT)のビット13～0に書き込まれます。
7. 割り込み例外処理ルーチンの先頭番地 ベクタベースレジスタ (VBR) + H'600 にジャンプします。
8. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

10.1.2 割り込み要因

割り込み種別の例を表 10.1 に示します。INTC では外部割り込み要因と内蔵周辺モジュール割り込み要因をサポートします。

外部割り込み要因とは、外部端子からの入力による NMI、IRL、IRQ 割り込みのことです。また、本 LSI では IRQ、IRL 割り込み入力は、同一端子に割り付けられているのでシステム形態により使用方法を選択設定します。

IRQ 割り込みでは検出方法としてレベルのほか、立ち上がりエッジ、立ち下がりエッジも選択可能です。

表 10.1 割り込み要因 (1)

要因		端子入力の反転値 (負極性端子) 入力レベル = L: ローレベル H: ハイレベル (表 10.8 参照)	要因数 (最大)	INTEVT	レジスタとの対応					優先 順位
					優先順位 設定 (INTPRI)	マスク/クリア 0、1 (CnINTMSK0、 CnINTMSK1、 CnINTMSKCLR0、 CnINTMSKCLR1)	マスク/クリア 2 (INTMSK2、 INTMSKCLR2)	分配モード設定 (INTDISTR0、 INTDISTR1)	割り込み 要因表示 (INTREQ)	
外部 割り込み	NMI	-	1	H'1C0	-	-	-	-	-	高
	IRL	$\overline{\text{IRL}}[3:0] = \text{LLLL}$ (H'0)	2	H'200	-	MSK1[31] MSKCLR1[31]	MSK2[31] MSKCLR2[31]	DISTR1[31]	-	↑ ↓ 低
		$\overline{\text{IRL}}[7:4] = \text{LLLL}$ (H'0)		H'900	-	MSK1[30] MSKCLR1[30]	MSK2[15] MSKCLR2[15]	DISTR1[30]	-	
		$\overline{\text{IRL}}[3:0] = \text{LLHH}$ (H'1)		H'220	-	MSK1[31] MSKCLR1[31]	MSK2[30] MSKCLR2[30]	DISTR1[31]	-	
		$\overline{\text{IRL}}[7:4] = \text{LLHH}$ (H'1)		H'920	-	MSK1[30] MSKCLR1[30]	MSK2[14] MSKCLR2[14]	DISTR1[30]	-	
		$\overline{\text{IRL}}[3:0] = \text{LLHL}$ (H'2)		H'240	-	MSK1[31] MSKCLR1[31]	MSK2[29] MSKCLR2[29]	DISTR1[31]	-	
		$\overline{\text{IRL}}[7:4] = \text{LLHL}$ (H'2)		H'940	-	MSK1[30] MSKCLR1[30]	MSK2[13] MSKCLR2[13]	DISTR1[30]	-	
		$\overline{\text{IRL}}[3:0] = \text{LLHH}$ (H'3)		H'260	-	MSK1[31] MSKCLR1[31]	MSK2[28] MSKCLR2[28]	DISTR1[31]	-	
		$\overline{\text{IRL}}[7:4] = \text{LLHH}$ (H'3)		H'960	-	MSK1[30] MSKCLR1[30]	MSK2[12] MSKCLR2[12]	DISTR1[30]	-	
		$\overline{\text{IRL}}[3:0] = \text{LHLL}$ (H'4)		H'280	-	MSK1[31] MSKCLR1[31]	MSK2[27] MSKCLR2[27]	DISTR1[31]	-	
		$\overline{\text{IRL}}[7:4] = \text{LHLL}$ (H'4)		H'980	-	MSK1[30] MSKCLR1[30]	MSK2[11] MSKCLR2[11]	DISTR1[30]	-	
		$\overline{\text{IRL}}[3:0] = \text{LHLH}$ (H'5)		H'2A0	-	MSK1[31] MSKCLR1[31]	MSK2[26] MSKCLR2[26]	DISTR1[31]	-	
		$\overline{\text{IRL}}[7:4] = \text{LHLH}$ (H'5)		H'9A0	-	MSK1[30] MSKCLR1[30]	MSK2[10] MSKCLR2[10]	DISTR1[30]	-	
		$\overline{\text{IRL}}[3:0] = \text{LHHL}$ (H'6)		H'2C0	-	MSK1[31] MSKCLR1[31]	MSK2[25] MSKCLR2[25]	DISTR1[31]	-	
		$\overline{\text{IRL}}[7:4] = \text{LHHL}$ (H'6)		H'9C0	-	MSK1[30] MSKCLR1[30]	MSK2[9] MSKCLR2[9]	DISTR1[30]	-	

要因		端子入力の反転値 (負極性端子) 入力レベル = L: ローレベル H: ハイレベル (表 10.8 参照)	要因数 (最大)	INTEVT	レジスタとの対応					優先 順位
					優先順位 設定 (INTPRI)	マスク/クリア 0、1 (CnINTMSK0、 CnINTMSK1、 CnINTMSKCLR0、 CnINTMSKCLR1)	マスク/クリア 2 (INTMSK2、 INTMSKCLR2)	分配モード設定 (INTDISTCR0、 INTDISTCR1)	割り込み 要因表示 (INTREQ)	
外部 割り込み	IRL	$\overline{\text{IRL}}[3:0] = \text{LHHH}$ (H'7)	2	H'2E0	-	MSK1[31] MSKCLR1[31]	MSK2[24] MSKCLR2[24]	DISTCR1[31]	-	高 ↑ ↓ 低
		$\overline{\text{IRL}}[7:4] = \text{LHHH}$ (H'7)		H'9E0	-	MSK1[30] MSKCLR1[30]	MSK2[8] MSKCLR2[8]	DISTCR1[30]	-	
		$\overline{\text{IRL}}[3:0] = \text{HLLL}$ (H'8)		H'300	-	MSK1[31] MSKCLR1[31]	MSK2[23] MSKCLR2[23]	DISTCR1[31]	-	
		$\overline{\text{IRL}}[7:4] = \text{HLLL}$ (H'8)		H'A00	-	MSK1[30] MSKCLR1[30]	MSK2[7] MSKCLR2[7]	DISTCR1[30]	-	
		$\overline{\text{IRL}}[3:0] = \text{HLLH}$ (H'9)		H'320	-	MSK1[31] MSKCLR1[31]	MSK2[22] MSKCLR2[22]	DISTCR1[31]	-	
		$\overline{\text{IRL}}[7:4] = \text{HLLH}$ (H'9)		H'A20	-	MSK1[30] MSKCLR1[30]	MSK2[6] MSKCLR2[6]	DISTCR1[30]	-	
		$\overline{\text{IRL}}[3:0] = \text{HLHL}$ (H'A)		H'340	-	MSK1[31] MSKCLR1[31]	MSK2[21] MSKCLR2[21]	DISTCR1[31]	-	
		$\overline{\text{IRL}}[7:4] = \text{HLHL}$ (H'A)		H'A40	-	MSK1[30] MSKCLR1[30]	MSK2[5] MSKCLR2[5]	DISTCR1[30]	-	
		$\overline{\text{IRL}}[3:0] = \text{HLHH}$ (H'B)		H'360	-	MSK1[31] MSKCLR1[31]	MSK2[20] MSKCLR2[20]	DISTCR1[31]	-	
		$\overline{\text{IRL}}[7:4] = \text{HLHH}$ (H'B)		H'A60	-	MSK1[30] MSKCLR1[30]	MSK2[4] MSKCLR2[4]	DISTCR1[30]	-	
		$\overline{\text{IRL}}[3:0] = \text{HLLL}$ (H'C)		H'380	-	MSK1[31] MSKCLR1[31]	MSK2[19] MSKCLR2[19]	DISTCR1[31]	-	
		$\overline{\text{IRL}}[7:4] = \text{HLLL}$ (H'C)		H'A80	-	MSK1[30] MSKCLR1[30]	MSK2[3] MSKCLR2[3]	DISTCR1[30]	-	
		$\overline{\text{IRL}}[3:0] = \text{HHLH}$ (H'D)		H'3A0	-	MSK1[31] MSKCLR1[31]	MSK2[18] MSKCLR2[18]	DISTCR1[31]	-	
		$\overline{\text{IRL}}[7:4] = \text{HHLH}$ (H'D)		H'AA0	-	MSK1[30] MSKCLR1[30]	MSK2[2] MSKCLR2[2]	DISTCR1[30]	-	
		$\overline{\text{IRL}}[3:0] = \text{HHHL}$ (H'E)		H'3C0	-	MSK1[31] MSKCLR1[31]	MSK2[17] MSKCLR2[17]	DISTCR1[31]	-	
		$\overline{\text{IRL}}[7:4] = \text{HHHL}$ (H'E)		H'AC0	-	MSK1[30] MSKCLR1[30]	MSK2[1] MSKCLR2[1]	DISTCR1[30]	-	

要 因		端子入力の反転値 (負極性端子) 入力レベル = L : ローレベル H : ハイレベル (表 10.8 参照)	要因数 (最大)	INTEVT	レジスタとの対応				優先 順位	
					優先順位 設定 (INTPRI)	マスク/クリア 0、1 (CnINTMSK0、 CnINTMSK1、 CnINTMSKCLR0、 CnINTMSKCLR1)	マスク/クリア 2 (INTMSK2、 INTMSKCLR2)	分配モード設定 (INTDISTCR0、 INTDISTCR1)		割り込み 要因表示 (INTREQ)
外部 割り込み	IRQ	IRQ[0]	8	H'200	INTPRI [31:28]	MSK0[31] MSKCLR0[31]	-	DISTCR0[24]	INTREQ[31]	高 ↑ ↓ 低
		IRQ[1]		H'240	INTPRI [27:24]	MSK0[30] MSKCLR0[30]	-	DISTCR0[25]	INTREQ[30]	
		IRQ[2]		H'280	INTPRI[23:2 0]	MSK0[29] MSKCLR0[29]	-	DISTCR0[26]	INTREQ[29]	
		IRQ[3]		H'2C0	INTPRI [19:16]	MSK0[28] MSKCLR0[28]	-	DISTCR0[27]	INTREQ[28]	
		IRQ[4]		H'300	INTPRI [15:12]	MSK0[27] MSKCLR0[27]	-	DISTCR0[28]	INTREQ[27]	
		IRQ[5]		H'340	INTPRI [11:8]	MSK0[26] MSKCLR0[26]	-	DISTCR0[29]	INTREQ[26]	
		IRQ[6]		H'380	INTPRI[7:4]	MSK0[25] MSKCLR0[25]	-	DISTCR0[30]	INTREQ[25]	
		IRQ[7]		H'3C0	INTPRI[3:0]	MSK0[24] MSKCLR0[24]	-	DISTCR0[31]	INTREQ[24]	

表 10.1 割り込み要因 (2)

要 因	要因数 (最大)	INTEVT	レジスタとの対応						優先 順位	
			優先順位設定 (INT2PRI00 ~ INT2PRI24)	マスク/クリア (CnINT2MSK 0~3、 CnINT2MSKCLR 0~3)	割り込み 受け付け マスク (PERIACK MSK0~3)	分配モード 設定 (INT2DIST CR0~3)	割り込み表示 (CnINT2Ax_0 ~ CnINT2Ax_3) *1	詳細要因 表示 (INT2B00 ~INT2B44)		
内蔵周辺 モジュール 割り込み	WDT	1	H'3E0	PRI00[4:0]	MSK0[0] MSKCLR0[0]	MSK0[0]	DISTCR0[0]	2Ax_0[0]	2B00[0]	↑ 高 ↓ 低
	TMU-ch0_2	4	H'400	PRI01[28:24]	MSK1[31] MSKCLR1[31]	MSK1[31]	DISTCR1[31]	2Ax_1[31]	2B01[0]	
			H'420	PRI01[20:16]	MSK1[30] MSKCLR1[30]	MSK1[30]	DISTCR1[30]	2Ax_1[30]	2B01[1]	
			H'440	PRI01[12:8]	MSK1[29] MSKCLR1[29]	MSK1[29]	DISTCR1[29]	2Ax_1[29]	2B01[2]	
			H'460	PRI01[4:0]	MSK1[28] MSKCLR1[28]	MSK1[28]	DISTCR1[28]	2Ax_1[28]	2B01[3]	
	TMU-ch3_5	3	H'480	PRI02[28:24]	MSK1[27] MSKCLR1[27]	MSK1[27]	DISTCR1[27]	2Ax_1[27]	2B02[0]	
			H'4A0	PRI02[20:16]	MSK1[26] MSKCLR1[26]	MSK1[26]	DISTCR1[26]	2Ax_1[26]	2B02[1]	
			H'4C0	PRI02[12:8]	MSK1[25] MSKCLR1[25]	MSK1[25]	DISTCR1[25]	2Ax_1[25]	2B02[2]	
	-	-	H'4E0	-	-	-	-	-	-	
	DMAC(0)	7	H'500	PRI03[28:24]	MSK1[23] MSKCLR1[23]	MSK1[23]	DISTCR1[23]	2Ax_1[23]	2B03[0]	
			H'520	PRI03[20:16]	MSK1[22] MSKCLR1[22]	MSK1[22]	DISTCR1[22]	2Ax_1[22]	2B03[1]	
			H'540	PRI03[12:8]	MSK1[21] MSKCLR1[21]	MSK1[21]	DISTCR1[21]	2Ax_1[21]	2B03[2]	
			H'560	PRI03[4:0]	MSK1[20] MSKCLR1[20]	MSK1[20]	DISTCR1[20]	2Ax_1[20]	2B03[3]	
			H'580	PRI04[28:24]	MSK1[19] MSKCLR1[19]	MSK1[19]	DISTCR1[19]	2Ax_1[19]	2B03[4]	
			H'5A0	PRI04[20:16]	MSK1[18] MSKCLR1[18]	MSK1[18]	DISTCR1[18]	2Ax_1[18]	2B03[5]	
H'5C0			PRI04[12:8]	MSK1[17] MSKCLR1[17]	MSK1[17]	DISTCR1[17]	2Ax_1[17]	2B03[6]		

要因	要因数 (最大)	INTEVT	レジスタとの対応							優先 順位
			優先順位設定 (INT2PRI00 ~ INT2PRI24)	マスク/クリア (CnINT2MSK 0~3、 CnINT2MSKCLR 0~3)	割り込み 受け付け マスク (PERIACK MSK0~3)	分配モード 設定 (INT2DIST CR0~3)	割り込み表示 (CnINT2Ax_0 ~ CnINT2Ax_3) *1	詳細要因 表示 (INT2B00 ~ INT2B44)		
内蔵周辺 モジュール 割り込み	H-UDI1	1	H'5E0	PRI04[4:0]	MSK1[16] MSKCLR1[16]	MSK1[16]	DISTCR1[16]	2Ax_1[16]	2B04[1]	↑ 高 ↓ 低
	H-UDI0	1	H'600	PRI05[28:24]	MSK1[15] MSKCLR1[15]	MSK1[15]	DISTCR1[15]	2Ax_1[15]	2B04[0]	
	DMAC (1)	12	H'620	PRI05[20:16]	MSK1[14] MSKCLR1[14]	MSK1[14]	DISTCR1[14]	2Ax_1[14]	2B05 [7],[5],[0]	
			H'640	PRI05[12:8]	MSK1[13] MSKCLR1[13]	MSK1[13]	DISTCR1[13]	2Ax_1[13]	2B05 [15],[13],[8]	
			H'660	PRI05[4:0]	MSK1[12] MSKCLR1[12]	MSK1[12]	DISTCR1[12]	2Ax_1[12]	2B05 [23],[21],[16]	
			H'680	PRI06[28:24]	MSK1[11] MSKCLR1[11]	MSK1[11]	DISTCR1[11]	2Ax_1[11]	2B05 [31],[29],[24]	
	HPB	14	H'6A0	PRI06[20:16]	MSK1[10] MSKCLR1[10]	MSK1[10]	DISTCR1[10]	2Ax_1[10]	2B06[6:0]	
			H'6C0	PRI06[12:8]	MSK1[9] MSKCLR1[9]	MSK1[9]	DISTCR1[9]	2Ax_1[9]	2B06[11:7]	
			H'6E0	PRI06[4:0]	MSK1[8] MSKCLR1[8]	MSK1[8]	DISTCR1[8]	2Ax_1[8]	2B06[13:12]	
	SCIF-ch0	4	H'700	PRI07[28:24]	MSK1[7] MSKCLR1[7]	MSK1[7]	DISTCR1[7]	2Ax_1[7]	2B07[0]	
			H'720	PRI07[20:16]	MSK1[6] MSKCLR1[6]	MSK1[6]	DISTCR1[6]	2Ax_1[6]	2B07[1]	
			H'740	PRI07[12:8]	MSK1[5] MSKCLR1[5]	MSK1[5]	DISTCR1[5]	2Ax_1[5]	2B07[2]	
			H'760	PRI07[4:0]	MSK1[4] MSKCLR1[4]	MSK1[4]	DISTCR1[4]	2Ax_1[4]	2B07[3]	
	SCIF-ch1	4	H'780	PRI08[28:24]	MSK1[3] MSKCLR1[3]	MSK1[3]	DISTCR1[3]	2Ax_1[3]	2B08[3:0]	
TMU-ch6_8	3	H'7A0	PRI08[20:16]	MSK1[2] MSKCLR1[2]	MSK1[2]	DISTCR1[2]	2Ax_1[2]	2B09[2:0]		
TMU-ch9_11	3	H'7C0	PRI08[12:8]	MSK1[1] MSKCLR1[1]	MSK1[1]	DISTCR1[1]	2Ax_1[1]	2B10[2:0]		

要因	要因数 (最大)	INTEVT	レジスタとの対応							優先 順位
			優先順位設定 (INT2PRI00 ~ INT2PRI24)	マスク/クリア (CnINT2MSK 0~3、 CnINT2MSKCLR 0~3)	割り込み 受け付け マスク (PERIACK MSK0~3)	分配モード 設定 (INT2DIST CR0~3)	割り込み表示 (CnINT2Ax_0 ~ CnINT2Ax_3) *1	詳細要因 表示 (INT2B00 ~INT2B44)		
内蔵周辺 モジュール 割り込み	-	-	H'7E0	-	-	-	-	-	-	高
	SCIF-ch2	4	H'840	PRI09[12:8]	MSK2[29] MSKCLR2[29]	MSK2[29]	DISTCR2[29]	2Ax_2[29]	2B12[3:0]	↑ ↓ 低
	SCIF-ch3	4	H'860	PRI09[4:0]	MSK2[28] MSKCLR2[28]	MSK2[28]	DISTCR2[28]	2Ax_2[28]	2B13[3:0]	
	SCIF-ch4	4	H'880	PRI10[28:24]	MSK2[27] MSKCLR2[27]	MSK2[27]	DISTCR2[27]	2Ax_2[27]	2B14[3:0]	
	SCIF-ch5	4	H'8A0	PRI10[20:16]	MSK2[26] MSKCLR2[26]	MSK2[26]	DISTCR2[26]	2Ax_2[26]	2B15[3:0]	
	Ether	33	H'8C0	PRI10[12:8]	MSK2[25] MSKCLR2[25]	MSK2[25]	DISTCR2[25]	2Ax_2[25]	2B16 [5:4],[2:0]	
			H'8E0	PRI10[4:0]	MSK2[24] MSKCLR2[24]	MSK2[24]	DISTCR2[24]	2Ax_2[24]	2B17 [30],[27:0]	
	PCIEC0	68	H'AE0	PRI14[4:0]	MSK2[8] MSKCLR2[8]	MSK2[8]	DISTCR2[8]	2Ax_2[8]	2B18[21:0]	
			H'B00	PRI15[28:24]	MSK2[7] MSKCLR2[7]	MSK2[7]	DISTCR2[7]	2Ax_2[7]	2B19[21:0]	
			H'B20	PRI15[20:16]	MSK2[6] MSKCLR2[6]	MSK2[6]	DISTCR2[6]	2Ax_2[6]	2B20[23:0]	
	PCIEC1	68	H'B40	PRI15[12:8]	MSK2[5] MSKCLR2[5]	MSK2[5]	DISTCR2[5]	2Ax_2[5]	2B21[21:0]	
			H'B60	PRI15[4:0]	MSK2[4] MSKCLR2[4]	MSK2[4]	DISTCR2[4]	2Ax_2[4]	2B22[21:0]	
			H'B80	PRI16[28:24]	MSK2[3] MSKCLR2[3]	MSK2[3]	DISTCR2[3]	2Ax_2[3]	2B23[23:0]	
	USB	4	H'BA0	PRI16[20:16]	MSK2[2] MSKCLR2[2]	MSK2[2]	DISTCR2[2]	2Ax_2[2]	2B24[3:0]	
	SDI0	4	H'BC0	PRI16[12:8]	MSK2[1] MSKCLR2[1]	MSK2[1]	DISTCR2[1]	2Ax_2[1]	2B25[3:0]	
	SDI1	4	H'BE0	PRI16[4:0]	MSK2[0] MSKCLR2[0]	MSK2[0]	DISTCR2[0]	2Ax_2[0]	2B26[3:0]	
	-	-	H'C00	-	-	-	-	-	-	
H'C20			-	-	-	-	-	-		
H'C40			-	-	-	-	-	-		

要因	要因数 (最大)	INTEVT	レジスタとの対応							優先 順位
			優先順位設定 (INT2PRI00 ~ INT2PRI24)	マスク / クリア (CnINT2MSK 0 ~ 3、 CnINT2MSKCLR 0 ~ 3)	割り込み 受け付け マスク (PERIACK MSK0 ~ 3)	分配モード 設定 (INT2DIST CR0 ~ 3)	割り込み表示 (CnINT2Ax_0 ~ CnINT2Ax_3) *1	詳細要因 表示 (INT2B00 ~ INT2B44)		
内蔵周辺 モジュール 割り込み	-	-	H'C60	-	-	-	-	-	-	高 ↑
	-	-	H'C80	-	-	-	-	-	-	
	-	-	H'CA0	-	-	-	-	-	-	
	I2C-ch0	12	H'CC0	PRI18[12:8]	MSK3[25] MSKCLR3[25]	MSK3[25]	DISTCR3[25]	2Ax_3[25]	2B29 [14:8],[4:0]	↓ 低
	I2C-ch1	12	H'CE0	PRI18[4:0]	MSK3[24] MSKCLR3[24]	MSK3[24]	DISTCR3[24]	2Ax_3[24]	2B30 [14:8],[4:0]	
	DU	13	H'D00	PRI19[28:24]	MSK3[23] MSKCLR3[23]	MSK3[23]	DISTCR3[23]	2Ax_3[23]	2B31[15:14], [11][9:0]	
	SSI-ch0	1	H'D20	PRI19[20:16]	MSK3[22] MSKCLR3[22]	MSK3[22]	DISTCR3[22]	2Ax_3[22]	2B32[0]	
	SSI-ch1	1	H'D40	PRI19[12:8]	MSK3[21] MSKCLR3[21]	MSK3[21]	DISTCR3[21]	2Ax_3[21]	2B32[1]	
	SSI-ch2	1	H'D60	PRI19[4:0]	MSK3[20] MSKCLR3[20]	MSK3[20]	DISTCR3[20]	2Ax_3[20]	2B32[2]	
	SSI-ch3	1	H'D80	PRI20[28:24]	MSK3[19] MSKCLR3[19]	MSK3[19]	DISTCR3[19]	2Ax_3[19]	2B32[3]	
	PCIEC2	68	H'DA0	PRI20[20:16]	MSK3[18] MSKCLR3[18]	MSK3[18]	DISTCR3[18]	2Ax_3[18]	2B33[21:0]	
			H'DC0	PRI20[12:8]	MSK3[17] MSKCLR3[17]	MSK3[17]	DISTCR3[17]	2Ax_3[17]	2B34[21:0]	
			H'DE0	PRI20[4:0]	MSK3[16] MSKCLR3[16]	MSK3[16]	DISTCR3[16]	2Ax_3[16]	2B35[23:0]	
	HAC-ch0	1	H'E00	PRI21[28:24]	MSK3[15] MSKCLR3[15]	MSK3[15]	DISTCR3[15]	2Ax_3[15]	2B36[0]	
	HAC-ch1	1	H'E20	PRI21[20:16]	MSK3[14] MSKCLR3[14]	MSK3[14]	DISTCR3[14]	2Ax_3[14]	2B36[1]	
	FLCTL	4	H'E40	PRI21[12:8]	MSK3[13] MSKCLR3[13]	MSK3[13]	DISTCR3[13]	2Ax_3[13]	2B37[3:0]	
-	-	H'E60	-	-	-	-	-	-		
HSPI	1	H'E80	PRI22[28:24]	MSK3[11] MSKCLR3[11]	MSK3[11]	DISTCR3[11]	2Ax_3[11]	2B39[0]		

要因	要因数 (最大)	INTEVT	レジスタとの対応							優先 順位
			優先順位設定 (INT2PRI00 ~ INT2PRI24)	マスク/クリア (CnINT2MSK 0~3、 CnINT2MSKCLR 0~3)	割り込み 受け付け マスク (PERIACK MSK0~3)	分配モード 設定 (INT2DIST CR0~3)	割り込み表示 (CnINT2Ax_0 ~ CnINT2Ax_3) *1	詳細要因 表示 (INT2B00 ~INT2B44)		
内蔵周辺 モジュール 割り込み	GPIO0	4	H'EA0	PRI22[20:16]	MSK3[10] MSKCLR3[10]	MSK3[10]	DISTCR3[10]	2Ax_3[10]	2B40[7:4]	高 ↑ ↓ 低
	GPIO1	4	H'EC0	PRI22[12:8]	MSK3[9] MSKCLR3[9]	MSK3[9]	DISTCR3[9]	2Ax_3[9]	2B40[3:0]	
	温度センサ	4	H'EE0	PRI22[4:0]	MSK3[8] MSKCLR3[8]	MSK3[8]	DISTCR3[8]	2Ax_3[8]	2B41[3:0]	
	INITCI0	1	H'F00	*2	-	-	-	-	-	
	INITCI1	1	H'F20	*2	-	-	-	-	-	
	INITCI2	1	H'F40	*2	-	-	-	-	-	
	INITCI3	1	H'F60	*2	-	-	-	-	-	
	INITCI4	1	H'F80	*2	-	-	-	-	-	
	INITCI5	1	H'FA0	*2	-	-	-	-	-	
	INITCI6	1	H'FC0	*2	-	-	-	-	-	
INITCI7	1	H'FE0	*2	-	-	-	-	-		

【注】 割り込み優先レベルが同じ値に割り付いている場合は本表の順番で優先度が高くなります。

*1 CnINT2Ax_0~3 は CnINT2A0_0~3、CnINT2A1_0~3 を意味します。

*2 CPU 間割り込み優先順位設定レジスタ (CnINTCIPRI、n=0、1) の設定となります。

10.2 入出力端子

表 10.2 に端子構成を以下に示します。

表 10.2 INTC の端子構成

端子名	機能	入出力	説明
NMI	ノンマスクابل割り込み入力端子	入力	マスク不可能な割り込み要求信号入力
IRQ/IRL7 ~ IRQ/IRL0	外部割り込み入力端子 1	入力	IRQ7 ~ IRQ0 または IRL[7:4]、IRL[3:0]割り込み要求信号の入力 IRQ/IRL7 端子は、SCIF0_RTS_N (SCIF0 入出力)、SDIF0D3 (SDIF0 入出力)、MODE3 (モード制御入力)、ポート H3 (GPIO 入出力) 端子と IRQ/IRL6 端子は、SCIF0_SCK (SCIF0 入出力)、SDIF0D2 (SDIF0 入出力)、MODE2 (モード制御入力)、ポート H2 (GPIO 入出力) 端子と IRQ/IRL5 端子は、SCIF0_RXD (SCIF0 入力)、SDIF0D1 (SDIF0 入出力)、MODE1 (モード制御入力)、ポート H1 (GPIO 入出力) 端子と IRQ/IRL4 端子は、SCIF0_TXD (SCIF0 出力)、SDIF0D0 (SDIF0 入出力)、MODE0 (モード制御入力)、ポート H0 (GPIO 入出力) 端子とそれぞれマルチプレクスされています。
IRQOUT	割り込み要求出力端子	出力	割り込み要求が発生していることを外部デバイスに通知する信号の出力 IRQOUT 端子は、I2C_SDA1 (I2C 入出力) とマルチプレクスされています。 IRQOUT は割り込み要求が発生していることを示す信号です。IRQOUT は発生した割り込み要求の優先度が SR.IMASK 以下のため、CPU に受け付けられない場合でも、ローレベルを出力します。ただし、以下の場合、IRQOUT にローレベルは出力されません。 (1) IRL 割り込み • INTMSK1 で IRL 割り込みがマスクされている場合 • INTMSK2 で IRL 割り込みがマスクされている場合 (2) IRQ 割り込み • INTMSK0 で IRQ 割り込みがマスクされている場合 • INTPRI で IRQ 割り込みの優先度が H'0 に設定されている場合 (3) 内蔵モジュール割り込み • INT2MSKR で内蔵モジュール割り込みがマスクされている場合 • INT2PRI0 ~ INT2PRI24 で設定した優先度が H'00 または H'01 に設定されている場合

10.3 レジスタの説明

表 10.3 に INTC のレジスタ構成を示します。また、表 10.4 に各処理モードにおけるレジスタの状態を示します。

表 10.3 INTC のレジスタ構成

レジスタ名称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ	同期 クロック
割り込みコントロールレジスタ 0	ICR0	R/W	H'FE41 0000	H'1E41 0000	32	SHck
割り込みコントロールレジスタ 1	ICR1	R/W	H'FE41 001C	H'1E41 001C	32	SHck
割り込み優先順位設定レジスタ	INTPRI	R/W	H'FE41 0010	H'1E41 0010	32	SHck
割り込み要因レジスタ	INTREQ	R/(W) ¹	H'FE41 0024	H'1E41 0024	32	SHck
割り込みマスクレジスタ 0 (CPU0) ^{*1}	C0INTMSK0 ^{*1}	R/W	H'FE41 0030	H'1E41 0030	32	SHck
割り込みマスクレジスタ 0 (CPU1) ^{*1}	C1INTMSK0 ^{*1}	R/W	H'FE41 0034	H'1E41 0034	32	SHck
割り込みマスクレジスタ 1 (CPU0) ^{*1}	C0INTMSK1 ^{*1}	R/W	H'FE41 0040	H'1E41 0040	32	SHck
割り込みマスクレジスタ 1 (CPU1) ^{*1}	C1INTMSK1 ^{*1}	R/W	H'FE41 0044	H'1E41 0044	32	SHck
割り込みマスククリアレジスタ 0 (CPU0) ^{*1}	C0INTMSKCLR0 ^{*1}	R/W	H'FE41 0050	H'1E41 0050	32	SHck
割り込みマスククリアレジスタ 0 (CPU1) ^{*1}	C1INTMSKCLR0 ^{*1}	R/W	H'FE41 0054	H'1E41 0054	32	SHck
割り込みマスククリアレジスタ 1 (CPU0) ^{*1}	C0INTMSKCLR1 ^{*1}	R/W	H'FE41 0060	H'1E41 0060	32	SHck
割り込みマスククリアレジスタ 1 (CPU1) ^{*1}	C1INTMSKCLR1 ^{*1}	R/W	H'FE41 0064	H'1E41 0064	32	SHck
割り込みマスクレジスタ 2	INTMSK2	R/W	H'FE41 0068	H'1E41 0068	32	SHck
割り込みマスククリアレジスタ 2	INTMSKCLR2	R/W	H'FE41 006C	H'1E41 006C	32	SHck
CPU 間割り込みレジスタ (CPU0) ^{*4}	C0INTICI ^{*3}	R/W	H'FE41 0070	H'1E41 0070	32	SHck
CPU 間割り込みレジスタ (CPU1) ^{*4}	C1INTICI ^{*3}	R/W	H'FE41 0074	H'1E41 0074	32	SHck
CPU 間割り込みクリアレジスタ (CPU0) ^{*4}	C0INTICICLR ^{*3}	R/W	H'FE41 0080	H'1E41 0080	32	SHck
CPU 間割り込みクリアレジスタ (CPU1) ^{*4}	C1INTICICLR ^{*3}	R/W	H'FE41 0084	H'1E41 0084	32	SHck
CPU 間割り込み優先順位設定レジスタ (CPU0) ^{*4}	C0ICIPRI ^{*3}	R/W	H'FE41 0090	H'1E41 0090	32	SHck
CPU 間割り込み優先順位設定レジスタ (CPU1) ^{*4}	C1ICIPRI ^{*3}	R/W	H'FE41 0094	H'1E41 0094	32	SHck
CPU 間割り込み優先順位クリアレジスタ (CPU0) ^{*4}	C0ICIPRICLR ^{*3}	R/W	H'FE41 00A0	H'1E41 00A0	32	SHck
CPU 間割り込み優先順位クリアレジスタ (CPU1) ^{*4}	C1ICIPRICLR ^{*3}	R/W	H'FE41 00A4	H'1E41 00A4	32	SHck
割り込み分配設定レジスタ 0 ^{*5}	INTDISTCR0 ^{*4}	R/W	H'FE41 00B0	H'1E41 00B0	32	SHck
割り込み分配設定レジスタ 1 ^{*5}	INTDISTCR1 ^{*4}	R/W	H'FE41 00B4	H'1E41 00B4	32	SHck
割り込み受け付けレジスタ ^{*5}	INTACK ^{*4}	R	H'FE41 00B8	H'1E41 00B8	32	SHck
割り込み受け付けクリアレジスタ ^{*5}	INTACKCLR ^{*4}	W	H'FE41 00BC	H'1E41 00BC	32	SHck
NMI フラグコントロールレジスタ	NMIFCR	R/(W) ^{*2}	H'FE41 00C0	H'1E41 00C0	32	SHck
NMI セットレジスタ	NMISSET	R/W ^{*3}	H'FE41 00C4	H'1E41 00C4	32	SHck
IRQ 割り込み受け付けマスクレジスタ ^{*6}	IRQACKMASK ^{*4}	R	H'FE41 00D0	H'1E41 00D0	32	SHck
IRL 割り込み受け付けマスクレジスタ ^{*6}	IRLACKMASK ^{*4}	R	H'FE41 00D4	H'1E41 00D4	32	SHck

レジスタ名称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ	同期 クロック
周辺割り込み受け付けマスクレジスタ 0 ^{*6}	PERIACKMASK0 ^{*4}	R	H'FE41 00D8	H'1E41 00D8	32	SHck
周辺割り込み受け付けマスクレジスタ 1 ^{*6}	PERIACKMASK1 ^{*4}	R	H'FE41 00DC	H'1E41 00DC	32	SHck
周辺割り込み受け付けマスクレジスタ 2 ^{*6}	PERIACKMASK2 ^{*4}	R	H'FE41 00E0	H'1E41 00E0	32	SHck
周辺割り込み受け付けマスクレジスタ 3 ^{*6}	PERIACKMASK3 ^{*4}	R	H'FE41 00E4	H'1E41 00E4	32	SHck
ユーザ割り込みマスクレベル設定レジスタ	USERIMASK	R/W	H'FE41 1000	H'1E41 1000	32	SHck
周辺割り込み優先順位設定レジスタ 0	INT2PRI0	R/W	H'FE41 0800	H'1E41 0800	32	SHck
周辺割り込み優先順位設定レジスタ 1	INT2PRI1	R/W	H'FE41 0804	H'1E41 0804	32	SHck
周辺割り込み優先順位設定レジスタ 2	INT2PRI2	R/W	H'FE41 0808	H'1E41 0808	32	SHck
周辺割り込み優先順位設定レジスタ 3	INT2PRI3	R/W	H'FE41 080C	H'1E41 080C	32	SHck
周辺割り込み優先順位設定レジスタ 4	INT2PRI4	R/W	H'FE41 0810	H'1E41 0810	32	SHck
周辺割り込み優先順位設定レジスタ 5	INT2PRI5	R/W	H'FE41 0814	H'1E41 0814	32	SHck
周辺割り込み優先順位設定レジスタ 6	INT2PRI6	R/W	H'FE41 0818	H'1E41 0818	32	SHck
周辺割り込み優先順位設定レジスタ 7	INT2PRI7	R/W	H'FE41 081C	H'1E41 081C	32	SHck
周辺割り込み優先順位設定レジスタ 8	INT2PRI8	R/W	H'FE41 0820	H'1E41 0820	32	SHck
周辺割り込み優先順位設定レジスタ 9	INT2PRI9	R/W	H'FE41 0824	H'1E41 0824	32	SHck
周辺割り込み優先順位設定レジスタ 10	INT2PRI10	R/W	H'FE41 0828	H'1E41 0828	32	SHck
周辺割り込み優先順位設定レジスタ 11	INT2PRI11	R/W	H'FE41 082C	H'1E41 082C	32	SHck
周辺割り込み優先順位設定レジスタ 12	INT2PRI12	R/W	H'FE41 0830	H'1E41 0830	32	SHck
周辺割り込み優先順位設定レジスタ 13	INT2PRI13	R/W	H'FE41 0834	H'1E41 0834	32	SHck
周辺割り込み優先順位設定レジスタ 14	INT2PRI14	R/W	H'FE41 0838	H'1E41 0838	32	SHck
周辺割り込み優先順位設定レジスタ 15	INT2PRI15	R/W	H'FE41 083C	H'1E41 083C	32	SHck
周辺割り込み優先順位設定レジスタ 16	INT2PRI16	R/W	H'FE41 0840	H'1E41 0840	32	SHck
周辺割り込み優先順位設定レジスタ 17	INT2PRI17	R/W	H'FE41 0844	H'1E41 0844	32	SHck
周辺割り込み優先順位設定レジスタ 18	INT2PRI18	R/W	H'FE41 0848	H'1E41 0848	32	SHck
周辺割り込み優先順位設定レジスタ 19	INT2PRI19	R/W	H'FE41 084C	H'1E41 084C	32	SHck
周辺割り込み優先順位設定レジスタ 20	INT2PRI20	R/W	H'FE41 0850	H'1E41 0850	32	SHck
周辺割り込み優先順位設定レジスタ 21	INT2PRI21	R/W	H'FE41 0854	H'1E41 0854	32	SHck
周辺割り込み優先順位設定レジスタ 22	INT2PRI22	R/W	H'FE41 0858	H'1E41 0858	32	SHck
周辺割り込み優先順位設定レジスタ 23	INT2PRI23	R/W	H'FE41 085C	H'1E41 085C	32	SHck
周辺割り込み優先順位設定レジスタ 24	INT2PRI24	R/W	H'FE41 0860	H'1E41 0860	32	SHck
周辺割り込み分配設定レジスタ 0 ^{*5}	INT2DISTCR0 ^{*4}	R/W	H'FE41 0900	H'1E41 0900	32	SHck
周辺割り込み分配設定レジスタ 1 ^{*5}	INT2DISTCR1 ^{*4}	R/W	H'FE41 0904	H'1E41 0904	32	SHck
周辺割り込み分配設定レジスタ 2 ^{*5}	INT2DISTCR2 ^{*4}	R/W	H'FE41 0908	H'1E41 0908	32	SHck
周辺割り込み分配設定レジスタ 3 ^{*5}	INT2DISTCR3 ^{*4}	R/W	H'FE41 090C	H'1E41 090C	32	SHck
割り込み要因レジスタ (マスク状態の影響なし) (CPU0)	COINT2A0_0	R	H'FE41 0A00	H'1E41 0A00	32	SHck

レジスタ名称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ	同期 クロック
割り込み要因レジスタ (マスク状態の影響なし) (CPU0)	C0INT2A0_1	R	H'FE41 0A04	H'1E41 0A04	32	SHck
割り込み要因レジスタ (マスク状態の影響なし) (CPU0)	C0INT2A0_2	R	H'FE41 0A08	H'1E41 0A08	32	SHck
割り込み要因レジスタ (マスク状態の影響なし) (CPU0)	C0INT2A0_3	R	H'FE41 0A0C	H'1E41 0A0C	32	SHck
割り込み要因レジスタ (マスク状態の影響あり) (CPU0)	C0INT2A1_0	R	H'FE41 0A10	H'1E41 0A10	32	SHck
割り込み要因レジスタ (マスク状態の影響あり) (CPU0)	C0INT2A1_1	R	H'FE41 0A14	H'1E41 0A14	32	SHck
割り込み要因レジスタ (マスク状態の影響あり) (CPU0)	C0INT2A1_2	R	H'FE41 0A18	H'1E41 0A18	32	SHck
割り込み要因レジスタ (マスク状態の影響あり) (CPU0)	C0INT2A1_3	R	H'FE41 0A1C	H'1E41 0A1C	32	SHck
周辺割り込みマスクレジスタ 0 (CPU0)	C0INT2MSK0*1	R/W	H'FE41 0A20	H'1E41 0A20	32	SHck
周辺割り込みマスクレジスタ 1 (CPU0)	C0INT2MSK1*1	R/W	H'FE41 0A24	H'1E41 0A24	32	SHck
周辺割り込みマスクレジスタ 2 (CPU0)	C0INT2MSK2*1	R/W	H'FE41 0A28	H'1E41 0A28	32	SHck
周辺割り込みマスクレジスタ 3 (CPU0)	C0INT2MSK3*1	R/W	H'FE41 0A2C	H'1E41 0A2C	32	SHck
周辺割り込みマスククリアレジスタ 0 (CPU0)	C0INT2MSKCLR0*1	R/W	H'FE41 0A30	H'1E41 0A30	32	SHck
周辺割り込みマスククリアレジスタ 1 (CPU0)	C0INT2MSKCLR1*1	R/W	H'FE41 0A34	H'1E41 0A34	32	SHck
周辺割り込みマスククリアレジスタ 2 (CPU0)	C0INT2MSKCLR2*1	R/W	H'FE41 0A38	H'1E41 0A38	32	SHck
周辺割り込みマスククリアレジスタ 3 (CPU0)	C0INT2MSKCLR3*1	R/W	H'FE41 0A3C	H'1E41 0A3C	32	SHck
割り込み要因レジスタ (マスク状態の影響なし) (CPU1)	C1INT2A0_0	R	H'FE41 0B00	H'1E41 0B00	32	SHck
割り込み要因レジスタ (マスク状態の影響なし) (CPU1)	C1INT2A0_1	R	H'FE41 0B04	H'1E41 0B04	32	SHck
割り込み要因レジスタ (マスク状態の影響なし) (CPU1)	C1INT2A0_2	R	H'FE41 0B08	H'1E41 0B08	32	SHck
割り込み要因レジスタ (マスク状態の影響なし) (CPU1)	C1INT2A0_3	R	H'FE41 0B0C	H'1E41 0B0C	32	SHck
割り込み要因レジスタ (マスク状態の影響あり) (CPU1)	C1INT2A1_0	R	H'FE41 0B10	H'1E41 0B10	32	SHck
割り込み要因レジスタ (マスク状態の影響あり) (CPU1)	C1INT2A1_1	R	H'FE41 0B14	H'1E41 0B14	32	SHck
割り込み要因レジスタ (マスク状態の影響あり) (CPU1)	C1INT2A1_2	R	H'FE41 0B18	H'1E41 0B18	32	SHck
割り込み要因レジスタ (マスク状態の影響あり) (CPU1)	C1INT2A1_3	R	H'FE41 0B1C	H'1E41 0B1C	32	SHck
周辺割り込みマスクレジスタ 0 (CPU1)	C1INT2MSK0*1	R/W	H'FE41 0B20	H'1E41 0B20	32	SHck
周辺割り込みマスクレジスタ 1 (CPU1)	C1INT2MSK1*1	R/W	H'FE41 0B24	H'1E41 0B24	32	SHck

レジスタ名称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ	同期 クロック
周辺割り込みマスクレジスタ 2 (CPU1)	C1INT2MSK2*1	R/W	H'FE41 0B28	H'1E41 0B28	32	SHck
周辺割り込みマスクレジスタ 3 (CPU1)	C1INT2MSK3*1	R/W	H'FE41 0B2C	H'1E41 0B2C	32	SHck
周辺割り込みマスククリアレジスタ 0 (CPU1)	C1INT2MSKCLR0*1	R/W	H'FE41 0B30	H'1E41 0B30	32	SHck
周辺割り込みマスククリアレジスタ 1 (CPU1)	C1INT2MSKCLR1*1	R/W	H'FE41 0B34	H'1E41 0B34	32	SHck
周辺割り込みマスククリアレジスタ 2 (CPU1)	C1INT2MSKCLR2*1	R/W	H'FE41 0B38	H'1E41 0B38	32	SHck
周辺割り込みマスククリアレジスタ 3 (CPU1)	C1INT2MSKCLR3*1	R/W	H'FE41 0B3C	H'1E41 0B3C	32	SHck
周辺割り込み詳細要因表示レジスタ 00	INT2B00	R	H'FE41 0C00	H'1E41 0C00	32	SHck
周辺割り込み詳細要因表示レジスタ 01	INT2B01	R	H'FE41 0C04	H'1E41 0C04	32	SHck
周辺割り込み詳細要因表示レジスタ 02	INT2B02	R	H'FE41 0C08	H'1E41 0C08	32	SHck
周辺割り込み詳細要因表示レジスタ 03	INT2B03	R	H'FE41 0C0C	H'1E41 0C0C	32	SHck
周辺割り込み詳細要因表示レジスタ 04	INT2B04	R	H'FE41 0C10	H'1E41 0C10	32	SHck
周辺割り込み詳細要因表示レジスタ 05	INT2B05	R	H'FE41 0C14	H'1E41 0C14	32	SHck
周辺割り込み詳細要因表示レジスタ 06	INT2B06	R	H'FE41 0C18	H'1E41 0C18	32	SHck
周辺割り込み詳細要因表示レジスタ 07	INT2B07	R	H'FE41 0C1C	H'1E41 0C1C	32	SHck
周辺割り込み詳細要因表示レジスタ 08	INT2B08	R	H'FE41 0C20	H'1E41 0C20	32	SHck
周辺割り込み詳細要因表示レジスタ 09	INT2B09	R	H'FE41 0C24	H'1E41 0C24	32	SHck
周辺割り込み詳細要因表示レジスタ 10	INT2B10	R	H'FE41 0C28	H'1E41 0C28	32	SHck
周辺割り込み詳細要因表示レジスタ 11	INT2B11	R	H'FE41 0C2C	H'1E41 0C2C	32	SHck
周辺割り込み詳細要因表示レジスタ 12	INT2B12	R	H'FE41 0C30	H'1E41 0C30	32	SHck
周辺割り込み詳細要因表示レジスタ 13	INT2B13	R	H'FE41 0C34	H'1E41 0C34	32	SHck
周辺割り込み詳細要因表示レジスタ 14	INT2B14	R	H'FE41 0C38	H'1E41 0C38	32	SHck
周辺割り込み詳細要因表示レジスタ 15	INT2B15	R	H'FE41 0C3C	H'1E41 0C3C	32	SHck
周辺割り込み詳細要因表示レジスタ 16	INT2B16	R	H'FE41 0C40	H'1E41 0C40	32	SHck
周辺割り込み詳細要因表示レジスタ 17	INT2B17	R	H'FE41 0C44	H'1E41 0C44	32	SHck
周辺割り込み詳細要因表示レジスタ 18	INT2B18	R	H'FE41 0C48	H'1E41 0C48	32	SHck
周辺割り込み詳細要因表示レジスタ 19	INT2B19	R	H'FE41 0C4C	H'1E41 0C4C	32	SHck
周辺割り込み詳細要因表示レジスタ 20	INT2B20	R	H'FE41 0C50	H'1E41 0C50	32	SHck
周辺割り込み詳細要因表示レジスタ 21	INT2B21	R	H'FE41 0C54	H'1E41 0C54	32	SHck
周辺割り込み詳細要因表示レジスタ 22	INT2B22	R	H'FE41 0C58	H'1E41 0C58	32	SHck
周辺割り込み詳細要因表示レジスタ 23	INT2B23	R	H'FE41 0C5C	H'1E41 0C5C	32	SHck
周辺割り込み詳細要因表示レジスタ 24	INT2B24	R	H'FE41 0C60	H'1E41 0C60	32	SHck
周辺割り込み詳細要因表示レジスタ 25	INT2B25	R	H'FE41 0C64	H'1E41 0C64	32	SHck
周辺割り込み詳細要因表示レジスタ 26	INT2B26	R	H'FE41 0C68	H'1E41 0C68	32	SHck
周辺割り込み詳細要因表示レジスタ 27	INT2B27	R	H'FE41 0C6C	H'1E41 0C6C	32	SHck
周辺割り込み詳細要因表示レジスタ 28	INT2B28	R	H'FE41 0C70	H'1E41 0C70	32	SHck
周辺割り込み詳細要因表示レジスタ 29	INT2B29	R	H'FE41 0C74	H'1E41 0C74	32	SHck
周辺割り込み詳細要因表示レジスタ 30	INT2B30	R	H'FE41 0C78	H'1E41 0C78	32	SHck

レジスタ名称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ	同期 クロック
周辺割り込み詳細要因表示レジスタ 31	INT2B31	R	H'FE41 0C7C	H'1E41 0C7C	32	SHck
周辺割り込み詳細要因表示レジスタ 32	INT2B32	R	H'FE41 0C80	H'1E41 0C80	32	SHck
周辺割り込み詳細要因表示レジスタ 33	INT2B33	R	H'FE41 0C84	H'1E41 0C84	32	SHck
周辺割り込み詳細要因表示レジスタ 34	INT2B34	R	H'FE41 0C88	H'1E41 0C88	32	SHck
周辺割り込み詳細要因表示レジスタ 35	INT2B35	R	H'FE41 0C8C	H'1E41 0C8C	32	SHck
周辺割り込み詳細要因表示レジスタ 36	INT2B36	R	H'FE41 0C90	H'1E41 0C90	32	SHck
周辺割り込み詳細要因表示レジスタ 37	INT2B37	R	H'FE41 0C94	H'1E41 0C94	32	SHck
周辺割り込み詳細要因表示レジスタ 38	INT2B38	R	H'FE41 0C98	H'1E41 0C98	32	SHck
周辺割り込み詳細要因表示レジスタ 39	INT2B39	R	H'FE41 0C9C	H'1E41 0C9C	32	SHck
周辺割り込み詳細要因表示レジスタ 40	INT2B40	R	H'FE41 0CA0	H'1E41 0CA0	32	SHck
周辺割り込み詳細要因表示レジスタ 41	INT2B41	R	H'FE41 0CA4	H'1E41 0CA4	32	SHck
周辺割り込み詳細要因表示レジスタ 42	INT2B42	R	H'FE41 0CA8	H'1E41 0CA8	32	SHck
周辺割り込み詳細要因表示レジスタ 43	INT2B43	R	H'FE41 0CAC	H'1E41 0CAC	32	SHck
周辺割り込み詳細要因表示レジスタ 44	INT2B44	R	H'FE41 0CB0	H'1E41 0CB0	32	SHck
GPIO 割り込み設定レジスタ	INT2GPIC	R/W	H'FE41 0CC0	H'1E41 0CC0	32	SHck
温度センサ割り込み設定レジスタ	INT2THSC	R/W	H'FE41 0CC4	H'1E41 0CC4	32	SHck

- 【注】 *1 割り込み要因レジスタ (INTREQ) は、読み出し、条件付き書き込み可能なレジスタです。詳細は「10.3.1 (4) 割り込み要因レジスタ (INTREQ)」を参照してください。
- *2 NMI フラグコントロールレジスタ (NMIFCR) は、読み出し、一部条件付き書き込み可能なレジスタです。詳細は「10.3.1 (11) NMI フラグコントロールレジスタ (NMIFCR)」を参照してください。
- *3 NMI 設定レジスタ
- *4 CPU 間割り込み用レジスタ
- *5 SMP サポート用レジスタ
- *6 デバッグ用レジスタ

表 10.4 各処理モードにおけるレジスタの状態

名 称	略 称	パワーオン リセット PRESET 端子/WDT /H-UDI による	マニュアル リセット WDT /多重例外による	スリープ/ ライトスリープ SLEEP 命令 による
割り込みコントロールレジスタ 0	ICR0	H'x000 0000'	H'x000 0000'	保持
割り込みコントロールレジスタ 1	ICR1	H'0000 0000	H'0000 0000	保持
割り込み優先順位設定レジスタ	INTPRI	H'0000 0000	H'0000 0000	保持
割り込み要因レジスタ	INTREQ	H'0000 0000	H'0000 0000	保持
割り込みマスクレジスタ 0 (CPU0)	C0INTMSK0	H'FF00 0000	H'FF00 0000	保持
割り込みマスクレジスタ 0 (CPU1)	C1INTMSK0	H'FF00 0000	H'FF00 0000	保持
割り込みマスクレジスタ 1 (CPU0)	C0INTMSK1	H'C000 0000	H'C000 0000	保持
割り込みマスクレジスタ 1 (CPU1)	C1INTMSK1	H'C000 0000	H'C000 0000	保持
割り込みマスククリアレジスタ 0 (CPU0)	C0INTMSKCLR0	H'0000 0000	H'0000 0000	保持
割り込みマスククリアレジスタ 0 (CPU1)	C1INTMSKCLR0	H'0000 0000	H'0000 0000	保持
割り込みマスククリアレジスタ 1 (CPU0)	C0INTMSKCLR1	H'0000 0000	H'0000 0000	保持
割り込みマスククリアレジスタ 1 (CPU1)	C1INTMSKCLR1	H'0000 0000	H'0000 0000	保持
割り込みマスクレジスタ 2	INTMSK2	H'0000 0000	H'0000 0000	保持
割り込みマスククリアレジスタ 2	INTMSKCLR2	H'0000 0000	H'0000 0000	保持
CPU 間割り込みレジスタ (CPU0)	C0INTICI	H'0000 0000	H'0000 0000	保持
CPU 間割り込みレジスタ (CPU1)	C1INTICI	H'0000 0000	H'0000 0000	保持
CPU 間割り込みクリアレジスタ (CPU0)	C0INTICICLR	H'0000 0000	H'0000 0000	保持
CPU 間割り込みクリアレジスタ (CPU1)	C1INTICICLR	H'0000 0000	H'0000 0000	保持
CPU 間割り込み優先順位設定レジスタ (CPU0)	C0ICIPRI	H'0000 0000	H'0000 0000	保持
CPU 間割り込み優先順位設定レジスタ (CPU1)	C1ICIPRI	H'0000 0000	H'0000 0000	保持
CPU 間割り込み優先順位クリアレジスタ (CPU0)	C0ICIPRICLR	H'0000 0000	H'0000 0000	保持
CPU 間割り込み優先順位クリアレジスタ (CPU1)	C1ICIPRICLR	H'0000 0000	H'0000 0000	保持
割り込み分配設定レジスタ 0	INTDISTCR0	H'0000 0000	H'0000 0000	保持
割り込み分配設定レジスタ 1	INTDISTCR1	H'0000 0000	H'0000 0000	保持
割り込み受け付けレジスタ	INTACK	H'0000 0000	H'0000 0000	保持
割り込み受け付けクリアレジスタ	INTACKCLR	H'0000 0000	H'0000 0000	保持
NMI フラグコントロールレジスタ	NMIFCR	H'x000 0000'	H'x000 0000'	保持
NMI セットレジスタ	NMISSET	H'0000 0000	H'0000 0000	保持
IRQ 割り込み受け付けマスクレジスタ	IRQACKMASK	H'0000 0000	H'0000 0000	保持
IRL 割り込み受け付けマスクレジスタ	IRLACKMASK	H'0000 0000	H'0000 0000	保持
周辺割り込み受け付けマスクレジスタ 0	PERIACKMASK0	H'0000 0000	H'0000 0000	保持

名 称	略 称	パワーオン リセット PRESET 端子/WDT /H-UDI による	マニュアル リセット WDT /多重例外による	スリープ/ ライトスリープ SLEEP 命令 による
周辺割り込み受け付けマスクレジスタ 1	PERIACKMASK1	H'0000 0000	H'0000 0000	保持
周辺割り込み受け付けマスクレジスタ 2	PERIACKMASK2	H'0000 0000	H'0000 0000	保持
周辺割り込み受け付けマスクレジスタ 3	PERIACKMASK3	H'0000 0000	H'0000 0000	保持
ユーザ割り込みマスクレベル設定レジスタ	USERIMASK	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 0	INT2PRI0	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 1	INT2PRI1	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 2	INT2PRI2	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 3	INT2PRI3	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 4	INT2PRI4	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 5	INT2PRI5	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 6	INT2PRI6	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 7	INT2PRI7	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 8	INT2PRI8	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 9	INT2PRI9	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 10	INT2PRI10	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 11	INT2PRI11	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 12	INT2PRI12	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 13	INT2PRI13	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 14	INT2PRI14	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 15	INT2PRI15	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 16	INT2PRI16	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 17	INT2PRI17	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 18	INT2PRI18	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 19	INT2PRI19	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 20	INT2PRI20	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 21	INT2PRI21	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 22	INT2PRI22	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 23	INT2PRI23	H'0000 0000	H'0000 0000	保持
周辺割り込み優先順位設定レジスタ 24	INT2PRI24	H'0000 0000	H'0000 0000	保持
周辺割り込み分配設定レジスタ 0	INT2DISTCR0	H'0000 0000	H'0000 0000	保持
周辺割り込み分配設定レジスタ 1	INT2DISTCR1	H'0000 0000	H'0000 0000	保持
周辺割り込み分配設定レジスタ 2	INT2DISTCR2	H'0000 0000	H'0000 0000	保持
周辺割り込み分配設定レジスタ 3	INT2DISTCR3	H'0000 0000	H'0000 0000	保持
割り込み要因レジスタ (マスク状態の影響なし) (CPU0)	C0INT2A0_0	H'xxxx xxxx	H'xxxx xxxx	保持

名 称	略 称	パワーオン リセット PRESET 端子/WDT /H-UDI による	マニュアル リセット WDT /多重例外による	スリープ/ ライトスリープ SLEEP 命令 による
割り込み要因レジスタ (マスク状態の影響なし) (CPU0)	C0INT2A0_1	H'xxxx xxxx	H'xxxx xxxx	保持
割り込み要因レジスタ (マスク状態の影響なし) (CPU0)	C0INT2A0_2	H'xxxx xxxx	H'xxxx xxxx	保持
割り込み要因レジスタ (マスク状態の影響なし) (CPU0)	C0INT2A0_3	H'xxxx xxxx	H'xxxx xxxx	保持
割り込み要因レジスタ (マスク状態の影響あり) (CPU0)	C0INT2A1_0	H'0000 0000	H'0000 0000	保持
割り込み要因レジスタ (マスク状態の影響あり) (CPU0)	C0INT2A1_1	H'0000 0000	H'0000 0000	保持
割り込み要因レジスタ (マスク状態の影響あり) (CPU0)	C0INT2A1_2	H'0000 0000	H'0000 0000	保持
割り込み要因レジスタ (マスク状態の影響あり) (CPU0)	C0INT2A1_3	H'0000 0000	H'0000 0000	保持
周辺割り込みマスクレジスタ 0 (CPU0)	C0INT2MSK0	H'FFFF FFFF	H'FFFF FFFF	保持
周辺割り込みマスクレジスタ 1 (CPU0)	C0INT2MSK1	H'FFFF FFFF	H'FFFF FFFF	保持
周辺割り込みマスクレジスタ 2 (CPU0)	C0INT2MSK2	H'FFFF FFFF	H'FFFF FFFF	保持
周辺割り込みマスクレジスタ 3 (CPU0)	C0INT2MSK3	H'FFFF FFFF	H'FFFF FFFF	保持
周辺割り込みマスククリアレジスタ 0 (CPU0)	C0INT2MSKCLR0	H'0000 0000	H'0000 0000	保持
周辺割り込みマスククリアレジスタ 1 (CPU0)	C0INT2MSKCLR1	H'0000 0000	H'0000 0000	保持
周辺割り込みマスククリアレジスタ 2 (CPU0)	C0INT2MSKCLR2	H'0000 0000	H'0000 0000	保持
周辺割り込みマスククリアレジスタ 3 (CPU0)	C0INT2MSKCLR3	H'0000 0000	H'0000 0000	保持
割り込み要因レジスタ (マスク状態の影響なし) (CPU1)	C1INT2A0_0	H'xxxx xxxx	H'xxxx xxxx	保持
割り込み要因レジスタ (マスク状態の影響なし) (CPU1)	C1INT2A0_1	H'xxxx xxxx	H'xxxx xxxx	保持
割り込み要因レジスタ (マスク状態の影響なし) (CPU1)	C1INT2A0_2	H'xxxx xxxx	H'xxxx xxxx	保持
割り込み要因レジスタ (マスク状態の影響なし) (CPU1)	C1INT2A0_3	H'xxxx xxxx	H'xxxx xxxx	保持
割り込み要因レジスタ (マスク状態の影響あり) (CPU1)	C1INT2A1_0	H'0000 0000	H'0000 0000	保持
割り込み要因レジスタ (マスク状態の影響あり) (CPU1)	C1INT2A1_1	H'0000 0000	H'0000 0000	保持

名 称	略 称	パワーオン リセット PRESET 端子/WDT /H-UDI による	マニュアル リセット WDT /多重例外による	スリープ/ ライトスリープ SLEEP 命令 による
割り込み要因レジスタ (マスク状態の影響あり) (CPU1)	C1INT2A1_2	H'0000 0000	H'0000 0000	保持
割り込み要因レジスタ (マスク状態の影響あり) (CPU1)	C1INT2A1_3	H'0000 0000	H'0000 0000	保持
周辺割り込みマスクレジスタ 0 (CPU1)	C1INT2MSK0	H'FFFF FFFF	H'FFFF FFFF	保持
周辺割り込みマスクレジスタ 1 (CPU1)	C1INT2MSK1	H'FFFF FFFF	H'FFFF FFFF	保持
周辺割り込みマスクレジスタ 2 (CPU1)	C1INT2MSK2	H'FFFF FFFF	H'FFFF FFFF	保持
周辺割り込みマスクレジスタ 3 (CPU1)	C1INT2MSK3	H'FFFF FFFF	H'FFFF FFFF	保持
周辺割り込みマスククリアレジスタ 0 (CPU1)	C1INT2MSKCLR0	H'0000 0000	H'0000 0000	保持
周辺割り込みマスククリアレジスタ 1 (CPU1)	C1INT2MSKCLR1	H'0000 0000	H'0000 0000	保持
周辺割り込みマスククリアレジスタ 2 (CPU1)	C1INT2MSKCLR2	H'0000 0000	H'0000 0000	保持
周辺割り込みマスククリアレジスタ 3 (CPU1)	C1INT2MSKCLR3	H'0000 0000	H'0000 0000	保持
周辺割り込み詳細要因表示 0	INT2B00	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 1	INT2B01	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 2	INT2B02	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 3	INT2B03	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 4	INT2B04	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 5	INT2B05	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 6	INT2B06	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 7	INT2B07	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 8	INT2B08	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 9	INT2B09	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 10	INT2B10	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 11	INT2B11	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 12	INT2B12	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 13	INT2B13	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 14	INT2B14	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 15	INT2B15	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 16	INT2B16	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 17	INT2B17	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 18	INT2B18	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 19	INT2B19	H'xxxx xxxx	H'xxxx xxxx	保持

名 称	略 称	パワーオン リセット PRESET 端子/WDT /H-UDI による	マニュアル リセット WDT /多重例外による	スリープ/ ライトスリープ SLEEP 命令 による
周辺割り込み詳細要因表示 20	INT2B20	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 21	INT2B21	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 22	INT2B22	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 23	INT2B23	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 24	INT2B24	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 25	INT2B25	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 26	INT2B26	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 27	INT2B27	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 28	INT2B28	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 29	INT2B29	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 30	INT2B30	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 31	INT2B31	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 32	INT2B32	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 33	INT2B33	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 34	INT2B34	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 35	INT2B35	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 36	INT2B36	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 37	INT2B37	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 38	INT2B38	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 39	INT2B39	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 40	INT2B40	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 41	INT2B41	H'xxxx xxxx	H'xxxx xxxx	保持
周辺割り込み詳細要因表示 42	INT2B42	H'0000 0000	H'0000 0000	保持
周辺割り込み詳細要因表示 43	INT2B43	H'0000 0000	H'0000 0000	保持
周辺割り込み詳細要因表示 44	INT2B44	H'0000 0000	H'0000 0000	保持
GPIO 割り込み設定レジスタ	INT2GPIC	H'0000 0000	H'0000 0000	保持
温度センサ割り込み設定レジスタ	INT2THSC	H'0000 0000	H'0000 0000	保持

【注】 * ICR0.NMIL、NMIFCR.NMIL の初期値は、NMI 端子に入力されている信号レベルにより異なります。

10.3.1 外部割り込み要求レジスタ

(1) 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は、外部割り込み入力端子や NMI 端子の入力信号検出モードを設定し、NMI 端子への入力レベルを示す読み出し、一部書き込み可能な 32 ビットのレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NMIL	MAI	—	—	—	—	NMIB	NMIE	IRLM0	IRLM1	—	—	—	—	—	—
初期値 :	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	NMIL	x	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。 このビットを読むことによって、NMI 端子のレベルを知ることができます。 書き込みは無効です。 0 : NMI 端子にローレベルが入力されています 1 : NMI 端子にハイレベルが入力されています
30	MAI	0	R/W	MAI 割り込みマスク CPU の SR.BL ビットにかかわらず、NMI 端子の入力レベルがローレベルの間すべての割り込みをマスクするかどうかを指定します。 0 : NMI がローレベルでも割り込み許可 1 : NMI がローレベルの期間、割り込み禁止
29~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25	NMIB	0	R/W	NMI ブロックモード CPU の SR.BL ビットが 1 のとき、NMI 割り込みを SR.BL ビットが 0 になるまで保留するか、即時に検出するか選択します。 0 : SR.BL が 1 のとき NMI 割り込み要求を保留する (初期値) 1 : SR.BL が 1 のとき NMI 割り込みを保留しない 【注】SR.BL が 1 のままで割り込みを受け付けると、以前の例外情報 (SSR、SPC、SGR、INTEVT) は失われます。
24	NMIE	0	R/W	NMI エッジセレクト NMI 端子への割り込み要求信号を、立ち下がりエッジで検出するか、立ち上がりエッジで検出するかを選択します。 0 : NMI 入力の立ち下がりエッジで割り込み要求を検出 (初期値) 1 : NMI 入力の立ち上がりエッジで割り込み要求を検出

ビット	ビット名	初期値	R/W	説明
23	IRLM0 ^{*1*} 2	0	R/W	IRL 端子モード 0 IRQ/IRL3 ~ IRQ/IRL0 端子をエンコードされた割り込み (IRL3 ~ IRL0 割り込み) 要求として使用するか、4 つの独立した割り込み (IRQ3 ~ IRQ0 割り込み) 要求として使用するかどうかを選択します。 0 : IRQ/IRL3 ~ IRQ/IRL0 端子はエンコード割り込み要求として使用 (初期値) 1 : IRQ/IRL3 ~ IRQ/IRL0 端子は 4 つの独立した割り込み要求として使用
22	IRLM1 ^{*1*} 2	0	R/W	IRL 端子モード 1 IRQ/IRL7 ~ IRQ/IRL4 をエンコードされた割り込み (IRL7 ~ IRL4 割り込み) 要求として使用するか、4 つの独立した割り込み (IRQ7 ~ IRQ4 割り込み) 要求として使用するかどうかを選択します。 0 : IRQ/IRL7 ~ IRQ/IRL4 端子はエンコード割り込み要求として使用 (初期値) 1 : IRQ/IRL7 ~ IRQ/IRL4 端子は 4 つの独立した割り込み要求として使用
21 ~ 0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- 【注】 *1 IRLM0、IRLM1 を 0 から 1 に変更した場合、検出あるいは保持されていた IRL 割り込み要因はクリアされます。IRLM0、IRLM1 を 1 から 0 に変更した場合、検出あるいは保持されていた IRQ 割り込み要因はクリアされません。
- *2 IRQ/IRL3 ~ IRQ/IRL0 端子または IRQ/IRL7 ~ IRQ/IRL4 端子をエンコードされた IRL 割り込み入力として使用する場合は、それぞれ割り込みマスクレジスタ 0 (INTMSK0) の IM00 ~ IM03、IM04 ~ IM07 に 1 を書き込んでください。

(2) 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 $IRQ/\overline{IRL7} \sim IRQ/\overline{IRL0}$ に対して、立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルの検出モードを端子ごとに指定する読み出し / 書き込み可能な 32 ビットのレジスタです。

ICR0 の IRLM0、IRLM1 に 1 を書き込んで、 $IRQ/\overline{IRL3} \sim IRQ/\overline{IRL0}$ 、 $IRQ/\overline{IRL7} \sim IRQ/\overline{IRL4}$ 端子を独立した割り込み (IRQ7 ~ IRQ0 割り込み) 入力として使用する場合に有効になります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IRQ0S		IRQ1S		IRQ2S		IRQ3S		IRQ4S		IRQ5S		IRQ6S		IRQ7S	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31, 30	IRQ0S	00	R/W	IRQn センスセレクト
29, 28	IRQ1S	00	R/W	IRQ/ $\overline{IRL7}$ ~ IRQ/ $\overline{IRL0}$ 端子に対する割り込み信号を立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルのどれで検出するか選択します。
27, 26	IRQ2S	00	R/W	IRQnS IRQn 割り込み要求検出方法 00 : 割り込み要求を IRQn 入力の立ち下がりエッジで検出 01 : 割り込み要求を IRQn 入力の立ち上がりエッジで検出 10 : 割り込み要求を IRQn 入力のローレベルで検出 11 : 割り込み要求を IRQn 入力のハイレベルで検出
25, 24	IRQ3S	00	R/W	
23, 22	IRQ4S	00	R/W	
21, 20	IRQ5S	00	R/W	
19, 18	IRQ6S	00	R/W	
17, 16	IRQ7S	00	R/W	
15~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 IRQnS の設定をエッジ検出 (IRQnS が 00 または 01) からレベル検出 (IRQnS が 10 または 11) に変更した場合、エッジ検出されていた IRQ 割り込み要因はクリアされます。また、IRQnS の設定をレベル検出 (IRQnS が 10 または 11) からエッジ検出 (IRQnS が 00 または 01) に変更した場合、検出あるいは保持されていた IRQ 割り込み要因はクリアされます。IRQnS の設定を立ち下がりエッジ検出 (IRQnS が 00) から立ち上がりエッジ検出 (IRQnS が 01) に変更した場合、または、立ち上がりエッジ検出 (IRQnS が 01) から立ち下がりエッジ検出 (IRQnS が 00) に変更した場合、変更前の設定で検出した IRQ 割り込み要因はクリアされません。IRQnS の設定をローレベル検出 (IRQnS が 10) からハイレベル検出 (IRQnS が 11) に変更した場合、または、ハイレベル検出 (IRQnS が 11) からローレベル検出 (IRQnS が 10) に変更した場合、変更前の設定で検出した IRQ 割り込み要因はクリアされません。

(3) 割り込み優先順位設定レジスタ(INTPRI)

INTPRI は IRQ7 ~ IRQ0 割り込みの優先順位 (レベル 15 ~ 0) を設定する読み出し / 書き込み可能な 32 ビットのレジスタです。ICR0 の IRLM0、IRLM1 に 1 を書き込んで、IRQ/IRL3 ~ IRQ/IRL0、IRQ/IRL7 ~ IRQ/IRL4 端子を独立した割り込み (IRQ7 ~ IRQ0 割り込み) 入力として使用する場合に有効になります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IP0				IP1				IP2				IP3			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IP4				IP5				IP6				IP7			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 28	IP0	H'0	R/W	IRQ0 の独立した割り込み要求の優先順位
27 ~ 24	IP1	H'0	R/W	IRQ1 の独立した割り込み要求の優先順位
23 ~ 20	IP2	H'0	R/W	IRQ2 の独立した割り込み要求の優先順位
19 ~ 16	IP3	H'0	R/W	IRQ3 の独立した割り込み要求の優先順位
15 ~ 12	IP4	H'0	R/W	IRQ4 の独立した割り込み要求の優先順位
11 ~ 8	IP5	H'0	R/W	IRQ5 の独立した割り込み要求の優先順位
7 ~ 4	IP6	H'0	R/W	IRQ6 の独立した割り込み要求の優先順位
3 ~ 0	IP7	H'0	R/W	IRQ7 の独立した割り込み要求の優先順位

各 4 ビットのフィールドに H'F ~ H'1 の値を設定して割り込み優先順位を定めてください。値が大きいほど優先レベルが高くなります。

また、H'0 を設定した場合は割り込み要求がマスクされます。(初期値)

(4) 割り込み要因レジスタ (INTREQ)

INTREQ は INTC にどの IRQ_n (n = 0 ~ 7) 割り込みが要求されているかを示す読み出し、条件付き書き込み可能な 32 ビットのレジスタです。

INTPRI、INTMSK0 によって割り込みがマスクされても本レジスタのビットは影響を受けません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IR0	IR1	IR2	IR3	IR4	IR5	IR6	IR7	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
				エッジ検出時(IRQnS ¹ = 00 または 01)	レベル検出時(IRQnS ¹ = 10 または 11)
31	IR0	0	R/(W)	読み込み時 0 : 対応する割り込み要求を検出して いません 1 : 対応する割り込み要求を検出した 書き込み時 ² 各ビットをクリアする場合、必ず 1 を読み出した後に 0 を書き込んでください。 1 の書き込みは無視されます。	0 : 対応する割り込み端子がアサート されていません 1 : 対応する割り込み端子がアサート されました。ただし、まだ CPU が受け付けていません 書き込みは無効です ³
30	IR1	0	R/(W)		
29	IR2	0	R/(W)		
28	IR3	0	R/(W)		
27	IR4	0	R/(W)		
26	IR5	0	R/(W)		
25	IR6	0	R/(W)		
24	IR7	0	R/(W)		
23~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	

【注】 ICR0 レジスタ IRLM0 ビット (IRL 端子モード 0) = '1' とした場合は、IR0 ~ 3 の表示は無効です。

ICR0 レジスタ IRLM1 ビット (IRL 端子モード 1) = '1' とした場合は、IR4 ~ 7 の表示は無効です。

*1 n = 0 ~ 7

*2 クリアしたくないビットには 1 を書き込むようにしてください。

*3 レベル検出した IRQ 割り込み要求のクリア方法については、「10.7.2 IRL 割り込み要求および IRQ 割り込み要求のクリア方法」を参照してください。

(5) 割り込みマスクレジスタ 0 (CnINTMSK0) (n=0, 1)

CnINTMSK0 は、IRQ_n (n=0~7) 割り込み要求ごとにマスクするかどうかを設定する読み出し、条件付き書き込み可能な 32 ビットのレジスタです。割り込みマスクを解除するには、CnINTMSKCLR0 レジスタの対応するビットに 1 を書き込みます。本レジスタの各ビットに 0 を書き込んでも、値は変化しません。なお、本レジスタへの書き込み後、あるいは CnINTMSKCLR0 書き込みによるマスククリア後、本レジスタを 1 回読み出すことにより、レジスタ値反映に必要なタイミングが確保されます (マスク状態は読み出した状態を反映したものとなります)。

IRQ/IRL3 ~ IRQ/IRL0 端子または IRQ/IRL7 ~ IRQ/IRL4 端子をエンコードされた IRL 割り込み入力として使用する場合は、それぞれ IM00 ~ IM03、IM04 ~ IM07 には 1 を書き込んでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IM00	IM01	IM02	IM03	IM04	IM05	IM06	IM07	—	—	—	—	—	—	—	—
初期値:	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
31	IM00	1	R/W	IRQ0 の独立した割り込み要因のマスク	読み出し時 0: 割り込みを受け付ける 1: 割り込みをマスクする 書き込み時 0: 無効 1: 割り込みをマスクする
30	IM01	1	R/W	IRQ1 の独立した割り込み要因のマスク	
29	IM02	1	R/W	IRQ2 の独立した割り込み要因のマスク	
28	IM03	1	R/W	IRQ3 の独立した割り込み要因のマスク	
27	IM04	1	R/W	IRQ4 の独立した割り込み要因のマスク	
26	IM05	1	R/W	IRQ5 の独立した割り込み要因のマスク	
25	IM06	1	R/W	IRQ6 の独立した割り込み要因のマスク	
24	IM07	1	R/W	IRQ7 の独立した割り込み要因のマスク	
23~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	

(6) 割り込みマスクレジスタ 1 (CnINTMSK1) (n=0, 1)

CnINTMSK1 は、IRL 割り込み要求をマスクするかどうかを設定する読み出し、条件付き書き込み可能な 32 ビットのレジスタです。割り込みマスクを解除するには、CnINTMSKCLR1 レジスタの対応するビットに 1 を書き込みます。本レジスタの各ビットに 0 を書き込んでも、値は変化しません。なお、本レジスタへの書き込み後、あるいは CnINTMSKCLR1 書き込みによるマスククリア後、本レジスタを 1 回読み出すことにより、レジスタ値反映に必要なタイミングが確保されます (マスク状態は読み出した状態を反映したものとなります)。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IM10	IM11	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
31	IM10	1	R/W	IRQ/IRL3 ~ IRQ/IRL0 がエンコードされた割り込み入力の場合における IRL3 ~ IRL0 の割り込み要因のマスク	読み出し時 0: 割り込みを受け付ける 1: 割り込みをマスクする
30	IM11	1	R/W	IRQ/IRL7 ~ IRQ/IRL4 がエンコードされた割り込み入力の場合における IRL7 ~ IRL4 の割り込み要因のマスク	書き込み時 0: 無効 1: 割り込みをマスクする
29~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	

(7) 割り込みマスククリアレジスタ 0 (CnINTMSKCLR0) (n=0, 1)

CnINTMSKCLR0 は、IRQ_n (n=0~7) 割り込み要求ごとのマスクをクリアするための書き込み専用の 32 ビットレジスタです。読み出した値は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IC00	IC01	IC02	IC03	IC04	IC05	IC06	IC07	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
31	IC00	0	R/W	IRQ0 の独立した割り込み要因のマスククリア	読み出し時 不定値を返します。 書き込み時 0: 無効 1: 割り込みマスククリア (割り込みを許可する)
30	IC01	0	R/W	IRQ1 の独立した割り込み要因のマスククリア	
29	IC02	0	R/W	IRQ2 の独立した割り込み要因のマスククリア	
28	IC03	0	R/W	IRQ3 の独立した割り込み要因のマスククリア	
27	IC04	0	R/W	IRQ4 の独立した割り込み要因のマスククリア	
26	IC05	0	R/W	IRQ5 の独立した割り込み要因のマスククリア	
25	IC06	0	R/W	IRQ6 の独立した割り込み要因のマスククリア	
24	IC07	0	R/W	IRQ7 の独立した割り込み要因のマスククリア	
23~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	

(8) 割り込みマスククリアレジスタ 1 (CnINTMSKCLR1) (n=0, 1)

CnINTMSKCLR1 は、IRL 割り込み要求のマスクをクリアするための書き込み専用の 32 ビットレジスタです。読み出した値は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IC10	IC11	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
31	IC10	0	R/W	IRL3 ~ IRL0 がエンコードされた割り込み入力の場合における IRL3 ~ IRL0 の割り込み要因のマスククリア	読み出し時 不定値を返します。 書き込み時 0: 無効 1: 割り込みマスククリア (割り込みを許可する)
30	IC11	0	R/W	IRL7 ~ IRL4 がエンコードされた割り込み入力の場合における IRL7 ~ IRL4 の割り込み要因のマスククリア	
29 ~ 0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	

(9) 割り込みマスクレジスタ 2 (INTMSK2)

INTMSK2 は、IRL 割り込み要求をレベルごとにマスクするかどうかを設定する読み出し、条件付き書き込み可能な 32 ビットのレジスタです。割り込みマスクを解除するには、INTMSKCLR2 レジスタの対応するビットに 1 を書き込みます。本レジスタの各ビットに 0 を書き込んでも、値は変化しません。なお、本レジスタへの書き込み後、あるいは INTMSKCLR2 書き込みによるマスククリア後、本レジスタを 1 回読み出すことにより、レジスタ値反映に必要なタイミングが確保されます (マスク状態は読み出した状態を反映したものとなります)。

IRQ/IRL[3:0]または IRQ/IRL[7:4]端子がエンコードされた IRL 割り込み入力の場合かつ、INTMSK1 で IRL 割り込みをマスクしていない場合に有効となります。

本レジスタ設定は、CPU0、CPU1 共通です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IM015	IM014	IM013	IM012	IM011	IM010	IM009	IM008	IM007	IM006	IM005	IM004	IM003	IM002	IM001	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IM115	IM114	IM113	IM112	IM111	IM110	IM109	IM108	IM107	IM106	IM105	IM104	IM103	IM102	IM101	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明	
31	IM015	0	R/W	IRL[3:0]が LLLL(H'0)入力の場合の割り込み要因のマスク	読み出し時 0 : 割り込みを受け付ける 1 : 割り込みをマスクする 書き込み時 0 : 無効 1 : 割り込みをマスクする
30	IM014	0	R/W	IRL[3:0]が LLLH(H'1)入力の場合の割り込み要因のマスク	
29	IM013	0	R/W	IRL[3:0]が LLHL(H'2)入力の場合の割り込み要因のマスク	
28	IM012	0	R/W	IRL[3:0]が LLHH(H'3)入力の場合の割り込み要因のマスク	
27	IM011	0	R/W	IRL[3:0]が LHLL(H'4)入力の場合の割り込み要因のマスク	
26	IM010	0	R/W	IRL[3:0]が LHLH(H'5)入力の場合の割り込み要因のマスク	
25	IM009	0	R/W	IRL[3:0]が LHHL(H'6)入力の場合の割り込み要因のマスク	
24	IM008	0	R/W	IRL[3:0]が LHHH(H'7)入力の場合の割り込み要因のマスク	
23	IM007	0	R/W	IRL[3:0]が HLLL(H'8)入力の場合の割り込み要因のマスク	
22	IM006	0	R/W	IRL[3:0]が HLLH(H'9)入力の場合の割り込み要因のマスク	
21	IM005	0	R/W	IRL[3:0]が HLHL(H'A)入力の場合の割り込み要因のマスク	

ビット	ビット名	初期値	R/W	説明	
20	IM004	0	R/W	IRL[3:0]が HLHH(H'B)入力の場合の割り込み要因のマスク	0: 割り込みを受け付ける 1: 割り込みをマスクする 書き込み時 0: 無効 1: 割り込みをマスクする
19	IM003	0	R/W	IRL[3:0]が HHLL(H'C)入力の場合の割り込み要因のマスク	
18	IM002	0	R/W	IRL[3:0]が HHLH(H'D)入力の場合の割り込み要因のマスク	
17	IM001	0	R/W	IRL[3:0]が HHHL(H'E)入力の場合の割り込み要因のマスク	
16	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	
15	IM115	0	R/W	IRL[7:4]が LLLL(H'0)入力の場合の割り込み要因のマスク	読み出し時 0: 割り込みを受け付ける 1: 割り込みをマスクする 書き込み時 0: 無効 1: 割り込みをマスクする
14	IM114	0	R/W	IRL[7:4]が LLLH(H'1)入力の場合の割り込み要因のマスク	
13	IM113	0	R/W	IRL[7:4]が LLHL(H'2)入力の場合の割り込み要因のマスク	
12	IM112	0	R/W	IRL[7:4]が LLHH(H'3)入力の場合の割り込み要因のマスク	
11	IM111	0	R/W	IRL[7:4]が LHLL(H'4)入力の場合の割り込み要因のマスク	
10	IM110	0	R/W	IRL[7:4]が LHLH(H'5)入力の場合の割り込み要因のマスク	
9	IM109	0	R/W	IRL[7:4]が LHHL(H'6)入力の場合の割り込み要因のマスク	
8	IM108	0	R/W	IRL[7:4]が LHHH(H'7)入力の場合の割り込み要因のマスク	
7	IM107	0	R/W	IRL[7:4]が HLLL(H'8)入力の場合の割り込み要因のマスク	
6	IM106	0	R/W	IRL[7:4]が HLLH(H'9)入力の場合の割り込み要因のマスク	
5	IM105	0	R/W	IRL[7:4]が HLHL(H'A)入力の場合の割り込み要因のマスク	
4	IM104	0	R/W	IRL[7:4]が HLHH(H'B)入力の場合の割り込み要因のマスク	
3	IM103	0	R/W	IRL[7:4]が HHLL(H'C)入力の場合の割り込み要因のマスク	
2	IM102	0	R/W	IRL[7:4]が HHLH(H'D)入力の場合の割り込み要因のマスク	

ビット	ビット名	初期値	R/W	説明	
1	IM101	0	R/W	IRL[7:4]がHHHL(H'E)入力の場合の割り込み要因のマスク	読み出し時 0: 割り込みを受け付ける 1: 割り込みをマスクする 書き込み時 0: 無効 1: 割り込みをマスクする
0	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	

(10) 割り込みマスククリアレジスタ 2 (INTMSKCLR2)

INTMSKCLR2 は、IRL 割り込み要求のレベルごとのマスクをクリアするための書き込み専用の 32 ビットレジスタです。読み出した値は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IC015	IC014	IC013	IC012	IC011	IC010	IC009	IC008	IC007	IC006	IC005	IC004	IC003	IC002	IC001	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IC115	IC114	IC113	IC112	IC111	IC110	IC109	IC108	IC107	IC106	IC105	IC104	IC103	IC102	IC101	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明	
31	IC015	-	R/W	IRL[3:0]が LLLL(H'0)入力の場合の割り込み要因のマスククリア	読み出し時 不定値を返します。 書き込み時 0: 無効 1: 割り込みマスククリア (割り込みを許可する)
30	IC014	-	R/W	IRL[3:0]が LLLH(H'1)入力の場合の割り込み要因のマスククリア	
29	IC013	-	R/W	IRL[3:0]が LLHL(H'2)入力の場合の割り込み要因のマスククリア	
28	IC012	-	R/W	IRL[3:0]が LLHH(H'3)入力の場合の割り込み要因のマスククリア	
27	IC011	-	R/W	IRL[3:0]が LHLL(H'4)入力の場合の割り込み要因のマスククリア	
26	IC010	-	R/W	IRL[3:0]が LHLH(H'5)入力の場合の割り込み要因のマスククリア	
25	IC009	-	R/W	IRL[3:0]が LHHL(H'6)入力の場合の割り込み要因のマスククリア	
24	IC008	-	R/W	IRL[3:0]が LHHH(H'7)入力の場合の割り込み要因のマスククリア	
23	IC007	-	R/W	IRL[3:0]が HLLL(H'8)入力の場合の割り込み要因のマスククリア	
22	IC006	-	R/W	IRL[3:0]が HLLH(H'9)入力の場合の割り込み要因のマスククリア	
21	IC005	-	R/W	IRL[3:0]が HLHL(H'A)入力の場合の割り込み要因のマスククリア	
20	IC004	-	R/W	IRL[3:0]が HLHH(H'B)入力の場合の割り込み要因のマスククリア	

ビット	ビット名	初期値	R/W	説明	
19	IC003	-	R/W	IRL[3:0]が HLLL(H'C)入力の場合の割り込み要因のマスククリア	読み出し時 不定値を返します。 書き込み時 0: 無効 1: 割り込みマスククリア (割り込みを許可する)
18	IC002	-	R/W	IRL[3:0]が HLLH(H'D)入力の場合の割り込み要因のマスククリア	
17	IC001	-	R/W	IRL[3:0]が HHHL(H'E)入力の場合の割り込み要因のマスククリア	
16	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	
15	IC115	-	R/W	IRL[7:4]が LLLL(H'0)入力の場合の割り込み要因のマスククリア	読み出し時 不定値を返します。 書き込み時 0: 無効 1: 割り込みマスククリア (割り込みを許可する)
14	IC114	-	R/W	IRL[7:4]が LLLH(H'1)入力の場合の割り込み要因のマスククリア	
13	IC113	-	R/W	IRL[7:4]が LLHL(H'2)入力の場合の割り込み要因のマスククリア	
12	IC112	-	R/W	IRL[7:4]が LLHH(H'3)入力の場合の割り込み要因のマスククリア	
11	IC111	-	R/W	IRL[7:4]が LHLL(H'4)入力の場合の割り込み要因のマスククリア	
10	IC110	-	R/W	IRL[7:4]が LHLH(H'5) 入力の場合の割り込み要因のマスククリア	
9	IC109	-	R/W	IRL[7:4]が LHHL(H'6)入力の場合の割り込み要因のマスククリア	
8	IC108	-	R/W	IRL[7:4]が LHHH(H'7)入力の場合の割り込み要因のマスククリア	
7	IC107	-	R/W	IRL[7:4]が HLLL(H'8)入力の場合の割り込み要因のマスククリア	
6	IC106	-	R/W	IRL[7:4]が HLLH(H'9)入力の場合の割り込み要因のマスククリア	
5	IC105	-	R/W	IRL[7:4]が HLHL(H'A)入力の場合の割り込み要因のマスククリア	
4	IC104	-	R/W	IRL[7:4]が HLHH(H'B)入力の場合の割り込み要因のマスククリア	
3	IC103	-	R/W	IRL[7:4]が HLLL(H'C)入力の場合の割り込み要因のマスククリア	
2	IC102	-	R/W	IRL[7:4]が HLLH(H'D)入力の場合の割り込み要因のマスククリア	
1	IC101	-	R/W	IRL[7:4]が HHHL(H'E)入力の場合の割り込み要因のマスククリア	
0	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	

(11) NMI フラグコントロールレジスタ (NMIFCR)

NMIFCR は、読み出し、一部条件付き書き込み可能な NMI フラグ (NMIFL ビット) を持つ 32 ビットレジスタです。NMIFL ビットは、INTC により NMI が検出されると自動的に 1 にセットされます。NMIFL ビットは 0 を書き込むことでクリアされます。

NMIFL ビットの値は、CPU の NMI 受理には影響を与えません。つまり、INTC により検出された NMI 要求は、CPU に受け付けられることによりクリアされますが、NMIFL ビットは自動的にクリアされません。また、NMI 要求が CPU に受け付けられるより前に NMIFL ビットに 0 を書き込んだ場合でも、NMI 要求はキャンセルされません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NMIL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NMIFL
初期値 :	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	NMIL	x	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読み出すことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。 0 : NMI 端子にローレベルが入力されています 1 : NMI 端子にハイレベルが入力されています
30~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	NMIFL	0	R/W	NMI フラグ (NMI 割り込み要求検出) NMI 割り込み要求信号を検出したかどうかを示します。INTC で割り込み要求を検出した場合、自動的に 1 にセットされます。本ビットをクリアする場合は、0 を書き込んでください。1 を書き込んだ場合は無視されます。 読み出し時 : 1 : NMI が検出された 0 : NMI が検出されていない 書き込み時 0 : NMI フラグをクリア 1 : 無効 (1 書き込みは無視されます)
15~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(12) NMI セットレジスタ (NMISSET)

NMISSET は、CPU1 に、NMI 割り込み要求を設定する読み出し / 書き込み可能な 32 ビットレジスタです。NMI セットビット (NMISSET1) への設定で CPU1 に NMI 要求を出力します。NMISSET1 は、CPU に受け付けられると自動的に 0 にクリアされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NMI SET1	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	NMI SET1	0	R/W	NMI セット 1 0 : CPU1 の NMI 要求を出力しない。 1 : CPU1 の NMI 要求を出力する。
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

10.3.2 ユーザモード割り込み禁止機能

(1) ユーザ割り込みマスキングレベル設定レジスタ (USERIMASK)

USERIMASK は、受け付け可能な割り込みレベルを設定するための読み出し、一部条件付き書き込み可能な 32 ビットレジスタです。INTC のその他のレジスタとは異なる 4KB ページに配置されているので、MMU を使用してエリア 7 アドレスにアドレス変換をすることにより、本レジスタのみユーザモードでアクセス可能に設定できません。

UIMASK 設定値以下の割り込みレベルに設定された割り込みはマスクされます。HF を設定すると NMI 以外の全割り込みがマスクされます。

UIMASK 設定値より高い割り込みレベルに設定された割り込みは受け付けられますが、割り込みマスキングレジスタの対応する割り込みの割り込みマスキングビットが 0 (割り込み許可) であること、また SR.IMASK ビットがその割り込みレベルより低く設定されている場合のみ受け付けられます。

また、割り込みが受け付けられても UIMASK ビットの値は変化しません。

パワーオンリセット時に H'0000 0000 (全割り込み許可) に初期化されます。

誤書き込みを防止するため、本レジスタへの書き込みは、ビット 31~24 が H'A5 のときのみ有効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Code for writing(H'A5)								—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UIMASK				—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	-	H'00	R/W	リザーブビット 読み出すと常に 0 が読み出されます。 UIMASK ビットに値を書き込むときは、本ビットは H'A5 に設定してください(書き込んでください)。
23~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~4	UIMASK	H'0	R/W	ユーザ割り込みマスキングレベル UIMASK 設定値以下のレベルの割り込みはマスクされます。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(2) ユーザ割り込みマスクレベル設定レジスタの使用手順

USERIMASK に割り込みマスクレベルを設定することにより、設定値以下のレベルの割り込みを禁止することができます。本機能を用いることにより、ユーザモードで動作するデバイスドライバ等のタスク中で緊急度の高い処理を行う際に、より緊急度の低い割り込みを禁止することで完了までの時間を短縮できます。

USERIMASK は、INTC その他のレジスタとは異なる 4KB 空間に配置されています。ユーザモードで本レジスタをアクセスする場合は、MMU によるアドレス変換によりアクセスします。マルチタスク OS の場合、USERIMASK にアクセスできるプロセスは MMU の記憶保護により管理してください。また、そのタスクを終了する場合や他のタスクに切り替える場合は、必ず UIMASK ビットを 0 にクリアしてください。誤って UIMASK ビットに 0 以外の値を設定したままタスクを終了すると、その割り込みレベル以下の割り込みが禁止されたままとなり、OS のタスク切り替えが行われなくなるなどの不具合を起こすことがあります。

以下に使用手順の例を示します。

1. 準備として、割り込みを以下のように (A) と (B) に分類し、(B) より (A) の割り込みレベルを高く設定する。
 - (A) デバイスドライバ中で割り込み受け付けされるべき割り込み
(OS) で使用する割り込み：タイマ割り込み等
 - (B) デバイスドライバ中で割り込み禁止されるべき割り込み
2. 割り込みを禁止したいデバイスドライバにのみ USERIMASK が存在するアドレス空間へのアクセスを許可するように MMU を設定します。
3. デバイスドライバに分岐します。
4. ユーザモードで動作するデバイスドライバ中で、(B) の割り込みがマスクされるように UIMASK ビットを設定します。
5. デバイスドライバ中で緊急度の高い処理を行います。
6. UIMASK ビットを 0 にクリアし、デバイスドライバの処理から復帰します。

10.3.3 内蔵周辺モジュール割り込みレジスタ

(1) 周辺割り込み優先順位設定レジスタ (INT2PRI0 ~ INT2PRI24)

割り込み優先順位設定レジスタ (INT2PRI0 ~ INT2PRI24) は、内蔵周辺モジュール割り込みの優先順位 (レベル 31 ~ 0) を EventCode ごとに設定します。INT2PRI0 ~ INT2PRI24 は、それぞれ読み出し / 書き込み可能な 32 ビットのレジスタです。リセット時は H'0000 0000 に初期化されます。本レジスタでは、個々の割り込み要因を 5 ビットで 32 通り、30 レベル (H'00 と H'01 は割り込み要求をマスク) の優先レベルに割り付け設定することが可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—						—	—	—					
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—						—	—	—					
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

割り込み要求元と INT2PRI0 ~ INT2PRI24 レジスタの各ビットの対応を表 10.5 に示します。

表 10.5 割り込み要求元と INT2PRI0 ~ INT2PRI24 レジスタ

レジスタ	ビット			
	28 ~ 24	20 ~ 16	12 ~ 8	4 ~ 0
INT2PRI00	Reserve*	Reserve*	Reserve*	WDT(H'3E0)
INT2PRI01	TMU_ch0_2(H'400)	TMU_ch0_2(H'420)	TMU_ch0_2(H'440)	TMU_ch0_2(H'460)
INT2PRI02	TMU_ch3_5(H'480)	TMU_ch3_5(H'4A0)	TMU_ch3_5(H'4C0)	(H'4E0)
INT2PRI03	DMAC(0)(H'500)	DMAC(0)(H'520)	DMAC(0)(H'540)	DMAC(0)(H'560)
INT2PRI04	DMAC(0)(H'580)	DMAC(0)(H'5A0)	DMAC(0)(H'5C0)	H-UDI1(H'5E0)
INT2PRI05	H-UDI0(H'600)	DMAC(1)(H'620)	DMAC(1)(H'640)	DMAC(1)(H'660)
INT2PRI06	DMAC(1)(H'680)	HPB(H'6A0)	HPB(H'6C0)	HPB(H'6E0)
INT2PRI07	SCIF_ch0(H'700)	SCIF_ch0(H'720)	SCIF_ch0(H'740)	SCIF_ch0(H'760)
INT2PRI08	SCIF_ch1(H'780)	TMU_ch6_8(H'7A0)	TMU_ch9_11(H'7C0)	(H'7E0)
INT2PRI09	Reserve*	Reserve*	SCIF_ch2(H'840)	SCIF_ch3(H'860)
INT2PRI10	SCIF_ch4(H'880)	SCIF_ch5(H'8A0)	Ether(H'8C0)	Ether(H'8E0)
INT2PRI11	Reserve*	Reserve*	Reserve*	Reserve*
INT2PRI12	Reserve*	Reserve*	Reserve*	Reserve*
INT2PRI13	Reserve*	Reserve*	Reserve*	Reserve*
INT2PRI14	Reserve*	Reserve*	Reserve*	PCIEC0(H'AE0)
INT2PRI15	PCIEC0(H'B00)	PCIEC0(H'B20)	PCIEC1(H'B40)	PCIEC1(H'B60)
INT2PRI16	PCIEC1(H'B80)	USB(H'BA0)	SDI0(H'BC0)	SDI1(H'BE0)
INT2PRI17	(H'C00)	(H'C20)	(H'C40)	(H'C60)

レジスタ	ビット			
	28 ~ 24	20 ~ 16	12 ~ 8	4 ~ 0
INT2PRI18	(H'C80)	(H'CA0)	I2C_ch0(H'CC0)	I2C_ch1(H'CE0)
INT2PRI19	DU(H'D00)	SSI_ch0(H'D20)	SSI_ch1(H'D40)	SSI_ch2(H'D60)
INT2PRI20	SSI_ch3(H'D80)	PCIEC2(H'DA0)	PCIEC2(H'DC0)	PCIEC2(H'DE0)
INT2PRI21	HAC_ch0(H'E00)	HAC_ch1(H'E20)	FLCTL(H'E40)	(H'E60)
INT2PRI22	HSPI(H'E80)	GPIO0(H'EA0)	GPIO1(H'EC0)	Thermal sensor(H'EE0)
INT2PRI23	Reserve*	Reserve*	Reserve*	Reserve*
INT2PRI24	Reserve*	Reserve*	Reserve*	Reserve*

(表中の数字は EventCode 値)

【注】 大きい値ほど優先度が高くなります。なお、設定値 H'00 と H'01 は要求がマスクされていることと同じ状態です。詳細な割り込み要因については表 10.1 を参照してください。

* リザーブビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(2) 割り込み要因レジスタ (マスク状態の影響なし) (CnINT2A0_0~3) (n=0, 1)

CnINT2A0_0~3 は、内蔵周辺モジュールからの割り込み要因を EventCode 単位に表示する読み出し専用の 32 ビットのレジスタです。割り込みマスクレジスタに割り込みマスクが設定されている場合でも、本レジスタは、該当ビットの要因表示を行います (該当ビットの割り込み通知は行いません)。割り込みマスクレジスタの状態に応じて要因を非表示としたい場合は、CnINT2A1_0~3 レジスタを使用ください。

(a) CnINT2A0_0

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明
31	Reserve	-	R	リザーブビット 読み出すと常に 0 が読み出されます。	15	Reserve	-	R	リザーブビット 読み出すと常に 0 が読み出されます。
30	Reserve	-	R		14	Reserve	-	R	
29	Reserve	-	R		13	Reserve	-	R	
28	Reserve	-	R		12	Reserve	-	R	
27	Reserve	-	R		11	Reserve	-	R	
26	Reserve	-	R		10	Reserve	-	R	
25	Reserve	-	R		9	Reserve	-	R	
24	Reserve	-	R		8	Reserve	-	R	
23	Reserve	-	R		7	Reserve	-	R	
22	Reserve	-	R		6	Reserve	-	R	
21	Reserve	-	R		5	Reserve	-	R	
20	Reserve	-	R		4	Reserve	-	R	
19	Reserve	-	R		3	Reserve	-	R	
18	Reserve	-	R		2	Reserve	-	R	
17	Reserve	-	R		1	Reserve	-	R	
16	Reserve	-	R		0	WDT (H'3E0)	-	R	

(b) CnINT2A0_1

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明
31	TMU-ch0_2 (H'400)	-	R	読み出し時 0: 割り込みなし 1: 割り込み発生 書き込み時 0: 無効 1: 無効	15	H-UDI0 (H'600)	-	R	読み出し時 0: 割り込みなし 1: 割り込み発生 書き込み時 0: 無効 1: 無効
30	TMU-ch0_2 (H'420)	-	R		14	DMAC1 (H'620)	-	R	
29	TMU-ch0_2 (H'440)	-	R		13	DMAC1 (H'640)	-	R	
28	TMU-ch0_2 (H'460)	-	R		12	DMAC1 (H'660)	-	R	
27	TMU-ch3_5 (H'480)	-	R		11	DMAC1 (H'680)	-	R	
26	TMU-ch3_5 (H'4A0)	-	R		10	HPB (H'6A0)	-	R	
25	TMU-ch3_5 (H'4C0)	-	R		9	HPB (H'6C0)	-	R	
24	(H'4E0)	-	R		8	HPB (H'6E0)	-	R	
23	DMAC0 (H'500)	-	R		7	SCIF0 (H'700)	-	R	
22	DMAC0 (H'520)	-	R		6	SCIF0 (H'720)	-	R	
21	DMAC0 (H'540)	-	R		5	SCIF0 (H'740)	-	R	
20	DMAC0 (H'560)	-	R		4	SCIF0 (H'760)	-	R	
19	DMAC0 (H'580)	-	R		3	SCIF1 (H'780)	-	R	
18	DMAC0 (H'5A0)	-	R		2	TMU-ch6_8 (H'7A0)	-	R	
17	DMAC0 (H'5C0)	-	R		1	TMU-ch9_ 11 (H'7C0)	-	R	
16	H-UDI1 (H'5E0)	-	R		0	(H'7E0)	-	R	

(c) CnINT2A0_2

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明
31	Reserve	-	R	リザーブビット	15	Reserve	-	R	リザーブビット
30	Reserve	-	R	読み出すと常に0が読み出されます。	14	Reserve	-	R	読み出すと常に0が読み出されます。
29	SCIF2 (H'840)	-	R	読み出し時 0: 割り込みなし 1: 割り込み発生 書き込み時 0: 無効 1: 無効	13	Reserve	-	R	読み出すと常に0が読み出されます。
28	SCIF3 (H'860)	-	R		12	Reserve	-	R	
27	SCIF4 (H'880)	-	R		11	Reserve	-	R	
26	SCIF5 (H'8A0)	-	R		10	Reserve	-	R	
25	Ether (H'8C0)	-	R		9	Reserve	-	R	
24	Ether (H'8E0)	-	R		8	PCIEC0 (H'AE0)	-	R	
23	Reserve	-	R	リザーブビット 読み出すと常に0が読み出されます。	7	PCIEC0 (H'B00)	-	R	書き込み時 0: 無効 1: 無効
22	Reserve	-	R		6	PCIEC0 (H'B20)	-	R	
21	Reserve	-	R		5	PCIEC1 (H'B40)	-	R	
20	Reserve	-	R		4	PCIEC1 (H'B60)	-	R	
19	Reserve	-	R		3	PCIEC1 (H'B80)	-	R	
18	Reserve	-	R		2	USB (H'BA0)	-	R	
17	Reserve	-	R		1	SDI0 (H'BC0)	-	R	
16	Reserve	-	R		0	SDI1 (H'BE0)	-	R	

(d) CnINT2A0_3

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明
31	(H'C00)	-	R	読み出し時 0: 割り込みなし 1: 割り込み発生 書き込み時 0: 無効 1: 無効	15	HAC0 (H'E00)	-	R	読み出し時 0: 割り込みなし 1: 割り込み発生 書き込み時 0: 無効 1: 無効
30	(H'C20)	-	R		14	HAC1 (H'E20)	-	R	
29	(H'C40)	-	R		13	FLCTL (H'E40)	-	R	
28	(H'C60)	-	R		12	(H'E60)	-	R	
27	(H'C80)	-	R		11	HSPI (H'E80)	-	R	
26	(H'CA0)	-	R		10	GPIO0 (H'EA0)	-	R	
25	I2C0 (H'CC0)	-	R		9	GPIO1 (H'EC0)	-	R	
24	I2C1 (H'CE0)	-	R		8	Thermal sensor (H'EE0)	-	R	
23	DU (H'D00)	-	R		7	Reserve	-	R	リザーブビット 読み出すと常に0が読 み出されます。
22	SSI0 (H'D20)	-	R		6	Reserve	-	R	
21	SSI1 (H'D40)	-	R		5	Reserve	-	R	
20	SSI2 (H'D60)	-	R		4	Reserve	-	R	
19	SSI3 (H'D80)	-	R		3	Reserve	-	R	
18	PCIEC2 (H'DA0)	-	R		2	Reserve	-	R	
17	PCIEC2 (H'DC0)	-	R	1	Reserve	-	R		
16	PCIEC2 (H'DE0)	-	R	0	Reserve	-	R		

(3) 割り込み要因レジスタ (マスク状態の影響あり) (CnINT2A1_0~3) (n=0, 1)

CnINT2A1_0~3 は、内蔵周辺モジュールからの割り込み要因を EventCode 単位に表示する読み出し専用の 32 ビットのレジスタです。ただし、割り込みマスクレジスタに割り込みマスクが設定されている場合、周辺割り込み受け付けマスクレジスタにて ACK マスク状態となっている場合は、該当ビットは表示されません (1 にセットされません)。割り込みマスクレジスタの状態にかかわらず割り込みへ発生の有無を確認する場合は、CnINT2A0_0~3 レジスタを使用してください。

(a) CnINT2A1_0

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明
31	Reserve	0	R	リザーブビット 読み出すと常に 0 が読み出されます。	15	Reserve	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
30	Reserve	0	R		14	Reserve	0	R	
29	Reserve	0	R		13	Reserve	0	R	
28	Reserve	0	R		12	Reserve	0	R	
27	Reserve	0	R		11	Reserve	0	R	
26	Reserve	0	R		10	Reserve	0	R	
25	Reserve	0	R		9	Reserve	0	R	
24	Reserve	0	R		8	Reserve	0	R	
23	Reserve	0	R		7	Reserve	0	R	
22	Reserve	0	R		6	Reserve	0	R	
21	Reserve	0	R		5	Reserve	0	R	
20	Reserve	0	R		4	Reserve	0	R	
19	Reserve	0	R		3	Reserve	0	R	
18	Reserve	0	R		2	Reserve	0	R	
17	Reserve	0	R		1	Reserve	0	R	
16	Reserve	0	R		0	WDT (H'3E0)	0	R	

(b) CnINT2A1_1

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明
31	TMU-ch0_2 (H'400)	0	R	読み出し時 0: 割り込みなし 1: 割り込み発生 書き込み時 0: 無効 1: 無効	15	H-UDI0 (H'600)	0	R	読み出し時 0: 割り込みなし 1: 割り込み発生 書き込み時 0: 無効 1: 無効
30	TMU-ch0_2 (H'420)	0	R		14	DMAC1 (H'620)	0	R	
29	TMU-ch0_2 (H'440)	0	R		13	DMAC1 (H'640)	0	R	
28	TMU-ch0_2 (H'460)	0	R		12	DMAC1 (H'660)	0	R	
27	TMU-ch3_5 (H'480)	0	R		11	DMAC1 (H'680)	0	R	
26	TMU-ch3_5 (H'4A0)	0	R		10	HPB (H'6A0)	0	R	
25	TMU-ch3_5 (H'4C0)	0	R		9	HPB (H'6C0)	0	R	
24	(H'4E0)	0	R		8	HPB (H'6E0)	0	R	
23	DMAC0 (H'500)	0	R		7	SCIF0 (H'700)	0	R	
22	DMAC0 (H'520)	0	R		6	SCIF0 (H'720)	0	R	
21	DMAC0 (H'540)	0	R		5	SCIF0 (H'740)	0	R	
20	DMAC0 (H'560)	0	R		4	SCIF0 (H'760)	0	R	
19	DMAC0 (H'580)	0	R		3	SCIF1 (H'780)	0	R	
18	DMAC0 (H'5A0)	0	R		2	TMU-ch6_8 (H'7A0)	0	R	
17	DMAC0 (H'5C0)	0	R	1	TMU-ch9_ 11 (H'7C0)	0	R		
16	H-UDI1 (H'5E0)	0	R	0	(H'7E0)	0	R		

(c) CnINT2A1_2

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明
31	Reserve	0	R	リザーブビット 読み出すと常に0が読み出されます。	15	Reserve	0	R	リザーブビット 読み出すと常に0が読み出されます。
30	Reserve	0	R		14	Reserve	0	R	
29	SCIF2 (H'840)	0	R	読み出し時 0: 割り込みなし 1: 割り込み発生 書き込み時 0: 無効 1: 無効	13	Reserve	0	R	
28	SCIF3 (H'860)	0	R		12	Reserve	0	R	
27	SCIF4 (H'880)	0	R		11	Reserve	0	R	
26	SCIF5 (H'8A0)	0	R		10	Reserve	0	R	
25	Ether (H'8C0)	0	R		9	Reserve	0	R	
24	Ether (H'8E0)	0	R		8	PCIEC0 (H'AE0)	0	R	
23	Reserve	0	R	7	PCIEC0 (H'B00)	0	R		
22	Reserve	0	R	6	PCIEC0 (H'B20)	0	R		
21	Reserve	0	R	5	PCIEC1 (H'B40)	0	R		
20	Reserve	0	R	4	PCIEC1 (H'B60)	0	R		
19	Reserve	0	R	3	PCIEC1 (H'B80)	0	R		
18	Reserve	0	R	2	USB (H'BA0)	0	R		
17	Reserve	0	R	1	SDI0 (H'BC0)	0	R		
16	Reserve	0	R	0	SDI1 (H'BE0)	0	R		

(d) CnINT2A1_3

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明	
31	(H'C00)	0	R	読み出し時 0: 割り込みなし 1: 割り込み発生 書き込み時 0: 無効 1: 無効	15	HAC0 (H'E00)	0	R	読み出し時 0: 割り込みなし 1: 割り込み発生 書き込み時 0: 無効 1: 無効	
30	(H'C20)	0	R		14	HAC1 (H'E20)	0	R		
29	(H'C40)	0	R		13	FLCTL (H'E40)	0	R		
28	(H'C60)	0	R		12	(H'E60)	0	R		
27	(H'C80)	0	R		11	HSPI (H'E80)	0	R		
26	(H'CA0)	0	R		10	GPIO0 (H'EA0)	0	R		
25	I2C0 (H'CC0)	0	R		9	GPIO1 (H'EC0)	0	R		
24	I2C1 (H'CE0)	0	R		8	Thermal sensor (H'EE0)	0	R		
23	DU (H'D00)	0	R		7	Reserve	0	R		リザーブビット 読み出すと常に0が読み出されます。
22	SSI0 (H'D20)	0	R		6	Reserve	0	R		
21	SSI1 (H'D40)	0	R		5	Reserve	0	R		
20	SSI2 (H'D60)	0	R		4	Reserve	0	R		
19	SSI3 (H'D80)	0	R		3	Reserve	0	R		
18	PCIEC2 (H'DA0)	0	R		2	Reserve	0	R		
17	PCIEC2 (H'DC0)	0	R	1	Reserve	0	R			
16	PCIEC2 (H'DE0)	0	R	0	Reserve	0	R			

割り込みマスクレジスタ (CnINT2MSKR0~3) で割り込みマスク設定をした場合、あるいは、割り込みマスククリアレジスタ (CnINT2MSKCLR0~3) で CnINT2MSKR0-2 の割り込みマスク設定をクリアした場合、CnINT2A1 への反映に必要な時間はハードウェアで確保されます。したがって、割り込みマスク設定後あるいは割り込みマスククリア後、CnINT2A1 を読み出すと、常に CnINT2MSKR0~3 の設定を反映した情報を読み出すことができます。

(4) 周辺割り込みマスクレジスタ (CnINT2MSK0~3) (n=0, 1)

CnINT2MSK0~3 は、周辺割り込み要因レジスタに表示される要因に対して、個別に割り込みマスクを設定することができる読み出し、条件付き書き込み可能な 32 ビットのレジスタです。本レジスタに 1 が設定された該当要因の割り込みは割り込み通知されません。リセット時は H'FFFF FFFF (=すべてマスク) に初期化されます。

本レジスタへの書き込み後、あるいは INT2MSKCLR0~2 書き込みによるマスククリア後、本レジスタを 1 回読み出すことにより、レジスタ値反映に必要なタイミングが確保されます (マスク状態は読み出した状態を反映したものとります)。

(a) CnINT2MSK0

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明
31	Reserve	1	R/W	リザーブビット 書き込む値は常に 0 にしてください。読み出した値は Don'tCare です。	15	Reserve	1	R/W	リザーブビット 書き込む値は常に 0 にしてください。読み出した値は Don'tCare です。
30	Reserve	1	R/W		14	Reserve	1	R/W	
29	Reserve	1	R/W		13	Reserve	1	R/W	
28	Reserve	1	R/W		12	Reserve	1	R/W	
27	Reserve	1	R/W		11	Reserve	1	R/W	
26	Reserve	1	R/W		10	Reserve	1	R/W	
25	Reserve	1	R/W		9	Reserve	1	R/W	
24	Reserve	1	R/W		8	Reserve	1	R/W	
23	Reserve	1	R/W		7	Reserve	1	R/W	
22	Reserve	1	R/W		6	Reserve	1	R/W	
21	Reserve	1	R/W		5	Reserve	1	R/W	
20	Reserve	1	R/W		4	Reserve	1	R/W	
19	Reserve	1	R/W		3	Reserve	1	R/W	
18	Reserve	1	R/W		2	Reserve	1	R/W	
17	Reserve	1	R/W		1	Reserve	1	R/W	
16	Reserve	1	R/W		0	WDT (H'3E0)	1	R/W	

(b) CnINT2MSK1

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明
31	TMU-ch0_2 (H'400)	1	R/W	読み出し時 0: マスク設定なし 1: マスク設定あり 書き込み時 0: 無効 1: マスク設定	15	H-UDI0 (H'600)	1	R/W	読み出し時 0: マスク設定なし 1: マスク設定あり 書き込み時 0: 無効 1: マスク設定
30	TMU-ch0_2 (H'420)	1	R/W		14	DMAC1 (H'620)	1	R/W	
29	TMU-ch0_2 (H'440)	1	R/W		13	DMAC1 (H'640)	1	R/W	
28	TMU-ch0_2 (H'460)	1	R/W		12	DMAC1 (H'660)	1	R/W	
27	TMU-ch3_5 (H'480)	1	R/W		11	DMAC1 (H'680)	1	R/W	
26	TMU-ch3_5 (H'4A0)	1	R/W		10	HPB (H'6A0)	1	R/W	
25	TMU-ch3_5 (H'4C0)	1	R/W		9	HPB (H'6C0)	1	R/W	
24	(H'4E0)	1	R/W		8	HPB (H'6E0)	1	R/W	
23	DMAC0 (H'500)	1	R/W		7	SCIF0 (H'700)	1	R/W	
22	DMAC0 (H'520)	1	R/W		6	SCIF0 (H'720)	1	R/W	
21	DMAC0 (H'540)	1	R/W		5	SCIF0 (H'740)	1	R/W	
20	DMAC0 (H'560)	1	R/W		4	SCIF0 (H'760)	1	R/W	
19	DMAC0 (H'580)	1	R/W		3	SCIF1 (H'780)	1	R/W	
18	DMAC0 (H'5A0)	1	R/W		2	TMU-ch6_8 (H'7A0)	1	R/W	
17	DMAC0 (H'5C0)	1	R/W		1	TMU-ch 9_11 (H'7C0)	1	R/W	
16	H-UDI1 (H'5E0)	1	R/W		0	(H'7E0)	1	R/W	

(c) CnINT2MSK2

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明	
31	Reserve	1	R/W	リザーブビット 書き込む値は常に0にしてください。読み出した値は Don'tCare です。 読み出し時 0: マスク設定なし 1: マスク設定あり 書き込み時 0: 無効 1: マスク設定	15	Reserve	1	R/W	リザーブビット 書き込む値は常に0にしてください。読み出した値は Don'tCare です。	
30	Reserve	1	R/W		14	Reserve	1	R/W		
29	SCIF2 (H'840)	1	R/W		13	Reserve	1	R/W		
28	SCIF3 (H'860)	1	R/W		12	Reserve	1	R/W		
27	SCIF4 (H'880)	1	R/W		11	Reserve	1	R/W		
26	SCIF5 (H'8A0)	1	R/W		10	Reserve	1	R/W		
25	Ether (H'8C0)	1	R/W		9	Reserve	1	R/W		
24	Ether (H'8E0)	1	R/W		8	PCIEC0 (H'AE0)	1	R/W		読み出し時 0: マスク設定なし 1: マスク設定あり 書き込み時 0: 無効 1: マスク設定
23	Reserve	1	R/W		7	PCIEC0 (H'B00)	1	R/W		
22	Reserve	1	R/W		6	PCIEC0 (H'B20)	1	R/W		
21	Reserve	1	R/W	5	PCIEC1 (H'B40)	1	R/W			
20	Reserve	1	R/W	4	PCIEC1 (H'B60)	1	R/W			
19	Reserve	1	R/W	3	PCIEC1 (H'B80)	1	R/W			
18	Reserve	1	R/W	2	USB (H'BA0)	1	R/W			
17	Reserve	1	R/W	1	SDI0 (H'BC0)	1	R/W			
16	Reserve	1	R/W	0	SDI1 (H'BE0)	1	R/W			

(d) CnINT2MSK3

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明
31	(H'C00)	1	R/W	読み出し時 0: マスク設定なし 1: マスク設定あり 書き込み時 0: 無効 1: マスク設定	15	HAC0 (H'E00)	1	R/W	読み出し時 0: マスク設定なし 1: マスク設定あり 書き込み時 0: 無効 1: マスク設定
30	(H'C20)	1	R/W		14	HAC1 (H'E20)	1	R/W	
29	(H'C40)	1	R/W		13	FLCTL (H'E40)	1	R/W	
28	(H'C60)	1	R/W		12	(H'E60)	1	R/W	
27	(H'C80)	1	R/W		11	HSPI (H'E80)	1	R/W	
26	(H'CA0)	1	R/W		10	GPIO0 (H'EA0)	1	R/W	
25	I2C0 (H'CC0)	1	R/W		9	GPIO1 (H'EC0)	1	R/W	
24	I2C1 (H'CE0)	1	R/W		8	Thermal sensor (H'EE0)	1	R/W	
23	DU (H'D00)	1	R/W		7	Reserve	1	R/W	リザーブビット 書き込む値は常に0に してください。読み出 した値は Don'tCare で す。
22	SSI0 (H'D20)	1	R/W		6	Reserve	1	R/W	
21	SSI1 (H'D40)	1	R/W		5	Reserve	1	R/W	
20	SSI2 (H'D60)	1	R/W		4	Reserve	1	R/W	
19	SSI3 (H'D80)	1	R/W		3	Reserve	1	R/W	
18	PCIEC2 (H'DA0)	1	R/W		2	Reserve	1	R/W	
17	PCIEC2 (H'DC0)	1	R/W		1	Reserve	1	R/W	
16	PCIEC2 (H'DE0)	1	R/W		0	Reserve	1	R/W	

【注】 INTC では、各モジュールから発生する割り込み個々の詳細要因の単位でのマスク設定や解除を行うことはできません。個々の詳細な要因単位でマスクが必要な場合は、該当モジュール内部のレジスタにてマスク設定を行ってください。

(5) 周辺割り込みマスククリアレジスタ (CnINT2MSKCLR0~3) (n=0, 1)

CnINT2MSKCLR0~3 は、周辺割り込みマスクレジスタに設定されたマスクをクリアするための書き込み専用の 32 ビットのレジスタです。本レジスタの該当ビットに 1 を設定するとその割り込み要因のマスクがクリアされま
す。読み出しデータは常に 0 です。

(a) CnINT2MSKCLR0

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明
31	Reserve	0	W	リザーブビット 書き込む値は常に 0 に してください。読み出 した値は Don'tCare で す。	15	Reserve	0	W	リザーブビット 書き込む値は常に 0 に してください。読み出 した値は Don'tCare で す。
30	Reserve	0	W		14	Reserve	0	W	
29	Reserve	0	W		13	Reserve	0	W	
28	Reserve	0	W		12	Reserve	0	W	
27	Reserve	0	W		11	Reserve	0	W	
26	Reserve	0	W		10	Reserve	0	W	
25	Reserve	0	W		9	Reserve	0	W	
24	Reserve	0	W		8	Reserve	0	W	
23	Reserve	0	W		7	Reserve	0	W	
22	Reserve	0	W		6	Reserve	0	W	
21	Reserve	0	W		5	Reserve	0	W	
20	Reserve	0	W		4	Reserve	0	W	
19	Reserve	0	W		3	Reserve	0	W	
18	Reserve	0	W		2	Reserve	0	W	
17	Reserve	0	W		1	Reserve	0	W	
16	Reserve	0	W		0	WDT (H'3E0)	0	W	

(b) CnINT2MSKCLR1

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明
31	TMU-ch0_2 (H'400)	0	W	読み出し時 0 : Don'tCare 1 : Don'tCare 書き込み時 0 : 無効 1 : マスククリア	15	H-UDI0 (H'600)	0	W	読み出し時 0 : Don'tCare 1 : Don'tCare 書き込み時 0 : 無効 1 : マスククリア
30	TMU-ch0_2 (H'420)	0	W		14	DMAC1 (H'620)	0	W	
29	TMU-ch0_2 (H'440)	0	W		13	DMAC1 (H'640)	0	W	
28	TMU-ch0_2 (H'460)	0	W		12	DMAC1 (H'660)	0	W	
27	TMU-ch3_5 (H'480)	0	W		11	DMAC1 (H'680)	0	W	
26	TMU-ch3_5 (H'4A0)	0	W		10	HPB (H'6A0)	0	W	
25	TMU-ch3_5 (H'4C0)	0	W		9	HPB (H'6C0)	0	W	
24	(H'4E0)	0	W		8	HPB (H'6E0)	0	W	
23	DMAC0 (H'500)	0	W		7	SCIF0 (H'700)	0	W	
22	DMAC0 (H'520)	0	W		6	SCIF0 (H'720)	0	W	
21	DMAC0 (H'540)	0	W		5	SCIF0 (H'740)	0	W	
20	DMAC0 (H'560)	0	W		4	SCIF0 (H'760)	0	W	
19	DMAC0 (H'580)	0	W		3	SCIF1 (H'780)	0	W	
18	DMAC0 (H'5A0)	0	W		2	TMU-ch6_8 (H'7A0)	0	W	
17	DMAC0 (H'5C0)	0	W		1	TMU-ch 9_11 (H'7C0)	0	W	
16	H-UDI1 (H'5E0)	0	W		0	(H'7E0)	0	W	

(c) CnINT2MSKCLR2

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明	
31	Reserve	0	W	リザーブビット 書き込む値は常に0にしてください。読み出した値は Don'tCare です。	15	Reserve	0	W	リザーブビット 書き込む値は常に0にしてください。読み出した値は Don'tCare です。	
30	Reserve	0	W		14	Reserve	0	W		
29	SCIF2 (H'840)	0	W	読み出し時 0 : Don'tCare 1 : Don'tCare 書き込み時 0 : 無効 1 : マスククリア	13	Reserve	0	W		
28	SCIF3 (H'860)	0	W		12	Reserve	0	W		
27	SCIF4 (H'880)	0	W		11	Reserve	0	W		
26	SCIF5 (H'8A0)	0	W		10	Reserve	0	W		
25	Ether (H'8C0)	0	W		9	Reserve	0	W		
24	Ether (H'8E0)	0	W		8	PCIEC0 (H'AE0)	0	W		読み出し時 0 : Don'tCare 1 : Don'tCare 書き込み時 0 : 無効 1 : マスククリア
23	Reserve	0	W		7	PCIEC0 (H'B00)	0	W		
22	Reserve	0	W	6	PCIEC0 (H'B20)	0	W			
21	Reserve	0	W	5	PCIEC1 (H'B40)	0	W			
20	Reserve	0	W	4	PCIEC1 (H'B60)	0	W			
19	Reserve	0	W	3	PCIEC1 (H'B80)	0	W			
18	Reserve	0	W	2	USB (H'BA0)	0	W			
17	Reserve	0	W	1	SDI0 (H'BC0)	0	W			
16	Reserve	0	W	0	SDI1 (H'BE0)	0	W			

(d) CnINT2MSKCLR3

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明
31	(H'C00)	0	W	読み出し時 0 : Don'tCare 1 : Don'tCare 書き込み時 0 : 無効 1 : マスククリア	15	HAC0 (H'E00)	0	W	読み出し時 0 : Don'tCare 1 : Don'tCare 書き込み時 0 : 無効 1 : マスククリア
30	(H'C20)	0	W		14	HAC1 (H'E20)	0	W	
29	(H'C40)	0	W		13	FLCTL (H'E40)	0	W	
28	(H'C60)	0	W		12	(H'E60)	0	W	
27	(H'C80)	0	W		11	HSPI (H'E80)	0	W	
26	(H'CA0)	0	W		10	GPIO0 (H'EA0)	0	W	
25	I2C0 (H'CC0)	0	W		9	GPIO1 (H'EC0)	0	W	
24	I2C1 (H'CE0)	0	W		8	Thermal sensor (H'EE0)	0	W	
23	DU (H'D00)	0	W		7	Reserve	0	W	リザーブビット 書き込む値は常に0に してください。読み出 した値は Don'tCare で す。
22	SSI0 (H'D20)	0	W		6	Reserve	0	W	
21	SSI1 (H'D40)	0	W		5	Reserve	0	W	
20	SSI2 (H'D60)	0	W		4	Reserve	0	W	
19	SSI3 (H'D80)	0	W		3	Reserve	0	W	
18	PCIEC2 (H'DA0)	0	W		2	Reserve	0	W	
17	PCIEC2 (H'DC0)	0	W		1	Reserve	0	W	
16	PCIEC2 (H'DE0)	0	W		0	Reserve	0	W	

【注】 INTC では、各モジュールから発生する割り込み個々の詳細要因の単位でのマスク設定や解除を行うことはできません。個々の詳細な要因単位でマスクが必要な場合は、該当モジュール内部のレジスタにてマスク設定を行ってください。

(6) 周辺割り込み詳細要因表示レジスタ (INT2B00 ~ 44)

周辺割り込み詳細要因表示レジスタ (INT2B00 ~ INT2B44) は、周辺割り込み要因レジスタで表示されているモジュール種別の要因に対して、さらに詳細の個別要因を表示するレジスタで、これらのレジスタは、割り込みマスク設定レジスタのマスク状態に影響を受けない、いずれも読み出しのみ可能な 32 ビットのレジスタです (発生元のモジュール内部で割り込み出力マスクを設定している場合は、INTC の周辺割り込み詳細要因レジスタへ表示はされません)。これら個々の詳細要因に対して個別にマスク設定を行う場合は、該当モジュール内部に有している割り込みマスクレジスタ、または割り込みイネーブルレジスタの設定を操作する必要があります。各レジスタ詳細要因の意味に関しては、割り込み発生元の内蔵周辺モジュールの章を参照ください。

0) INT2B00 レジスタ : WDT

INTEVT=H'3E0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																ITI
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

1) INT2B01 レジスタ : TMU-ch0_2

INTEVT=H'400,420,440,460

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													TICPI	TUNI	TUNI	TUNI
													2	2	1	0
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

2) INT2B02 レジスタ : TMU-ch3_5

INTEVT=H'480,4A0,4C0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														TUNI	TUNI	TUNI
														5	4	3
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

3) INT2B03 レジスタ : SuperHywayDMAC0

INTEVT=H'500,520,540,560,580,5A0,5C0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											DMA0	DMA0	DMA0	DMA0	DMA0	DMA0
											AE	INT5	INT4	INT3	INT2	INT1
																INT0
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

4) INT2B04 レジスタ : HUDI0、1

INTEVT=H'5E0,600

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															H-UDI	H-UDI
															1	0
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

5) INT2B05 レジスタ : SuperHywayDMAC1 INTEVT=H'620,640,660,680

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SE		DE					TE	SE		DE					TE

初期値 : - - - - - - - - - - - - - - - -
 R/W : R R R R R R R R R R R R R R R R

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SE		DE					TE	SE		DE					TE

初期値 : - - - - - - - - - - - - - - - -
 R/W : R R R R R R R R R R R R R R R R

6) INT2B06 レジスタ : HPB DMAC0~13 INTEVT=H'6A0,6C0,6E0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

初期値 : - - - - - - - - - - - - - - - -
 R/W : R R R R R R R R R R R R R R R R

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			DTE13	DTE12	DTE11	DTE10	DTE9	DTE8	DTE7	DTE6	DTE5	DTE4	DTE3	DTE2	DTE1	DTE0

初期値 : - - - - - - - - - - - - - - - -
 R/W : R R R R R R R R R R R R R R R R

7) INT2B07 レジスタ : SCIF0 INTEVT=H'700,720,740,760

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

初期値 : - - - - - - - - - - - - - - - -
 R/W : R R R R R R R R R R R R R R R R

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													TXI0	BRI0	RXI0	ERI0

初期値 : - - - - - - - - - - - - - - - -
 R/W : R R R R R R R R R R R R R R R R

8) INT2B08 レジスタ : SCIF1

INTEVT=H'780

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

													TXI1	BRI1	RXI1	ERI1
--	--	--	--	--	--	--	--	--	--	--	--	--	------	------	------	------

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

9) INT2B09 レジスタ : TMU-ch6_8

INTEVT=H'7A0

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

														TUNI	TUNI	TUNI
														8	7	6

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

10) INT2B10 レジスタ : TMU-ch9_11

INTEVT=H'7C0

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

														TUNI	TUNI	TUNI
														11	10	9

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

11) INT2B11 レジスタ : Reserve

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

12) INT2B12 レジスタ : SCIF2

INTEVT=H'840

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

13) INT2B13 レジスタ : SCIF3

INTEVT=H'860

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

14) INT2B14 レジスタ : SCIF4

INTEVT=H'880

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

15) INT2B15 レジスタ : SCIF5

INTEVT=H'8A0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

16) INT2B16 レジスタ : Ether

INTEVT=H'8C0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

17) INT2B17 レジスタ : Ether_DMACH INTEVT=H'8E0

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

		TWB			LKON	TABT	RABT	RFRM ER	BER	MINT	FTC	TDE	TFE	FRC	RDE	RFE
--	--	-----	--	--	------	------	------	------------	-----	------	-----	-----	-----	-----	-----	-----

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TINT8	TINT7	TINT6	TINT5	TINT4	TINT3	TINT2	TINT1	RINT8	RINT7	RINT6	RINT5	RINT4	RINT3	RINT2	RINT1
-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

18) INT2B18 レジスタ : PCIEC0-3 INTEVT=H'AE0

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

											PCI0A STINT D	PCI0A STINT C	PCI0A STINT B	PCI0A STINT A	PCI0M SI31	PCI0M SI30
--	--	--	--	--	--	--	--	--	--	--	---------------------	---------------------	---------------------	---------------------	---------------	---------------

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PCI0M SI29	PCI0M SI28	PCI0M SI27	PCI0M SI26	PCI0M SI25	PCI0M SI24	PCI0M SI23	PCI0M SI22	PCI0M SI21	PCI0M SI20	PCI0M SI19	PCI0M SI18	PCI0M SI17	PCI0M SI16	PCI0M SI15	PCI0M SI14
---------------	---------------	---------------	---------------	---------------	---------------	---------------	---------------	---------------	---------------	---------------	---------------	---------------	---------------	---------------	---------------

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

19) INT2B19 レジスタ : PCIEC0-2 INTEVT=H'B00

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

											PCI0M SI13	PCI0M SI12	PCI0M SI11	PCI0M SI10	PCI0M SI9	PCI0M SI8
--	--	--	--	--	--	--	--	--	--	--	---------------	---------------	---------------	---------------	--------------	--------------

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PCI0M SI7	PCI0M SI6	PCI0M SI5	PCI0M SI4	PCI0M SI3	PCI0M SI2	PCI0M SI1	PCI0M SI0	PCI0D MAC3	PCI0D MAC2	PCI0D MAC1	PCI0D MAC0	PCI0D MACE	PCI0R XERP	PCI0R XCTRL	PCI0T XCTRL
--------------	--------------	--------------	--------------	--------------	--------------	--------------	--------------	---------------	---------------	---------------	---------------	---------------	---------------	----------------	----------------

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

20) INT2B20 レジスタ : PCIEC0-1

INTEVT=H'B20

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

								PCI0R XVCX 2	PCI0R XVCX 1	PCI0R XVCX 0	PCI0T XVCX 2	PCI0T XVCX 1	PCI0T XVCX 0	PCI0R XVCX ERR	PCI0R XVCX ERR
--	--	--	--	--	--	--	--	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	----------------------	----------------------

初期値 : - - - - - - - - - - - - - - - -
R/W : R R R R R R R R R R R R R R R R

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PCI0IN TTL	PCI0IN TDL	PCI0IN TMAC	PCI0IN TPM	PCI0IN TRXV C02	PCI0IN TRXV C01	PCI0IN TRXV C00	PCI0I NTTX VC02	PCI0IN TTXV C01	PCI0IN TTXV C00	PCI0IN TPCIM ES	PCI0IN TPCIP OWER	PCI0IN TPCIC ERR	PCI0IN TPCIN FERR	PCI0IN TPCIF ERR	PCI0IN TPCIS ERR
---------------	---------------	----------------	---------------	-----------------------	-----------------------	-----------------------	-----------------------	-----------------------	-----------------------	-----------------------	-------------------------	------------------------	-------------------------	------------------------	------------------------

初期値 : - - - - - - - - - - - - - - - -
R/W : R R R R R R R R R R R R R R R R

21) INT2B21 レジスタ : PCIEC1-3

INTEVT=H'B40

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

											PCI1A STINT D	PCI1A STINT C	PCI1A STINT B	PCI1A STINT A	PCI1M SI31	PCI1M SI30
--	--	--	--	--	--	--	--	--	--	--	---------------------	---------------------	---------------------	---------------------	---------------	---------------

初期値 : - - - - - - - - - - - - - - - -
R/W : R R R R R R R R R R R R R R R R

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PCI1M SI29	PCI1M SI28	PCI1M SI27	PCI1M SI26	PCI1M SI25	PCI1M SI24	PCI1M SI23	PCI1M SI22	PCI1M SI21	PCI1M SI20	PCI1M SI19	PCI1M SI18	PCI1M SI17	PCI1M SI16	PCI1M SI15	PCI1M SI14
---------------	---------------	---------------	---------------	---------------	---------------	---------------	---------------	---------------	---------------	---------------	---------------	---------------	---------------	---------------	---------------

初期値 : - - - - - - - - - - - - - - - -
R/W : R R R R R R R R R R R R R R R R

22) INT2B22 レジスタ : PCIEC1-2

INTEVT=H'B60

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

											PC11M SI13	PC11M SI12	PC11M SI11	PC11M SI10	PC11M SI9	PC11M SI8
--	--	--	--	--	--	--	--	--	--	--	---------------	---------------	---------------	---------------	--------------	--------------

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PC11M SI7	PC11M SI6	PC11M SI5	PC11M SI4	PC11M SI3	PC11M SI2	PC11M SI1	PC11M SI0	PC11D MAC3	PC11D MAC2	PC11D MAC1	PC11D MAC0	PC11D MACE	PC11R XERP	PC11R XCTR L	PC11T XCTR L
--------------	--------------	--------------	--------------	--------------	--------------	--------------	--------------	---------------	---------------	---------------	---------------	---------------	---------------	--------------------	--------------------

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

23) INT2B23 レジスタ : PCIEC1-1

INTEVT=H'B80

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

									PC11R XVCX 2	PC11R XVCX 1	PC11R XVCX 0	PC11T XVCX 2	PC11T XVCX 1	PC11T XVCX 0	PC11R XVCX ERR	PC11R XVC0 ERR
--	--	--	--	--	--	--	--	--	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	----------------------	----------------------

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PC11IN TTL	PC11IN TDL	PC11IN TMAC	PC11IN TPM	PC11IN TRXV C02	PC11IN TRXV C01	PC11IN TRXV C00	PC11IN TTXV C02	PC11IN TTXV C01	PC11IN TTXV C00	PC11IN TPCIM ES	PC11IN TPCIP OWER	PC11IN TPCIC ERR	PC11IN TPCIN FERR	PC11IN TPCIR ERR	PC11IN TPCIS ERR
---------------	---------------	----------------	---------------	-----------------------	-----------------------	-----------------------	-----------------------	-----------------------	-----------------------	-----------------------	-------------------------	------------------------	-------------------------	------------------------	------------------------

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

24) INT2B24 レジスタ : USB

INTEVT=H'BA0

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

												USB- F1	USB- F0	USB- EHCI	USB- OHCI
--	--	--	--	--	--	--	--	--	--	--	--	------------	------------	--------------	--------------

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

25) INT2B25 レジスタ : SDI0

INTEVT=H'BC0

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

												SD3	SD2	SD1	SD0
--	--	--	--	--	--	--	--	--	--	--	--	-----	-----	-----	-----

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

26) INT2B26 レジスタ : SDI1

INTEVT=H'BE0

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

												SD3	SD2	SD1	SD0
--	--	--	--	--	--	--	--	--	--	--	--	-----	-----	-----	-----

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

27) INT2B27 レジスタ : Reserve

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

28) INT2B28 レジスタ : Reserve

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

29) INT2B29 レジスタ : I2C0

INTEVT=H'CC0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		MNR	MAL	MST	MDE	MDT	MDR	MAT				SSR	SDE	SDT	SDR	SAR
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

30) INT2B30 レジスタ : I2C1

INTEVT=H'CE0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		MNR	MAL	MST	MDE	MDT	MDR	MAT				SSR	SDE	SDT	SDR	SAR
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

31) INT2B31 レジスタ : DU

INTEVT=H'D00

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TVR	FRM			VBK		RINT	HBK								
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

32) INT2B32 レジスタ : SSI0,1,2,3

INTEVT=H'D20,D40,D60,D80

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													SSI3	SSI2	SSI1	SSI0
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

33) INT2B33 レジスタ : PCIEC2-3

INTEVT=H'DA0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
												PCI2A STINT D	PCI2A STINT C	PCI2A STINT B	PCI2A STINT A	PCI2M SI31	PCI2M SI30
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	PCI2M SI29	PCI2M SI28	PCI2M SI27	PCI2M SI26	PCI2M SI25	PCI2M SI24	PCI2M SI23	PCI2M SI22	PCI2M SI21	PCI2M SI20	PCI2M SI19	PCI2M SI18	PCI2M SI17	PCI2M SI16	PCI2M SI15	PCI2M SI14	
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

34) INT2B34 レジスタ : PCIEC2-2

INTEVT=H'DC0

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

											PCI2M SI13	PCI2M SI12	PCI2M SI11	PCI2M SI10	PCI2M SI9	PCI2M SI8
--	--	--	--	--	--	--	--	--	--	--	---------------	---------------	---------------	---------------	--------------	--------------

初期値 : - - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PCI2M SI7	PCI2M SI6	PCI2M SI5	PCI2M SI4	PCI2M SI3	PCI2M SI2	PCI2M SI1	PCI2M SI0	PCI2D MAC3	PCI2D MAC2	PCI2D MAC1	PCI2D MAC0	PCI2D MACE	PCI2R XERP	PCI2R XCTR L	PCI2T XCTR L
--------------	--------------	--------------	--------------	--------------	--------------	--------------	--------------	---------------	---------------	---------------	---------------	---------------	---------------	--------------------	--------------------

初期値 : - - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

35) INT2B35 レジスタ : PCIEC2-1

INTEVT=H'DE0

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

									PCI2R XVCX 2	PCI2R XVCX 1	PCI2R XVCX 0	PCI2T XVCX 2	PCI2T XVCX 1	PCI2T XVCX 0	PCI2R XVCX ERR	PCI2R XVC0 ERR
--	--	--	--	--	--	--	--	--	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	----------------------	----------------------

初期値 : - - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PCI2IN TTL	PCI2IN TDL	PCI2IN TMAC	PCI2IN TPM	PCI2IN TRXV C02	PCI2IN TRXV C01	PCI2IN TRXV C00	PCI2IN TTXV C02	PCI2IN TTXV C01	PCI2IN TTXV C00	PCI2IN TPCIM ES	PCI2IN TPCIP OWER	PCI2IN TPCIP ERR	PCI2IN TPCIN FERR	PCI2IN TPCIP ERR	PCI2IN TPCIS ERR
---------------	---------------	----------------	---------------	-----------------------	-----------------------	-----------------------	-----------------------	-----------------------	-----------------------	-----------------------	-------------------------	------------------------	-------------------------	------------------------	------------------------

初期値 : - - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

36) INT2B36 レジスタ : HAC0,1

INTEVT=H'E00,E20

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : - - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

															HAC1	HAC0
--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	------	------

初期値 : - - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

37) INT2B37 レジスタ : FLCTL INTEVT=H'E40

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

初期値 : - - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
													FLTR	FLTR	FLTEN	FLSTE
													Q1	Q0	D	

初期値 : - - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

38) INT2B38 レジスタ : Reserve INTEVT=H'E60

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

初期値 : - - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

初期値 : - - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

39) INT2B39 レジスタ : HSPI INTEVT=H'E80

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16

初期値 : - - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															SPI

初期値 : - - - - - - - - - - - - - - - - -

R/W : R R R R R R R R R R R R R R R R

40) INT2B40 レジスタ : GPIO

INTEVT=H'EA0,EC0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
										GPIO7	GPIO6	GPIO5	GPIO4	GPIO3	GPIO2	GPIO1	GPIO0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

41) INT2B41 レジスタ : 温度センサ

INTEVT=H'EE0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													ths3	ths2	ths1	ths0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

42) INT2B42,43,44 レジスタ : Reserve

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

10.3.4 GPIO 割り込み設定レジスタ (INT2GPIC)

INT2GPIC は、GPIO 割り込みとしてポート J2、J1、H1、H0、F1、F0、A1、A0 からの割り込み要求入力を許可します。

GPIO 割り込みは、ローアクティブなレベル割り込みです。GPIO 割り込みとして使用する各ポートコントロールレジスタ (J、H、F、A) で該当する端子をポート入力に設定した後、割り込み要求の許可を行ってください。ポートコントロールレジスタについては、「第 30 章 汎用入出力ポート (GPIO)」を参照してください。

本レジスタへの書き込み後、本レジスタを 1 回読み出すことにより、レジスタ値反映に必要なタイミングが確保されます (割り込み要求許可 / 禁止状態は読み出した状態を反映したものとなります)。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	GPIO 07E	GPIO 06E	GPIO 05E	GPIO 04E	GPIO 03E	GPIO 02E	GPIO 01E	GPIO 00E
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 10.6 各ビットと INT2GPIC レジスタの対応表

ビット	名称	初期値	R/W	説明	内容
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	GPIO 割り込み入力端子別に割り込み要求を許可します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
7	GPIO07E	0	R/W	GPIO07 割り込み (ポート J2 端子からの GPIO 割り込み) 要求を許可	
6	GPIO06E	0	R/W	GPIO06 割り込み (ポート J1 端子からの GPIO 割り込み) 要求を許可	
5	GPIO05E	0	R/W	GPIO05 割り込み (ポート H1 端子からの GPIO 割り込み) 要求を許可	
4	GPIO04E	0	R/W	GPIO04 割り込み (ポート H0 端子からの GPIO 割り込み) 要求を許可	
3	GPIO03E	0	R/W	GPIO03 割り込み (ポート F1 端子からの GPIO 割り込み) 要求を許可	
2	GPIO02E	0	R/W	GPIO02 割り込み (ポート F0 端子からの GPIO 割り込み) 要求を許可	
1	GPIO01E	0	R/W	GPIO01 割り込み (ポート A1 端子からの GPIO 割り込み) 要求を許可	
0	GPIO00E	0	R/W	GPIO00 割り込み (ポート A0 端子からの GPIO 割り込み) 要求を許可	

GPIO のポートを割り込み入力端子として使用した場合、GPIO が割り込みを検出すると、GPIO から INTC へ割り込みが通知されますが、INTC としては割り込み要因レジスタ CnINT2A0_3[10], [9]または CnINT2A1_3[10], [9] に 1 ビットの要因として表示します。

10.3.5 温度センサ割り込み設定レジスタ (INT2THSC)

INT2THSC は、温度センサの割り込み要求入力を許可します。本レジスタへの書き込み後、本レジスタを 1 回読み出すことにより、レジスタ値反映に必要なタイミングが確保されます (割り込み要求許可 / 禁止状態は読み出した状態を反映したものとします)。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	THS3E	THS2E	THS1E	THS0E
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 10.7 各ビットと INT2THSC レジスタの対応表

ビット	名称	初期値	R/W	説明	内容
31~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	温度センサ割り込み入力端子別に割り込み要求を許可します。 0 : 割り込み要求を禁止 1 : 割り込み要求を許可
3	THS3E	0	R/W	ths3 割り込み要求を許可	
2	THS2E	0	R/W	ths2 割り込み要求を許可	
1	THS1E	0	R/W	ths1 割り込み要求を許可	
0	THS0E	0	R/W	ths0 割り込み要求を許可	

10.3.6 CPU 間割り込みレジスタ

(1) CPU 間割り込みレジスタ (CnINTICI) (n=0, 1)

CnINTICI は、CPU_n に対し割り込み要求を設定することができる読み出し / 書き込み可能な 32 ビットのレジスタです。本レジスタに各要因 4 ビットの論理和が 1 が設定された該当要因の割り込みを CPU_n に通知します。リセット時は H'0000 0000 に初期化されます。

本レジスタへの書き込み後、あるいは CnINTICICLR 書き込みによるマスククリア後、本レジスタを 1 回読み出すことにより、レジスタ値反映に必要なタイミングが確保されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ICI7				ICI6				ICI5				ICI4			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ICI3				ICI2				ICI1				ICI0			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~28	ICI7	0000	R/W	CPU 間割り込み要求 各フィールドの 4 ビットの論理和が 1 要因の割り込み要求として対応する CPU _n (n=0, 1) へ割り込み要求を発生します。 0 : 0 書き込みは無視されます。 1 : 割り込み要求を発生します。
27~24	ICI6	0000	R/W	
23~20	ICI5	0000	R/W	
19~16	ICI4	0000	R/W	
15~12	ICI3	0000	R/W	
11~8	ICI2	0000	R/W	
7~4	ICI1	0000	R/W	
3~0	ICI0	0000	R/W	

(2) CPU 間割り込みクリアレジスタ (CnINTICICLR) (n=0, 1)

CnINTICICLR は、CPU 間割り込みレジスタに設定された割り込み要求をクリアするための書き込み専用の 32 ビットのレジスタです。本レジスタの該当ビットに 1 をライトするとクリアされます。読み出しデータは常に 0 です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ICICLR7				ICICLR6				ICICLR5				ICICLR4			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ICICLR3				ICICLR2				ICICLR1				ICICLR0			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	名称	初期値	R/W	説明
31~28	ICICLR7	0000	W	CPU 間割り込み要求クリア CPU 間割り込み制御レジスタ (CnINTICI) の対応するビットをクリアし、割り込み要求を解除します。 0 : 0 書き込みは無視されます。 1 : CnINTICI レジスタの対応するビットを 0 にクリアし、割り込み要求を解除します。
27~24	ICICLR6	0000	W	
23~20	ICICLR5	0000	W	
19~16	ICICLR4	0000	W	
15~12	ICICLR3	0000	W	
11~8	ICICLR2	0000	W	
7~4	ICICLR1	0000	W	
3~0	ICICLR0	0000	W	

(3) CPU 間割り込み優先順位設定レジスタ (CnINTICIPRI) (n=0, 1)

CnINTICIPRI は、CPU_n に対し割り込みの優先順位 (レベル 15~0) を設定する読み出し / 書き込み可能な 32 ビットのレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ICIPRI7				ICIPRI6				ICIPRI5				ICIPRI4			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ICIPRI3				ICIPRI2				ICIPRI1				ICIPRI0			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~28	ICIPRI7	0000	R/W	CPU 間割り込み優先順位 各フィールドに対応する CPU 間割り込み要求の優先順位を 4 ビット単位で設定します。 0 : 書き込みは無視されます。 1 : 割り込み優先レベルを設定します。
27~24	ICIPRI6	0000	R/W	
23~20	ICIPRI5	0000	R/W	
19~16	ICIPRI4	0000	R/W	
15~12	ICIPRI3	0000	R/W	
11~8	ICIPRI2	0000	R/W	
7~4	ICIPRI1	0000	R/W	
3~0	ICIPRI0	0000	R/W	

(4) CPU 間割り込み優先順位クリアレジスタ (CnINTICIPRCLR) (n=0, 1)

CnINTICIPRCLR は、CPU_n に対し割り込みの優先順位 (レベル 15~0) を設定する書き込み専用の 32 ビットのレジスタです。CPU 間割り込みの優先順位 (レベル 15~0) 設定された割り込み優先順位をクリアするための書き込み専用の 32 ビットのレジスタです。本レジスタの該当ビットに 1 をライトするとクリアされます。読み出しデータは常に 0 です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ICIPRCLR7				ICIPRCLR6				ICIPRCLR5				ICIPRCLR4			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ICIPRCLR3				ICIPRCLR2				ICIPRCLR1				ICIPRCLR0			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	名称	初期値	R/W	説明
31~28	ICIPRCLR7	0000	W	CPU 間割り込み優先順位クリア CPU 間割り込み優先順位レジスタ (CnINTICIPRI) の対応するビットをクリアし、割り込み優先レベルをクリアします。 0 : 0 書き込みは無視されます。 1 : CnINTICIPRI レジスタの対応するビットを 0 にクリアし、割り込み優先レベルをクリアします。
27~24	ICIPRCLR6	0000	W	
23~20	ICIPRCLR5	0000	W	
19~16	ICIPRCLR4	0000	W	
15~12	ICIPRCLR3	0000	W	
11~8	ICIPRCLR2	0000	W	
7~4	ICIPRCLR1	0000	W	
3~0	ICIPRCLR0	0000	W	

10.3.7 割り込み分配レジスタ

(1) 割り込み分配設定レジスタ 0 (INTDISTCR0)

INTDISTCR0 は、IRQ 割り込みを自動分配モードで複数 CPU に分配するかどうかを設定することができる読み出し/書き込み可能な 32 ビットのレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DIST7	DIST6	DIST5	DIST4	DIST3	DIST2	DIST1	DIST0	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	名称	初期値	R/W	説明
31	DIST7	0	R/W	各割り込みを自動分配モードで複数 CPU に分配するかどうかを設定します。 対応するビットが 1 の割り込みを受けたとき、 排他的に割り込み受け付けレジスタ INTACK のビット[0]を設定するとともに、各 CPU への該当要因割り込みをマスクします。 割り込み処理が終了し、割り込み受け付けクリアレジスタ INTACKCLR に割り込みイベントをライトすることで、マスクが解除されます。
30	DIST6	0	R/W	
29	DIST5	0	R/W	
28	DIST4	0	R/W	
27	DIST3	0	R/W	
26	DIST2	0	R/W	
25	DIST1	0	R/W	
24	DIST0	0	R/W	
23~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(2) 割り込み分配設定レジスタ 1 (INTDISTCR1)

INTDISTCR1 は、IRL0,1 割り込みを自動分配モードで複数 CPU に分配するかどうかを設定することができる読み出し / 書き込み可能な 32 ビットのレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DIST0	DIST1	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	名称	初期値	R/W	説明
31	DIST0	0	R/W	各割り込みを自動分配モードで複数 CPU に分配するかどうかを設定します。
30	DIST1	0	R/W	対応するビットが 1 の割り込みを受けたとき、 排他的に割り込み受け付けレジスタ INTACK のビット[0]を設定するとともに、各 CPU への該当要因割り込みをマスクします。 割り込み処理が終了し、割り込み受け付けクリアレジスタ INTACKCLR に割り込みイベントをライトすることで、マスクが解除されます。
29~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(3) 周辺割り込み分配設定レジスタ (INT2DISTCR0~3)

INT2DISTCR0~3 は、各周辺割り込みを自動分配モードで複数 CPU に分配するかどうかを設定することができる読み出し/書き込み可能な 32 ビットのレジスタです。

(a) INT2DISTCR0

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明	
31	Reserve	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	15	Reserve	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	
30	Reserve	0	R/W		14	Reserve	0	R/W		
29	Reserve	0	R/W		13	Reserve	0	R/W		
28	Reserve	0	R/W		12	Reserve	0	R/W		
27	Reserve	0	R/W		11	Reserve	0	R/W		
26	Reserve	0	R/W		10	Reserve	0	R/W		
25	Reserve	0	R/W		9	Reserve	0	R/W		
24	Reserve	0	R/W		8	Reserve	0	R/W		
23	Reserve	0	R/W		7	Reserve	0	R/W		
22	Reserve	0	R/W		6	Reserve	0	R/W		
21	Reserve	0	R/W		5	Reserve	0	R/W		
20	Reserve	0	R/W		4	Reserve	0	R/W		
19	Reserve	0	R/W		3	Reserve	0	R/W		
18	Reserve	0	R/W		2	Reserve	0	R/W		
17	Reserve	0	R/W		1	Reserve	0	R/W		
16	Reserve	0	R/W		0	WDT (H'3E0)	0	R/W		読み出し時 0: 自動分配しない 1: 自動分配する 書き込み時 0: 無効 1: 自動分配設定

(b) INT2DISTCR1

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明
31	TMU-ch0_2 (H'400)	0	R/W	読み出し時 0: 自動分配しない 1: 自動分配する 書き込み時 0: 無効 1: 自動分配設定	15	H-UDI0 (H'600)	0	R/W	読み出し時 0: 自動分配しない 1: 自動分配する 書き込み時 0: 無効 1: 自動分配設定
30	TMU-ch0_2 (H'420)	0	R/W		14	DMAC1 (H'620)	0	R/W	
29	TMU-ch0_2 (H'440)	0	R/W		13	DMAC1 (H'640)	0	R/W	
28	TMU-ch0_2 (H'460)	0	R/W		12	DMAC1 (H'660)	0	R/W	
27	TMU-ch3_5 (H'480)	0	R/W		11	DMAC1 (H'680)	0	R/W	
26	TMU-ch3_5 (H'4A0)	0	R/W		10	HPB (H'6A0)	0	R/W	
25	TMU-ch3_5 (H'4C0)	0	R/W		9	HPB (H'6C0)	0	R/W	
24	(H'4E0)	0	R/W		8	HPB (H'6E0)	0	R/W	
23	DMAC0 (H'500)	0	R/W		7	SCIF0 (H'700)	0	R/W	
22	DMAC0 (H'520)	0	R/W		6	SCIF0 (H'720)	0	R/W	
21	DMAC0 (H'540)	0	R/W		5	SCIF0 (H'740)	0	R/W	
20	DMAC0 (H'560)	0	R/W		4	SCIF0 (H'760)	0	R/W	
19	DMAC0 (H'580)	0	R/W		3	SCIF1 (H'780)	0	R/W	
18	DMAC0 (H'5A0)	0	R/W		2	TMU-ch6_8 (H'7A0)	0	R/W	
17	DMAC0 (H'5C0)	0	R/W		1	TMU-ch 9_11 (H'7C0)	0	R/W	
16	H-UDI1 (H'5E0)	0	R/W		0	(H'7E0)	0	R/W	

(c) INT2DISTCR2

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明	
31	Reserve	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	15	Reserve	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	
30	Reserve	0	R/W		14	Reserve	0	R/W		
29	SCIF2 (H'840)	0	R/W		13	Reserve	0	R/W		
28	SCIF3 (H'860)	0	R/W		12	Reserve	0	R/W		
27	SCIF4 (H'880)	0	R/W		11	Reserve	0	R/W		
26	SCIF5 (H'8A0)	0	R/W		10	Reserve	0	R/W		
25	Ether (H'8C0)	0	R/W		9	Reserve	0	R/W		
24	Ether (H'8E0)	0	R/W		8	PCIEC0 (H'AE0)	0	R/W		読み出し時 0: 自動分配しない 1: 自動分配する 書き込み時 0: 無効 1: 自動分配設定
23	Reserve	0	R/W		7	PCIEC0 (H'B00)	0	R/W		
22	Reserve	0	R/W		6	PCIEC0 (H'B20)	0	R/W		
21	Reserve	0	R/W	5	PCIEC1 (H'B40)	0	R/W			
20	Reserve	0	R/W	4	PCIEC1 (H'B60)	0	R/W			
19	Reserve	0	R/W	3	PCIEC1 (H'B80)	0	R/W			
18	Reserve	0	R/W	2	USB (H'BA0)	0	R/W			
17	Reserve	0	R/W	1	SDI0 (H'BC0)	0	R/W			
16	Reserve	0	R/W	0	SDI1 (H'BE0)	0	R/W			

(d) INT2DISTCR3

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明
31	(H'C00)	0	R/W	読み出し時 0: 自動分配しない 1: 自動分配する 書き込み時 0: 無効 1: 自動分配設定	15	HAC0 (H'E00)	0	R/W	読み出し時 0: 自動分配しない 1: 自動分配する 書き込み時 0: 無効 1: 自動分配設定
30	(H'C20)	0	R/W		14	HAC1 (H'E20)	0	R/W	
29	(H'C40)	0	R/W		13	FLCTL (H'E40)	0	R/W	
28	(H'C60)	0	R/W		12	(H'E60)	0	R/W	
27	(H'C80)	0	R/W		11	HSPI (H'E80)	0	R/W	
26	(H'CA0)	0	R/W		10	GPIO0 (H'EA0)	0	R/W	
25	I2C0 (H'CC0)	0	R/W		9	GPIO1 (H'EC0)	0	R/W	
24	I2C1 (H'CE0)	0	R/W		8	Thermal sensor (H'EE0)	0	R/W	
23	DU (H'D00)	0	R/W		7	Reserve	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
22	SSI0 (H'D20)	0	R/W		6	Reserve	0	R/W	
21	SSI1 (H'D40)	0	R/W		5	Reserve	0	R/W	
20	SSI2 (H'D60)	0	R/W		4	Reserve	0	R/W	
19	SSI3 (H'D80)	0	R/W		3	Reserve	0	R/W	
18	PCIEC2 (H'DA0)	0	R/W		2	Reserve	0	R/W	
17	PCIEC2 (H'DC0)	0	R/W	1	Reserve	0	R/W		
16	PCIEC2 (H'DE0)	0	R/W	0	Reserve	0	R/W		

10.3.8 割り込み受け付けレジスタ

(1) 割り込み受け付けレジスタ (INTACK)

INTACK は、各 CPU が割り込み受け付け後に値を確認することで、自動分配モードの排他処理を行うための読み出し専用 32 ビットのレジスタです。CPU が割り込みを受け付けた際、処理すべき(固定分配モードの割り込み、もしくは自動分配モードの割り込みで、自 CPU が最初に受け付けた)割り込みならば 1、処理すべきでない(他 CPU が先に受け付けた)割り込みである場合には 0 がセットされます(「10.5.3 自動分配モード」参照)。INTACK は割り込み処理高速化のため、各 CPU で同一アドレスですが、各 CPU に対応する値がリードできます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INT ACK
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	名称	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	INTACK	0	R/W	割り込み受け付け時に以下の値がセットされます。 0: 処理すべき割り込みを受け付けていない。 1: 処理すべき割り込みを受け付けた。

(2) 割り込み受け付けクリアレジスタ (INTACKCLR)

INTACKCLR は、自動分配モード時の割り込みマスクを解除するための書き込み専用 32 ビットのレジスタです。各割り込み要因をクリアしたのち、本レジスタに該当割り込み要因のイベントコード値を書き込むことにより、該当割り込み要因のマスクが解除されます（「10.5.3 自動分配モード」参照）。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	INTEVENT													
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	名称	初期値	R/W	説明
31~14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13~0	INTEVENT	すべて 0	W	割り込みマスククリアイベント 自動分配モード時、本レジスタに割り込みイベントコードをライトすることで、排他的に受け付けた割り込みマスクを解除します。

(3) IRQ 割り込み受け付けマスクレジスタ (IRQACKMASK)

IRQACKMASK は、自動分配モード時、各 CPU が IRQ 割り込み受け付け後、IRQ 割り込み処理を行っている間、該当 IRQ 割り込みをマスクするための読み出し専用 32 ビットのレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	AM07	AM06	AM05	AM04	AM03	AM02	AM01	AM00	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	名称	初期値	R/W	説明
31	AM07	0	R	INTACK マスク 対応するビットが 1 の IRQ 割り込みを受けたとき、 排他的に割り込み受け付けレジスタ INTACK のビット[0]を設定するとともに、各 CPU への該当要因割り込みをマスクします。
30	AM06	0	R	
29	AM05	0	R	
28	AM04	0	R	
27	AM03	0	R	
26	AM02	0	R	
25	AM01	0	R	
24	AM00	0	R	
23~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(4) IRL 割り込み受け付けマスクレジスタ (IRLACKMASK)

IRLACKMASK は、自動分配モード時、各 CPU が IRL 割り込み受け付け後、IRL 割り込み処理を行っている間、該当 IRL 割り込みをマスクするための読み出し専用 32 ビットのレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	AM00	AM01	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	名称	初期値	R/W	説明
31	AM00	0	R	INTACK マスク
30	AM01	0	R	対応するビットが 1 の IRL 割り込みを受けたとき、 排他的に割り込み受け付けレジスタ INTACK のビット[0]を設定するとともに、各 CPU への該当要因割り込みをマスクします。
29~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(5) 周辺割り込み受け付けマスクレジスタ (PERIACKMASK0-3)

PERIINTACKMASK0-3 は、自動分配モード時、各 CPU が周辺割り込み受け付け後、周辺割り込み処理を行っている間、該当周辺割り込みをマスクするための読み出し専用 32 ビットのレジスタです。

(a) PERIACKMASK0

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明
31	Reserve	0	R	リザーブビット 読み出すと常に 0 が読み出されます。	15	Reserve	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
30	Reserve	0	R		14	Reserve	0	R	
29	Reserve	0	R		13	Reserve	0	R	
28	Reserve	0	R		12	Reserve	0	R	
27	Reserve	0	R		11	Reserve	0	R	
26	Reserve	0	R		10	Reserve	0	R	
25	Reserve	0	R		9	Reserve	0	R	
24	Reserve	0	R		8	Reserve	0	R	
23	Reserve	0	R		7	Reserve	0	R	
22	Reserve	0	R		6	Reserve	0	R	
21	Reserve	0	R		5	Reserve	0	R	
20	Reserve	0	R		4	Reserve	0	R	
19	Reserve	0	R		3	Reserve	0	R	
18	Reserve	0	R		2	Reserve	0	R	
17	Reserve	0	R		1	Reserve	0	R	
16	Reserve	0	R		0	WDT (H'3E0)	0	R	

(b) PERIACKMASK1

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明
31	TMU-ch0_2 (H'400)	0	R	読み出し時 0: ACK マスクなし 1: ACK マスクあり 書き込み時 0: 無効 1: 無効	15	H-UDI0 (H'600)	0	R	読み出し時 0: ACK マスクなし 1: ACK マスクあり 書き込み時 0: 無効 1: 無効
30	TMU-ch0_2 (H'420)	0	R		14	DMAC1 (H'620)	0	R	
29	TMU-ch0_2 (H'440)	0	R		13	DMAC1 (H'640)	0	R	
28	TMU-ch0_2 (H'460)	0	R		12	DMAC1 (H'660)	0	R	
27	TMU-ch3_5 (H'480)	0	R		11	DMAC1 (H'680)	0	R	
26	TMU-ch3_5 (H'4A0)	0	R		10	HPB (H'6A0)	0	R	
25	TMU-ch3_5 (H'4C0)	0	R		9	HPB (H'6C0)	0	R	
24	(H'4E0)	0	R		8	HPB (H'6E0)	0	R	
23	DMAC0 (H'500)	0	R		7	SCIF0 (H'700)	0	R	
22	DMAC0 (H'520)	0	R		6	SCIF0 (H'720)	0	R	
21	DMAC0 (H'540)	0	R		5	SCIF0 (H'740)	0	R	
20	DMAC0 (H'560)	0	R		4	SCIF0 (H'760)	0	R	
19	DMAC0 (H'580)	0	R		3	SCIF1 (H'780)	0	R	
18	DMAC0 (H'5A0)	0	R		2	TMU-ch6_8 (H'7A0)	0	R	
17	DMAC0 (H'5C0)	0	R		1	TMU-ch 9_11 (H'7C0)	0	R	
16	H-UDI1 (H'5E0)	0	R		0	(H'7E0)	0	R	

(c) PERIACKMASK2

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明	
31	Reserve	0	R	リザーブビット 読み出すと常に0が読み出されます。 読み出し時 0: ACK マスクなし 1: ACK マスクあり 書き込み時 0: 無効 1: 無効	15	Reserve	0	R	リザーブビット 読み出すと常に0が読み出されます。	
30	Reserve	0	R		14	Reserve	0	R		
29	SCIF2 (H'840)	0	R		13	Reserve	0	R		
28	SCIF3 (H'860)	0	R		12	Reserve	0	R		
27	SCIF4 (H'880)	0	R		11	Reserve	0	R		
26	SCIF5 (H'8A0)	0	R		10	Reserve	0	R		
25	Ether (H'8C0)	0	R		9	Reserve	0	R		
24	Ether (H'8E0)	0	R		8	PCIEC0 (H'AE0)	0	R		読み出し時 0: ACK マスクなし 1: ACK マスクあり 書き込み時 0: 無効 1: 無効
23	Reserve	0	R		7	PCIEC0 (H'B00)	0	R		
22	Reserve	0	R		6	PCIEC0 (H'B20)	0	R		
21	Reserve	0	R	5	PCIEC1 (H'B40)	0	R			
20	Reserve	0	R	4	PCIEC1 (H'B60)	0	R			
19	Reserve	0	R	3	PCIEC1 (H'B80)	0	R			
18	Reserve	0	R	2	USB (H'BA0)	0	R			
17	Reserve	0	R	1	SDI0 (H'BC0)	0	R			
16	Reserve	0	R	0	SDI1 (H'BE0)	0	R			

(d) PERIACKMASK3

ビット	要因	初期値	R/W	説明	ビット	要因	初期値	R/W	説明
31	(H'C00)	0	R	読み出し時 0: ACK マスクなし 1: ACK マスクあり 書き込み時 0: 無効 1: 無効	15	HAC0 (H'E00)	0	R	読み出し時 0: ACK マスクなし 1: ACK マスクあり 書き込み時 0: 無効 1: 無効
30	(H'C20)	0	R		14	HAC1 (H'E20)	0	R	
29	(H'C40)	0	R		13	FLCTL (H'E40)	0	R	
28	(H'C60)	0	R		12	(H'E60)	0	R	
27	(H'C80)	0	R		11	HSPI (H'E80)	0	R	
26	(H'CA0)	0	R		10	GPIO0 (H'EA0)	0	R	
25	I2C0 (H'CC0)	0	R		9	GPIO1 (H'EC0)	0	R	
24	I2C1 (H'CE0)	0	R		8	Thermal sensor (H'EE0)	0	R	
23	DU (H'D00)	0	R		7	Reserve	0	R	リザーブビット 読み出すと常に0が読 み出されます。
22	SSI0 (H'D20)	0	R		6	Reserve	0	R	
21	SSI1 (H'D40)	0	R		5	Reserve	0	R	
20	SSI2 (H'D60)	0	R		4	Reserve	0	R	
19	SSI3 (H'D80)	0	R		3	Reserve	0	R	
18	PCIEC2 (H'DA0)	0	R		2	Reserve	0	R	
17	PCIEC2 (H'DC0)	0	R		1	Reserve	0	R	
16	PCIEC2 (H'DE0)	0	R		0	Reserve	0	R	

10.4 割り込み要因

割り込み要因は、NMI、IRQ、IRL、内蔵周辺モジュール、CPU 間割り込みの 5 つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (16~0) で表され、レベル 16 が最高で、レベル 1 が最低です。レベル 0 に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

10.4.1 NMI 割り込み

NMI 割り込みは、レベル 16 の最優先の割り込みです。CPU 内の SR の BL ビットが 1 にセットされていないかぎりいつでも受け付けられます。ただし、スリープモード中は BL ビットが 1 でも受け付けられません。

また、設定により BL ビットが 1 でも NMI を受け付けることができます。

NMI 端子からの入力はエッジで検出されます。検出エッジは ICR0 の NMI エッジセレクトビット (NMIE) の設定によって、立ち上がりエッジまたは立ち下がりエッジを選択できます。ICR0 の NMIE ビットを書き換えた場合、書き換えてから最大 6 バスクロック期間、NMI 割り込みを検出しません。

CPU 動作モードレジスタの INTMU ビット (CPUOPM.INTMU) が 1 に設定されている場合は、SR の割り込みマスクレベル (SR.IMASK) は、レベル 15 に自動的に設定されます。CPUOPM.INTMU が 0 に設定されている場合は、割り込み受理によって SR.IMASK が影響されることはありません。

10.4.2 IRQ 割り込み

IRQ 割り込みは、ICR0 の IRLM0、IRLM1 ビットに 1 を書き込んで、 $IRQ/\overline{IRL3} \sim IRQ/\overline{IRL0}$ 、 $IRQ/\overline{IRL7} \sim IRQ/\overline{IRL4}$ 端子を独立した割り込み要求として使用する場合に有効になります。ICR1 の $IRQnS1$ 、 $IRQnS0$ ($n=7\sim 0$) ビットの設定により、立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルの検出が可能です。また、割り込み優先レベルは、割り込み優先順位設定レジスタ (INTPRI) により設定できます。

IRQ 割り込み要求をローレベル、ハイレベルで検出する場合、IRQ 割り込みの端子状態は割り込みを受け付けて割り込み処理を開始するまで、その端子状態を保持してください。

CPUOPM.INTMU ビットが 1 に設定されている場合は、SR の割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMU ビットが 0 に設定されている場合は、割り込み受理によって SR.IMASK が影響されることはありません。

10.4.3 IRL 割り込み

IRL 割り込みは、 $IRQ/\overline{IRL3} \sim IRQ/\overline{IRL0}$ 端子または $IRQ/\overline{IRL7} \sim IRQ/\overline{IRL4}$ 端子でレベルとして入力される割り込みです。

優先レベルは $IRQ/\overline{IRL3} \sim IRQ/\overline{IRL0}$ 端子または $IRQ/\overline{IRL7} \sim IRQ/\overline{IRL4}$ 端子で示されるレベルです。 $IRQ/\overline{IRL3} \sim IRQ/\overline{IRL0}$ または $IRQ/\overline{IRL7} \sim IRQ/\overline{IRL4}$ がすべて Low (ローレベル) のとき、最も高い割り込み要求 (割り込み優先レベル 15) を示します。すべて High (ハイレベル) のとき、割り込み要求なし (割り込み優先レベル 0) を示します。図 10.2 に IRL 割り込みの接続例を、表 10.8 に IRL 端子と割り込みレベルの対応を示します。

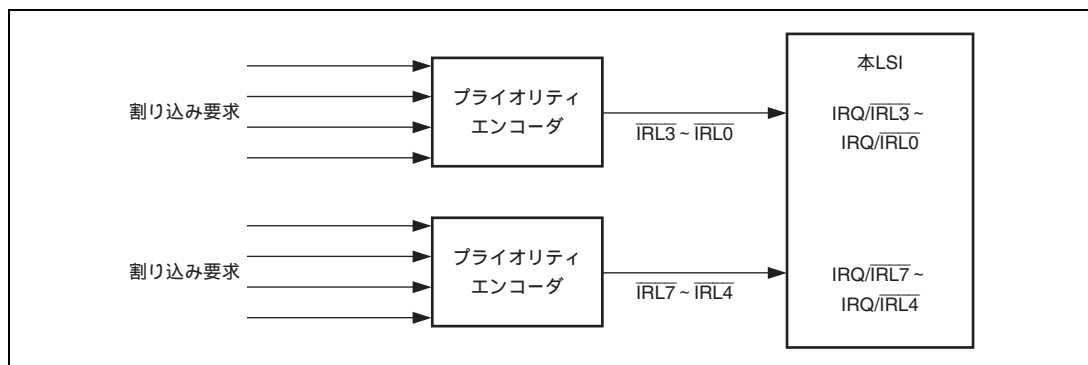


図 10.2 IRL 割り込みの接続例

表 10.8 IRL 割り込み端子 (IRL3 ~ IRL0 または IRL7 ~ IRL4) と割り込みレベル

IRL3 または IRL7	IRL2 または IRL6	IRL1 または IRL5	IRL0 または IRL4	割り込み優先レベル	割り込み要求
Low	Low	Low	Low	15	レベル 15 割り込み要求
Low	Low	Low	High	14	レベル 14 割り込み要求
Low	Low	High	Low	13	レベル 13 割り込み要求
Low	Low	High	High	12	レベル 12 割り込み要求
Low	High	Low	Low	11	レベル 11 割り込み要求
Low	High	Low	High	10	レベル 10 割り込み要求
Low	High	High	Low	9	レベル 9 割り込み要求
Low	High	High	High	8	レベル 8 割り込み要求
High	Low	Low	Low	7	レベル 7 割り込み要求
High	Low	Low	High	6	レベル 6 割り込み要求
High	Low	High	Low	5	レベル 5 割り込み要求
High	Low	High	High	4	レベル 4 割り込み要求
High	High	Low	Low	3	レベル 3 割り込み要求
High	High	Low	High	2	レベル 2 割り込み要求
High	High	High	Low	1	レベル 1 割り込み要求
High	High	High	High	0	割り込み要求なし

IRL 割り込みの検出は、ノイズキャンセル機構が内蔵されており、毎バスクロックでサンプリングしたレベルが3サイクル続けて同一の値になったとき、初めて行います。これにより、IRL 割り込み端子の変化時の誤ったレベルを取り込むことを防止できます。

IRL 割り込みの優先レベルは、割り込み受け付けて割り込み処理を開始するまで、そのレベルを保持してください。ただし、より高い優先レベルに変化させることはかまいません。

CPU 動作モードレジスタの INTMU ビット (CPUOPM.INTMU) が1に設定されている場合は、SRの割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMU ビッ

トが0に設定されている場合は、割り込み受理によってSR.IMASKが影響されることはありません。

ICR0のIRLM0、IRLM1ビットに1を書き込むことにより、 $IRQ\overline{IRL0} \sim IRQ\overline{IRL3}$ 端子、 $IRQ\overline{IRL7} \sim IRQ\overline{IRL4}$ 端子を独立したIRQ割り込みとして使うことができます。詳細は、「10.4.2 IRQ割り込み」を参照してください。

10.4.4 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、内蔵周辺モジュールで発生する割り込みです。

要因ごとに異なる割り込みベクタは割り当てられてはいませんが、要因は割り込み事象レジスタ (INTEVT) に反映されますので、例外処理ルーチン中でINTEVTの値をオフセットとして分岐することによって、容易に要因が判定できます。

優先順位は、INT2PRI0～INT2PRI24によって、モジュールごとに優先レベル31～0の範囲で設定できます。ただし、CPUに通知する時には、最下位1ビットを切り捨てた4ビットに変換します。詳細は、「10.4.6 内蔵周辺モジュール割り込み優先順位」を参照してください。

CPUOPM.INTMUビットが1に設定されている場合は、SRの割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMUビットが0に設定されている場合は、割り込み受理によってSR.IMASKが影響されることはありません。

内蔵周辺モジュールの割り込み要因フラグおよび割り込み許可フラグの更新は、SRのBLビットが1のとき、もしくは割り込みマスクの設定にて該当割り込みが起きない状態で行ってください。なお、更新したはずの割り込み要因による誤った割り込みの受け付けを避けるために、いったん該当フラグを含む内蔵周辺モジュールのレジスタを読み出し、その後表10.8で示される内蔵周辺モジュールの優先順位判定時間待ってから (たとえば周辺モジュールクロックで動作するINTCのレジスタを1回読み出す) BLビットを0にするか、割り込みマスクの設定を更新して該当割り込みを受け付けられるようにしてください。これにより、内部的に必要なタイミングが確保されます。複数のフラグを更新する場合は、最後のフラグを更新した後で、そのフラグを含むレジスタを読み出すだけで問題ありません。

BLビットが0のときにフラグの更新を行うとINTEVTの値が0で割り込み処理ルーチンにジャンプすることがあります。これはフラグの更新と本LSI内部での割り込み要求を認識するタイミングとの関係で割り込み処理が起動したためです。この場合は、RTE命令を実行することにより、問題なく処理を続けることができます。

なお、GPIO割り込みは、ローアクティブなレベル割り込みで、IRL割り込みやレベル検出設定のIRQ割り込みと異なり、端子状態を変更して割り込み要求が取り下げられた場合、GPIO割り込み要求の要因はハードウェアで保持されません。

10.4.5 CPU 間割り込み

CPU 間割り込みは CPU 間割り込み制御レジスタ (CnINTICI) への設定によって発生します。1CPU につき 8 要因 (8 フィールド) の入力とし、1 フィールドにつき 4 ビットの論理和で割り込みを発生します。

(1) 要求元 CPU ごとにフィールドを分けて使用する方法と、(2) CPU 間で通知する要因ごとにフィールドを分ける方法を想定しています。

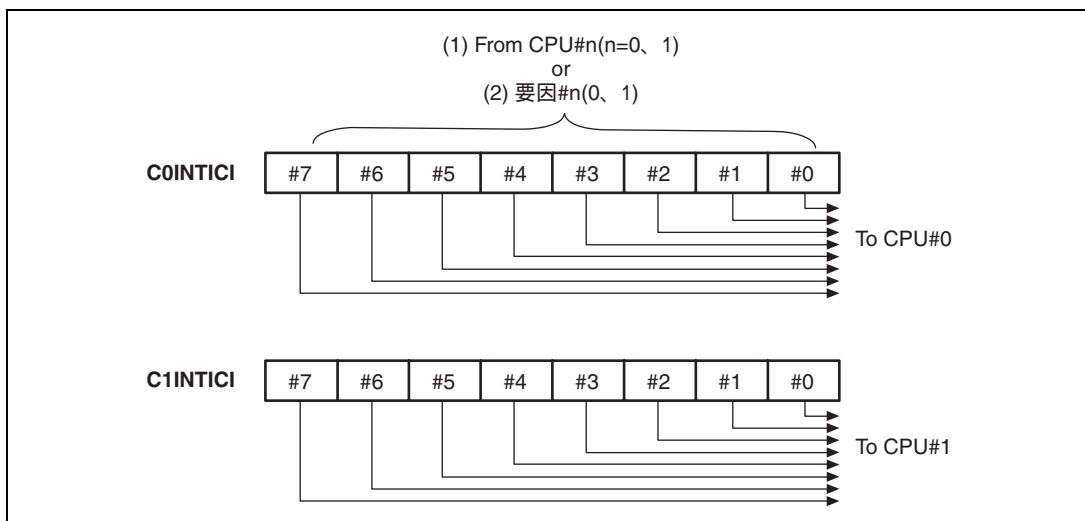


図 10.3 CPU 間割り込み

同一フィールドに対して複数の CPU からの書き込みがある場合には、CPU ごとにフィールド内のビット位置を決めておくことで対応します。

割り込み要求を受け付けた CPU は CPU 間割り込みクリアレジスタ (CnINTICICLR) で CnINTICI レジスタの対応するビットを 0 にクリアして割り込み要求をクリアします。

10.4.6 内蔵周辺モジュール割り込み優先順位

内蔵周辺モジュール割り込みは、割り込み時に、要因固有の割り込み例外コードを SHX-3 へ出力します。CPU0、CPU1 (SHX-3) は割り込みを受け付けると INTEVT レジスタに該当 INTEVT コードを表示します。割り込みハンドラは、SHX-3 の INTEVT レジスタを読むことにより、INTC の要因表示レジスタを読み込まなくても要因を知ることが可能です。内蔵周辺モジュールの割り込み要因と例外コードの対応は、表 10.1 を参照してください。

また、内蔵周辺モジュール割り込みでは図 10.4 に示すように、個々の割り込み要因を 5 ビットで 30 レベル (H'00 と H'01 は割り込み要求をマスク) に設定することが可能です。SH-4A の割り込みレベル受信インタフェースは 4 ビットで 15 レベル (H'0 は割り込み要求をマスク) ですが、内蔵周辺モジュール割り込みの優先順位は 1 ビット拡張した 5 ビットで各割り込み要因を優先選択し、選択後に最下位 1 ビットを切り捨てた 4 ビットに変換して通知を行います。たとえば、優先レベル H'1A と優先レベル H'1B に設定した 2 つの要因はどちらの割り込みであっても出力する 4 ビットの優先レベルは H'D となります。これは同じ値となりますが、両者の割り込みが競合した場合に通知する INTEVT コードは、5 ビットで考えた場合に優先順位が高い H'1B の割り込みに該当する INTEVT

コードが優先されます。両者の優先レベルを同一値に設定した割り込みが競合した場合は、表 10.1 に示す優先順位で INTEVT コードが通知されます。

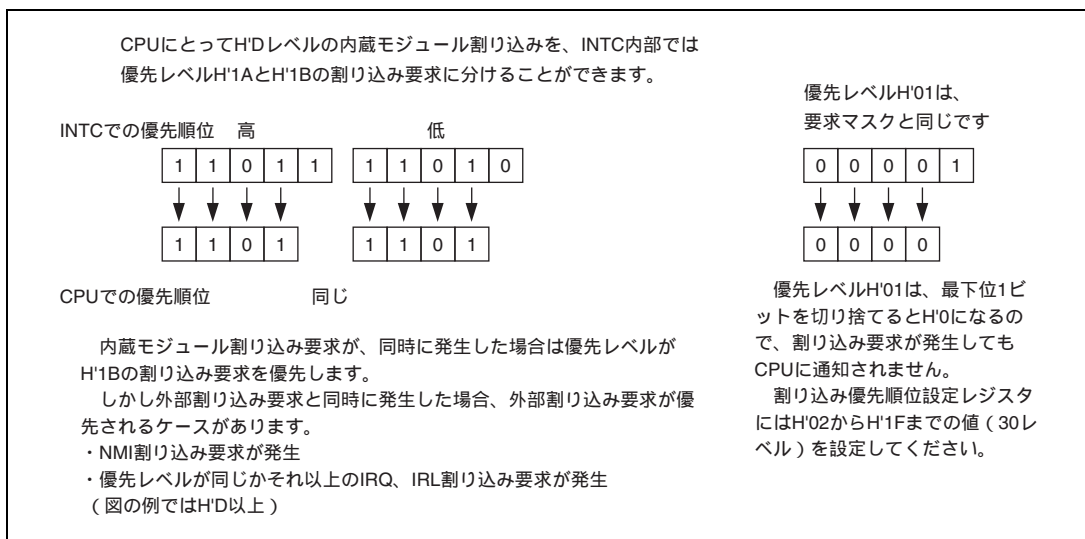


図 10.4 内蔵周辺モジュール割り込みの優先レベルについて

10.4.7 割り込み例外処理と優先順位

割り込み要因と割り込み事象レジスタ (INTEVT) のコード、割り込み優先順位を表 10.1 に示します。

各割り込み要因は、それぞれ異なる INTEVT のコードが割り当てられます。例外処理ルーチンの先頭アドレスは、各割り込み要因で共通です。このため、割り込み要因を識別するために、例外処理ルーチンの先頭で、INTEVT の値を使って分岐させます。たとえば INTEVT の値をオフセットにして分岐させます。

内蔵周辺モジュールの優先順位は、INT2PRI0 ~ INT2PRI24 によって、優先レベル 31 ~ 0 の範囲で任意に設定できます。リセットによって、内蔵周辺モジュールの優先順位は優先レベル 0 に設定されます。

複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 10.1 に示すデフォルト優先順位に従って処理されます。

INTPRI、INT2PRI0 ~ INT2PRI24 の更新は、SR の BL ビットが 1 のとき、もしくは割り込みマスクの設定にて該当割り込みが起きない状態で行ってください。なお、誤った割り込みの受け付けを避けるために、いったんいずれかの割り込み優先レベル設定レジスタを読み出してから BL ビットを 0 にするか、割り込みマスクの設定を更新して該当割り込みを受け付けられるようにしてください。これにより内部的に必要なタイミングが確保されます。

10.5 動作説明

10.5.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 10.5 に割り込み動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中からINTPRI、INT2PRI0～INT2PRI24に従って、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表10.1に従って最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのSRの割り込みマスクレベル(IMASK)とが比較されます。IMASKビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. CPUは、命令の切れ目で割り込みを受け付けます。
5. 割り込み事象レジスタ (INTEVT) に割り込み要因コードがセットされます。
6. ステータスレジスタ (SR) とプログラムカウンタ (PC) が、それぞれSSRとSPCに退避されます。そのときのR15をSGRに退避します。
7. SRのブロックビット (BL)、モードビット (MD)、レジスタバンクビット (RB) が1にセットされます。
8. 割り込み関連の例外処理ルーチンの先頭番地 (ベクタベースレジスタ (VBR) に設定された値とH'0000 0600の和) にジャンプします。

例外処理ルーチンでは、割り込み要因を識別するために、たとえば INTEVT レジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

- 【注】
1. CPU 動作モードレジスタの INTMU ビット (CPUOPM.INTMU) が 1 に設定されている場合は、SR の割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMU ビットが 0 に設定されている場合は、割り込み受理によって SR.IMASK が影響されることはありません。
 2. 割り込み要因フラグは、例外処理ルーチン中でクリアしてください。クリアしたはずの割り込み要因を誤って再度受け付けないようにするために、クリア後、要因フラグを読み出し、その後、表 10.9 で示される時間待ってから、BL ビットをクリアするか、RTE 命令を実行します。
 3. IRQ 割り込み、IRL 割り込み、および内蔵周辺モジュール割り込みは、パワーオンリセットで割り込みマスク状態に初期化されます。INTMSKCLR0、1、INT2MSKCLR を使用して、要因ごとの割り込みマスク (INTMSK0、1、INT2MSKR) をクリアする必要があります。

10.5.2 固定分配モード

割り込み要因を CPU ごとに固定的に分配するモードです。

CPU ごとに割り込みマスクレジスタを設定することで対応する割り込み要求をマスクし、処理する CPU を固定的に選択して使用します。1 割り込み要因は 1CPU に分配することを想定しています。

以下に想定するハンドラ処理例を示します。

A-1 多重割り込み受け付けるなら、

IMASK set

SSR,SPC,INTEVT 保存

BL クリア

A-2 INTEVT で要因解析し、要因ごとのルーチン(A-3)へ分岐

A-3 モジュール割り込みフラグクリア

A-4 モジュール毎処理

A-5 多重割り込みありなら、BL セット

SSR,SPC,INTEVT 回復

A-6 RTE

10.5.3 自動分配モード

割り込み要因を CPU に対して分配するモードです。

分配対象の CPU に同時に割り込み要求を分配し、いずれかの CPU に受け付けられた時点で各 CPU への割り込み要求をマスクします。

割り込みを受け付けた CPU は割り込み受け付けレジスタ (INTACK)を確認し、処理すべきかどうかを判定し、処理するかハンドラから復帰するかを選択します。

以下に想定するハンドラ例を示します。

S-1 INTACK レジスタをリードし、

値が 0 (自 CPU が受け付けるべき割り込みでない) 場合、RTE

S-2 自 CPU が受け付けるべき割り込みの場合、

S-2-1 固定分配モード処理 (A-1 ~ A-3)

S-2-2 割り込み受け付けクリアレジスタ (INTACKCLR) で該当割り込み要因をクリア

S-2-3 固定分配モード処理 (A-4 ~ A-6)

ある CPU が割り込み要求を受け付けた後は割り込み受け付けクリアレジスタ (INTACKCLR) で割り込み要因をクリアするまで、該当割り込み要求はマスクされます。別要因の割り込み要求は各 CPU に出力されます。

- スリープモードからの復帰

スリープモードの CPU が割り込みを受け付けられる (imask より高い割り込み要求が発生した) 場合にはその CPU をスリープモードから復帰させます。

複数の CPU がスリープモードの場合には受け付け可能な 1CPU のみを復帰させます。

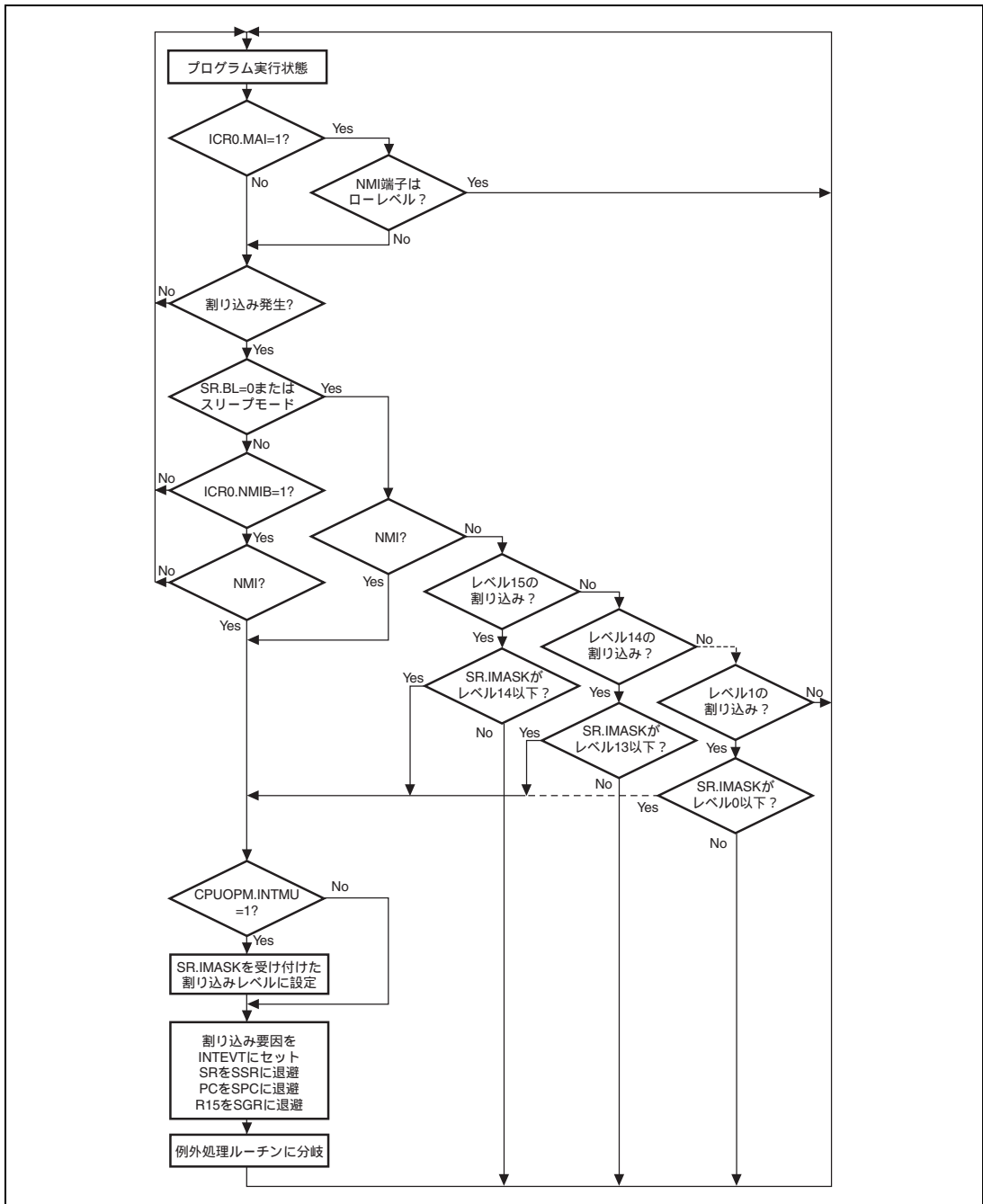


図 10.5 割り込み動作フロー

10.5.4 多重割り込み

多重割り込みを行う場合は、割り込み処理ルーチンの構造を以下のようにします。

1. 割り込み要因を判定するために、INTEVTの値をオフセットとして、各割り込み要因の割り込み処理ルーチンに分岐します。
2. 各割り込み処理ルーチン中で、該当割り込み要因をクリアします。
3. SPC、SSRをスタックに退避します。
4. SRのBLビットをクリアします。CPUOPM.INTMU=1のときは、SRレジスタの割り込みマスクレベル(IMASK)は受け付けた割り込みレベルに自動的に設定されます。CPUOPM.INTMU=0のときは、SRの割り込みマスクレベル(IMASK)を、ソフトウェアにより受け付けた割り込みレベルに設定します。
5. この後、実際に行いたい処理を書きます。
6. SRのBLビットを1にセットします。
7. SSRとSPCをメモリから復帰します。
8. RTE命令を実行します。

割り込み処理ルーチンを上記の構造にすることにより、4.の直後の時点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。これにより、緊急度の高い処理については、割り込み応答時間を短縮できます。

10.5.5 MAI ビットによる割り込みマスク

ICR0のMAIビットを1に設定することにより、NMI端子がローレベルの間、SRレジスタのBL、IMASKビットに関係なく割り込みをマスクすることができます。

- 通常動作時およびスリープモード時

NMI端子がローレベルの間、すべての割り込みをマスクします。ただし、NMI端子の変化によるNMI割り込みだけは発生します。

10.6 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外処理ルーチンの先頭命令のフェッチが開始されるまでの時間 (割り込み応答時間) を表 10.9 に示します。

表 10.9 割り込み応答時間

項 目	ステート数					備考
	NMI	IRL	IRQ	周辺モジュール		
				GPIO / 温度センサ 以外	GPIO / 温度センサ	
優先順位判定時間	7Bcyc+1Sacyc	5Bcyc+1Sacyc +1Sacyc	3Bcyc+2Sacyc +1Sacyc	1 Pcyc +1Sacyc	2 Pcyc/3Pcyc +1Sacyc	
CPU が実行中のシーケンス 終了までの待ち時間	S-1(≥ 0) × Icyc					
割り込み例外処理 (SR、PC の退避) から、例外処理ルー チンの先頭命令フェッチの SuperHyway バスリクエスト を発行するまでの時間	11Icyc+1Scyc					
応答時間	合計	(S+10)Icyc +1Scyc +7Bcyc +1Sacyc	(S+10)Icyc +1Scyc +5Bcyc +1Sacyc +1Sacyc	(S+10)Icyc +1Scyc +3Bcyc +2Sacyc +1Sacyc	(S+10)Icyc +1Scyc +1Pcyc +1Sacyc	(S+10)Icyc +1Scyc +2 Pcyc/3Pcyc +1Sacyc

【記号説明】

Icyc : CPU 等に供給される内部クロックの 1 サイクル期間

Scyc : SuperHyway クロックの 1 サイクル期間

Sacyc : SuperHyway クロックの 1/2 サイクル期間

Bcyc : CLKOUT の 1 サイクル期間

Pcyc : 周辺モジュールクロックの 1 サイクル期間

S : 命令実行ステート数

割り込みの許可 / 禁止を設定するレジスタ INTMSK0、INTMSK1、INTMSK2、INT2MSKR、INT2GPIC の設定値を、割り込み禁止状態から割り込み許可状態に変更した場合に、割り込み例外処理が行われ、例外処理ルーチンの先頭命令のフェッチが開始されるまでの時間 (割り込み応答時間) を表 10.10 に示します。

表 10.10 割り込み許可 / 禁止のレジスタ値変更からの応答時間 (割り込み禁止 割り込み許可の場合)

項 目		ステート数				備 考
		IRL		IRQ	周辺モジュール	
		INTMSK1	INTMSK2	INTMSK0	INT2MSKR、INT2GPIC	
優先順位判定時間*		5Sacyc	8Bcyc+2Pcyc	4Sacyc	4Sacyc	割り込みを許可 / 禁止するレジスタ
CPU が実行中のシーケンス終了までの待ち時間		S-1(≥ 0) × lcycc				
割り込み例外処理 (SR、PC の回避) から、例外処理ルーチンの先頭命令フェッチの SuperHyway バスリクエストを発行するまでの時間		11lcyc+1Scyc				
応答時間	合計	(S+10)lcyc +1Scyc +1Pcyc	(S+10)lcyc +1Scyc +8Bcyc +2Pcyc	(S+10)lcyc +1Scyc +1Pcyc	(S+10)lcyc +1Scyc +4Pcyc	

【記号説明】

lcyc : CPU 等に供給される内部クロックの 1 サイクル期間

Scyc : SuperHyway クロックの 1 サイクル期間

Sacyc : SuperHyway クロックの 1/2 サイクル期間

Bcyc : CLKOUT の 1 サイクル期間

Pcyc : 周辺モジュールクロックの 1 サイクル期間

S : 命令実行ステート数

【注】 * INTMSK0、INTMSK1、INTMSK2、INT2MSKR は、それぞれ INTMSKCLR0、INTMSKCLR1、INTMSKCLR2、INT2MSKCLR レジスタへの書き込みにより、INTMSK0、INTMSK1、INTMSK2、INT2MSKR のマスクビットをクリアして、割り込みを許可します。表 10.11 中の優先順位判定時間は、INTMSK0、INTMSK1、INTMSK2、INT2MSKR の値が変更されてからの時間です。

割り込みの許可 / 禁止を設定するレジスタ INTMSK0、INTMSK1、INTMSK2、INT2MSKR、INT2GPIC の設定値を、割り込み許可状態から割り込み禁止状態に書き換えた場合に、INTC から CPU に対する割り込み要求信号が取り下げられるまでの時間を表 10.11 に示します。

表 10.11 割り込み許可 / 禁止のレジスタ値変更からの応答時間 (割り込み許可 割り込み禁止の場合)

項 目	ステート数				備 考
	IRL		IRQ	周辺モジュール	
	INTMSK1	INTMSK2	INTMSK0	INT2MSKR、INT2GPIC	
優先順位判定時間	5Sacyc	8Bcyc+2Pcyc*	4Sacyc	4Sacyc	割り込みを許可 / 禁止するレジスタ

【注】 * 既に内部で保持された IRL 割り込み要因は、INTMSK2 でマスク設定しても、CPU に対する割り込み要求信号は取り下げられません。

10.7 使用上の注意事項

10.7.1 IRQ/IRL[7:0]端子機能設定時の注意事項

IRQ/IRL[7:0]端子機能切り替え時に、割り込み要求を誤検出して INTC 内部で保持する可能性があります。したがって、IRL 割り込み要求および IRQ 割り込み要求をマスク状態に設定してから、IRQ/IRL[7:0]端子機能切り替えを行ってください。

表 10.12 IRQ/IRL[7:0]端子機能切り替え手順

手順	項目	内容
1	IRL 割り込み要求、IRQ 割り込み要求をマスク	INTMSK0、INTMSK1 の全ビットに 1 を書き込む
2	IRQ/IRL[7:4]端子を IRL7~4 に設定	P2MSELR の P2MSEL1、P2MSEL0 ビットに 2'b01 を書き込む、 PHCR の PH3MD1、PH3MD0 ビットに 2'b00 を書き込む、 PHCR の PH2MD2、PH2MD0 ビットに 2'b00 を書き込む、 PHCR の PH1MD2、PH1MD0 ビットに 2'b00 を書き込む、 PHCR の PH0MD2、PH0MD0 ビットに 2'b00 を書き込む
3	IRQ/IRL[7:0]端子を IRL または IRQ に設定	ICR0 の IRLM0 ビット、IRLM1 ビットを設定する
4	IRL 割り込み要求、IRQ 割り込み要求の検出を開始	INTMSKCLR0、INTMSKCLR1 の該当するビットに 1 を書き込む

10.7.2 IRL 割り込み要求および IRQ 割り込み要求のクリア方法

INTC で保持している割り込み要求をクリアする場合、以下の手順で行ってください。

- エッジ検出設定時のIRQ割り込み要求のクリア方法
エッジ検出設定をしているIRQ7~0割り込み要求のクリアは、INTREQの該当するビットIR7~IR0から1を読み出した後、0を書き込んでください。INTMSK0で該当するビットに1を書き込んで、検出しているIRQ割り込み要求をクリアすることはできません。
- レベル検出のIRQ割り込み、および、IRL割り込み要求を検出しても、INTCは割り込み要因の保持をしません。

11. ローカルバスステートコントローラ (LBSC)

ローカルバスステートコントローラ (LBSC) は、外部メモリ空間の分割、各種のメモリおよびバスインタフェース仕様に応じた制御信号の出力などを行います。LBSC の機能によって、SRAM、ROM など本 LSI に接続することができ、PCMCIA インタフェースのプロトコルもサポートしていますので、システム設計が容易になると同時に、コンパクトなシステムで高速なデータ転送を行うことができます。

11.1 特長

LBSC には、次のような特長があります。

- 7つに分割した外部メモリ空間のうち0~6を管理
 - エリア 0 は、最大 128M バイト (外部端子により設定)
 - エリア 1~6 までの各エリアは、最大 64M バイト
 - 各エリアのバス幅をレジスタにより設定可能 (エリア 0 のみ、外部端子により設定)
 - \overline{RDY} 端子によりウェイトステート挿入可能
 - ウェイトステート挿入をプログラムで制御可能
 - エリアごとに接続できるメモリの種類を指定
 - 各エリアに接続するメモリの制御信号を出力
 - 連続したメモリアクセス時におけるデータバスの衝突回避のためのウェイトサイクル自動挿入機能
 - 低速メモリとの接続用に書き込みサイクル時のライトストロープのセットアップタイムとホールドタイム期間を挿入可能
 - SRAMインタフェース
 - ウェイトステート挿入をプログラムで制御可能
 - 接続可能エリア : 0~6

設定可能バス幅 : 32、16、8ビット
- バーストROMインタフェース
 - ウェイトステート挿入をプログラムで制御可能
 - レジスタで設定した回数のバースト転送動作
 - 接続可能エリア : 0~6

設定可能バス幅 : 32、16、8ビット
- MPXインタフェース
 - アドレス・データマルチプレクス
 - 接続可能エリア : 0~6

設定可能バス幅 : 32ビット
- バイト制御SRAMインタフェース
 - バイト制御可能な SRAM インタフェース

接続可能エリア：1、4

設定可能バス幅：32、16ビット

• PCMCIAインタフェース

- ウェイトステート挿入をプログラムで制御可能
 - I/O バス幅のバスサイジング機能
 - リトルエンディアンのみサポート
- 接続可能エリア：5、6

設定可能バス幅：16、8ビット

- ATA デバイスアクセスのための機能

LBSC のブロック図を図 11.1 に示します。

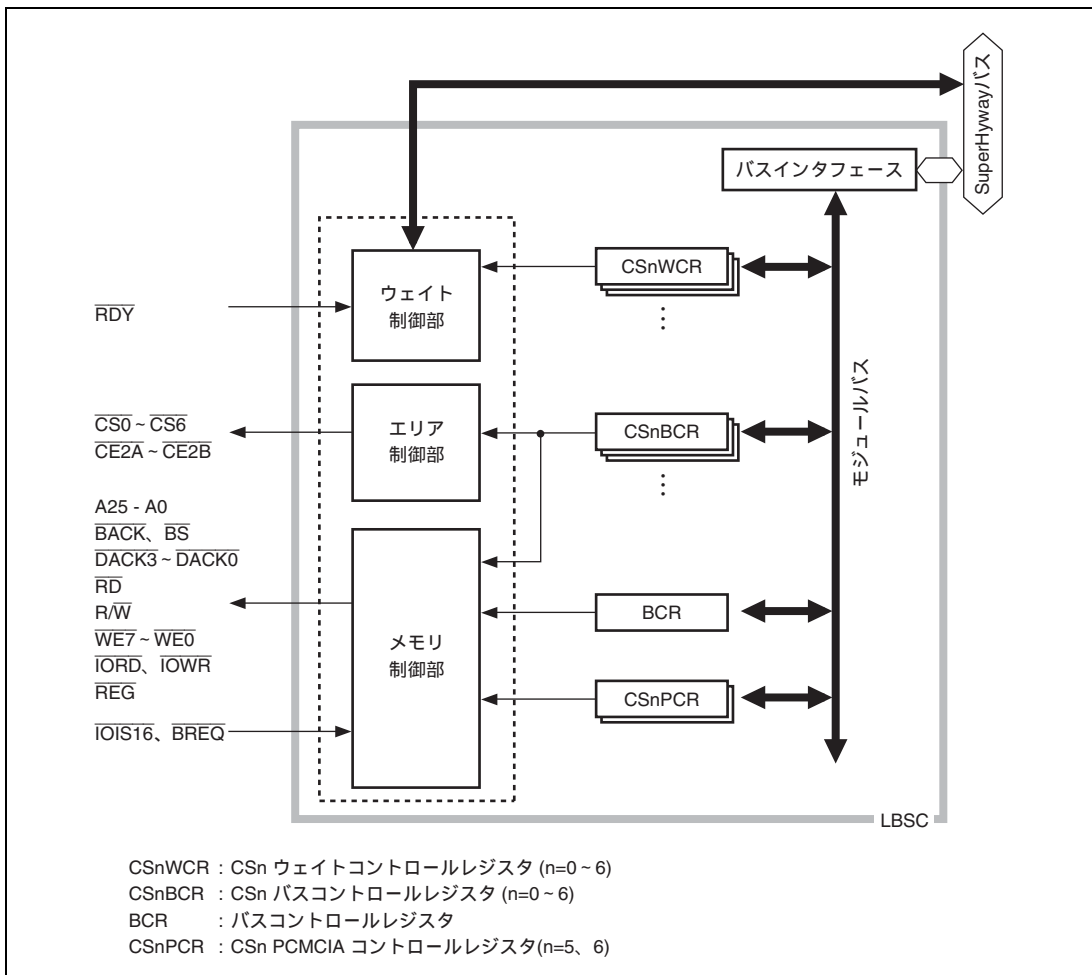


図 11.1 LBSC のブロック図

11.2 入出力端子

LBSC の端子構成を表 11.1 に示します。

表 11.1 端子構成

端子名	機能	入出力	説明
A25 ~ A0	アドレスバス	出力	アドレス出力
D31 ~ D8, D7/FD7 ~ D0/FD0	データバス	入出力	データ入出力 D7/FD7 ~ D0/FD0 端子は、 FLCTL アクセスバス権取得時、FLCTL データ入出力
\overline{BS}	バスサイクル開始	出力	バスサイクルの開始を示す信号 MPX インタフェース設定時、1 回のバースト転送につき 1 回アサート その他のバースト転送時、データサイクルごとにアサート
$\overline{CS6} - \overline{CS2}$ $\overline{CS1/A26}$ $\overline{CS0/FCE0}$	チップセレクト 6 ~ 0	出力	アクセス中のエリアを示すチップセレクト信号 $\overline{CS5}$ 、 $\overline{CS6}$ は、PCMCIA の $\overline{CE1A}$ 、 $\overline{CE1B}$ としても使用 $\overline{CS1/A26}$ 端子 : CS0 エリア 128MB モード時、A26 出力 $\overline{CS0/FCE0}$ 端子 : FLCTL アクセスバス権取得時、CE 信号
\overline{RW}	リード/ライト	出力	データバスの入出力方向指示信号 PCMCIA インタフェースの書き込み指示信号としても使用
$\overline{RD}/$ $\overline{FRAME}/$ \overline{FRE}	リード/サイクルフ レーム	出力	リードサイクルを示すストロープ信号 MPX バス使用時、 \overline{FRAME} 信号 FLCTL アクセスバス権取得時、RE 信号
$\overline{WE0}/$ \overline{REG}	データイネーブル 0	出力	SRAM インタフェース設定時、D7 ~ D0 対応のライトストロープ信号 PCMCIA インタフェース設定時、 \overline{REG} 信号
$\overline{WE1}$	データイネーブル 1	出力	SRAM インタフェース設定時、D15 ~ D8 対応のライトストロープ信号 PCMCIA インタフェース設定時、ライトストロープ信号
$\overline{WE2}/$ \overline{IORD}	データイネーブル 2	出力	SRAM インタフェース設定時、D23 ~ D16 対応のライトストロープ信号 PCMCIA インタフェース設定時、 \overline{IORD} 信号
$\overline{WE3}/$ \overline{IOWR}	データイネーブル 3	出力	SRAM インタフェース設定時、D31 ~ D24 対応のライトストロープ信号 PCMCIA インタフェース設定時、 \overline{IOWR} 信号
\overline{RDY}	レディ	入力	ウェイトステート要求信号
$\overline{IOIS16}$	16 ビット I/O	入力	PCMCIA インタフェース設定時、16 ビット I/O 指示信号。リトルエンディ アンモード時のみ有効。 $\overline{IOIS16}$ 端子は、MODE13、SCIF5_RXD (SCIF5 入力) 端子とマルチプレク スされています。
\overline{BREQ}	バス解放要求	入力	バス解放の要求信号 \overline{BREQ} 端子は、 $\overline{DREQ1}$ (DMAC0 入力)、USB_OVC1 (USB 入力) 端子と マルチプレクスされています。
\overline{BACK}	バス使用許可	出力	バス使用の許可信号 \overline{BACK} 端子は、 $\overline{DACK1}$ (DMAC0 出力)、 \overline{FALE} (FLCTL 出力) 端子とマル チプレクスされています。

端子名	機能	入出力	説明
$\overline{CE2A}^{*1}$ $\overline{CE2B}^{*2}$	PCMCIA カード セレクト	出力	PCMCIA 使用時、 $\overline{CE2A}$ 、 $\overline{CE2B}$ リトルエンディアンモード時のみ有効。 $\overline{CE2A}$ 端子は、MODE11、DRAK3 (DMAC0 出力) 端子と、 $\overline{CE2B}$ 端子は、 MODE12、SCIF5_TXD (SCIF5 出力) 端子と、それぞれマルチプレクスさ れています。
MODE4 MODE5 MODE6	エリア 0 バス幅、 メモリ種	入力	\overline{PRESET} 端子によるパワーオンリセット時、エリア 0 のバス幅、MPX イン タフェース設定信号 (MODE4, MODE5, MODE6) MODE4 端子は $\overline{SCIF0_CTS}$ (SCIF0 出力)、 $\overline{DREQ2}$ (DMAC0 入力) 端子 と、MODE5 端子は $\overline{DREQ3}$ (DMAC0 入力) 端子と、MODE6 端子は DACK2 (DMAC0 出力) 端子とそれぞれマルチプレクスされています。
MODE7	エリア 0 領域拡張 モード	入力	\overline{PRESET} 端子によるパワーオンリセット時、エリア 0 領域拡張モード設定 MODE7 端子は、DACK3 (DMAC0 出力) 端子とマルチプレクスされていま す。
MODE8	エンディアン切 り替え	入力	\overline{PRESET} 端子によるパワーオンリセット時、エンディアン設定 MODE8 端子は、SCIF4_TXD (SCIF4 出力)、DRAK0 (DMAC0 出力)、 SSI3_SCK (SSI3 出力)、 \overline{FSE} (FLCTL 出力) 端子とマルチプレクスされ ています。
$\overline{DACK0}^{*3}$	DMAC0 アクノリ ッジ信号	出力	DMAC0 チャンネル 0 のデータアクノリッジ $\overline{DACK0}$ 端子は FCLE (FLCTL 出力) 端子とマルチプレクスされています。
$\overline{DACK1}^{*3}$	DMAC1 アクノリ ッジ信号	出力	DMAC0 チャンネル 1 のデータアクノリッジ $\overline{DACK1}$ 端子は \overline{BACK} (LBSC 出力)、FALE (FLCTL 出力) 端子とマルチ プレクスされています。
$\overline{DACK2}^{*3}$	DMAC2 アクノリ ッジ信号	出力	DMAC0 チャンネル 2 のデータアクノリッジ $\overline{DACK2}$ 端子は MODE6 (モード入力) 端子とマルチプレクスされています。
$\overline{DACK3}^{*3}$	DMAC3 アクノリ ッジ信号	出力	DMAC0 チャンネル 3 のデータアクノリッジ $\overline{DACK3}$ 端子は MODE7 (モード入力) 端子とマルチプレクスされています。

- 【注】 *1 $\overline{CE2A}$ は CS5 バスコントロールレジスタ (CS5BCR) の TYPE ビットを B'100 としたときに出力となります。
*2 $\overline{CE2B}$ は CS6 バスコントロールレジスタ (CS6BCR) の TYPE ビットを B'100 としたときに出力となります。
*3 $\overline{DACK0}$ ~ $\overline{DACK3}$ 端子は DMAC0 の CHCR0 ~ CHCR3 の AL ビットで極性選択可能 (初期値はローアクティブ)。
詳細は、「第 15 章 ダイレクトメモリアクセスコントローラ 0 (DMAC0)」を参照してください。

11.3 エリアの概要

11.3.1 空間分割

本 LSI は、アーキテクチャとして 32 ビットの仮想アドレス空間を有しています。仮想アドレスは、上位側アドレスの値によって 5 領域に分割されています。また、ローカルバスのメモリ空間は 29 ビットのアドレス空間を有しており 8 エリアに分割されています。

仮想アドレスは、アドレス変換機構 (MMU) により任意の外部アドレスに割り付けることができます。詳細は「第 7 章 メモリマネジメントユニット (MMU)」を参照してください。この章では、ローカルバスのアドレスのエリア分割について記述します。

本 LSI は、表 11.3 に示すように外部アドレスの 7 つのエリアにおのおの各種メモリ / PC カードを接続でき、おのおのに対応してチップセレクト信号 ($\overline{CS0} \sim \overline{CS6}$, $\overline{CE2A}$, $\overline{CE2B}$) を出力します。エリア 0 のアクセス時に $\overline{CS0}$ が、エリア 6 のアクセス時に $\overline{CS6}$ がアサートされます。また、エリア 5 と 6 において、PCMCIA インタフェースを選択した場合、アクセスするバイトに対応して、 $\overline{CS5}$ 、 $\overline{CS6}$ に加えて、 $\overline{CE2A}$ 、 $\overline{CE2B}$ をアサートします。

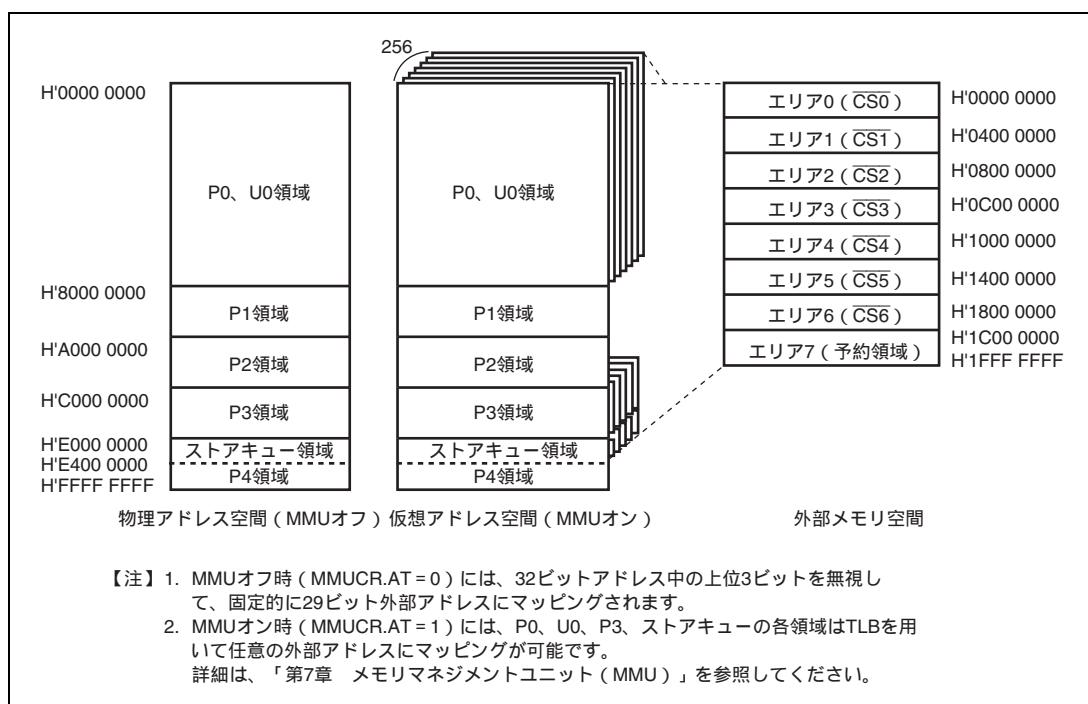


図 11.2 仮想アドレス空間と外部メモリ空間の対応

表 11.2 ローカルバスメモリ空間マップ

エリア	ローカルバス アドレス	容量	接続可能メモリ	設定可能 バス幅 (ビット)	アクセス サイズ*7
0	H'00000000 ~ H'03FFFFFF	64MB	SRAM	8,16,32*1	8、16、32 ビット、 32 バイト
			バースト ROM	8,16,32*1	
			MPX	32*1	
1	H'04000000 ~ H'07FFFFFF	64MB	SRAM	8,16,32*2	8、16、32 ビット、 32 バイト
			バースト ROM	8,16,32*2	
			MPX	32*2	
			バイト制御 SRAM	16,32*2	
2	H'08000000 ~ H'0BFFFFFF	64MB	SRAM	8,16,32*2	8、16、32 ビット、 32 バイト
			バースト ROM	8,16,32*2	
			MPX	32*2	
			(DDR3-SDRAM) *3	16,32*3	
3	H'0C000000 ~ H'0FFFFFFF	64MB	SRAM	8,16,32*2	8、16、32 ビット、 32 バイト
			バースト ROM	8,16,32*2	
			MPX	32*2	
			(DDR3-SDRAM) *3	16,32*3	
4	H'10000000 ~ H'13FFFFFF	64MB	SRAM	8,16,32*2	8、16、32 ビット、 32 バイト
			バースト ROM	8,16,32*2	
			MPX	32*2	
			バイト制御 SRAM	16,32*2	
			(DDR3-SDRAM) *3	16,32*3	8、16、32 ビット、 32 バイト
			(PCIEC) *4	32	
5	H'14000000 ~ H'17FFFFFF	64MB	SRAM	8,16,32*2	8、16、32 ビット、 32 バイト
			MPX	32*2	
			バースト ROM	8,16,32*2	
			PCMCIA	8,16*2*5	8、16、32 ビット、 32 バイト
			(DDR3-SDRAM) *2	16,32	
			(LRAM) *3	-	
6	H'18000000 ~ H'1BFFFFFF	64MB	SRAM	8,16,32*2	8、16、32 ビット、 32 バイト
			MPX	32*2	
			バースト ROM	8,16,32*2	
			PCMCIA	8,16*2*5	

エリア	ローカルバス アドレス	容量	接続可能メモリ	設定可能 バス幅 (ビット)	アクセス サイズ*7
7*6	H'1C000000 ~H'1FFFFFFF	64MB	-	-	-

- 【注】 *1 外部端子でメモリバス幅を指定します。
 *2 レジスタでメモリバス幅を指定します。
 *3 該当エリアを、MMSELR の設定により、DDR2-SDRAM に割り当てることができます。詳細は「第 12 章 DDR3-SDRAM インタフェース (DBSC3)」を参照してください。
 *4 該当エリアを、MMSELR の設定により、PCI に割り当てることができます。詳細は「第 13 章 PCI Express コントローラ (PCIEC)」を参照してください。
 *5 PCMCIA インタフェース使用時は、バス幅は 8、16 ビットのいずれかのみです。
 *6 リザーブ領域にはアクセスしないでください。アクセスした場合、動作の保証はできません。
 *7 LBSC が 8、16 バイトのアクセスをバスマスタから要求された場合、アクセスサイズ 32 ビットとして、それぞれ 2 回、4 回のアクセスを行います。
 *8 該当エリアを、MMSELR の設定により、LRAM メモリに割り当てることができます。

エリア0:	H'0000 0000	SRAM / パーストROM / MPX	} PCMCIAインタフェースは、 メモリ、I/Oカード兼用
エリア1:	H'0400 0000	SRAM / パーストROM / MPX / バイト制御SRAM	
エリア2:	H'0800 0000	SRAM / パーストROM / MPX (/ DDR3-SDRAM)	
エリア3:	H'0C00 0000	SRAM / パーストROM / MPX (/ DDR3-SDRAM)	
エリア4:	H'1000 0000	SRAM / パーストROM / MPX / バイト制御SRAM (/ DDR3-SDRAM / PCIEC)	
エリア5: (前半) H'1400 0000 (後半) H'1600 0000		SRAM / パーストROM / MPX / PCMCIA (前半、後半) (/ DDR3-SDRAM / LRAM)	
エリア6: (前半) H'1800 0000 (後半) H'1A00 0000		SRAM / パーストROM / MPX / PCMCIA (前半、後半) (/ DDR3-SDRAM)	

図 11.3 ローカルバスメモリ空間割り付け

11.3.2 メモリバス幅

LBSC のメモリバス幅は、空間ごとに設定できます。エリア 0 では、 $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時に外部端子を用いてバスサイズを 8 ビット、16 ビット、32 ビットから選べます。パワーオンリセット時に外部端子 (MODE6、MODE5、MODE4) とバス幅の関係は次のようになります。

下記、外部端子 (MODE6、MODE5、MODE4) 設定以外は設定禁止です。

MODE6	MODE5	MODE4	バス幅
0	0	0	32 ビット (MPX)
0	0	1	8 ビット
0	1	0	16 ビット
0	1	1	32 ビット

エリア 0~6 で SRAM インタフェース、ROM のいずれかを使用する場合は、CSn バスコントロールレジスタ (CSnBCR) によってバス幅を 8 ビット、16 ビット、32 ビットから選べます。パースト ROM を使用する場合、バス幅を 8 ビット、16 ビット、32 ビットから選べます。バイト制御 SRAM インタフェースを使用する場合、バス幅を 16 ビット、32 ビットから選べます。MPX インタフェースを使用する場合、バス幅を 32 ビットに設定してください。

PCMCIA インタフェースを使用する場合は、バス幅は 8 ビットまたは 16 ビットに設定してください。詳細は、「11.5.5 PCMCIA インタフェース」を参照してください。

メモリバス幅に関する詳細は、「11.4.3 CSn バスコントロールレジスタ (CSnBCR)」を参照してください。エリア 7 のアドレスの範囲、H'1C00 0000 ~ H'1FFF FFFF は予約エリアですので使用しないでください。

11.3.3 PCMCIA サポート

本 LSI では、外部メモリ空間のエリア 5 と 6 で PCMCIA のインタフェース仕様をサポートします。

サポートするインタフェースは、JEIDA 仕様 Ver4.2 (PCMCIA2.1) で定められた “IC メモリカードインタフェース” と “I/O カードインタフェース” です。

外部メモリ空間のエリア 5 と 6 では、“IC メモリカードインタフェース” と “I/O カードインタフェース” の両方をサポートします。

PCMCIA インタフェースは、リトルエンディアンモードでのみサポートされます。

表 11.3 PCMCIA インタフェースの特長

項 目	特 長
アクセス	ランダムアクセス
データバス	8/16 ビット
メモリタイプ	マスク ROM、OTPROM、EPROM、フラッシュメモリ、SRAM、ATA デバイス
コモンメモリ容量	最大 64M バイト
アトリビュート部容量	最大 64M バイト
その他	I/O バス幅のダイナミックバスサイジング、ATA デバイスコントロールレジスタへのアクセス

表 11.4 PCMCIA サポートインタフェース (1)

端子	IC メモリカードインタフェース			I/O カードインタフェース			SH7786 対応端子
	信号名	I/O	機能	信号名	I/O	機能	
1	GND		グラウンド	GND		グラウンド	-
2	D3	I/O	データ	D3	I/O	データ	D3
3	D4	I/O	データ	D4	I/O	データ	D4
4	D5	I/O	データ	D5	I/O	データ	D5
5	D6	I/O	データ	D6	I/O	データ	D6
6	D7	I/O	データ	D7	I/O	データ	D7
7	$\overline{CE1}$	I	カードイネーブル	$\overline{CE1}$	I	カードイネーブル	CS5 or CS6
8	A10	I	アドレス	A10	I	アドレス	A10
9	\overline{OE}	I	出カイネーブル	\overline{OE}	I	出カイネーブル	RD
10	A11	I	アドレス	A11	I	アドレス	A11
11	A9	I	アドレス	A9	I	アドレス	A9
12	A8	I	アドレス	A8	I	アドレス	A8
13	A13	I	アドレス	A13	I	アドレス	A13
14	A14	I	アドレス	A14	I	アドレス	A14
15	\overline{WE}	I	ライトイネーブル	\overline{WE}	I	ライトイネーブル	$\overline{WE1}$
16	\overline{READY}	O	レディ	\overline{IREQ}	O	割り込み要求	ポートでセンス
17	VCC		動作電源	VCC		動作電源	-
18	VPP1 (VPP)		プログラム電源	VPP1 (VPP)		プログラム/ペリ フェラル用電源	-
19	A16	I	アドレス	A16	I	アドレス	A16
20	A15	I	アドレス	A15	I	アドレス	A15
21	A12	I	アドレス	A12	I	アドレス	A12
22	A7	I	アドレス	A7	I	アドレス	A7
23	A6	I	アドレス	A6	I	アドレス	A6
24	A5	I	アドレス	A5	I	アドレス	A5
25	A4	I	アドレス	A4	I	アドレス	A4
26	A3	I	アドレス	A3	I	アドレス	A3
27	A2	I	アドレス	A2	I	アドレス	A2
28	A1	I	アドレス	A1	I	アドレス	A1
29	A0	I	アドレス	A0	I	アドレス	A0
30	D0	I/O	データ	D0	I/O	データ	D0
31	D1	I/O	データ	D1	I/O	データ	D1
32	D2	I/O	データ	D2	I/O	データ	D2
33	\overline{WP}^*	O	ライトプロテクト	$\overline{IOIS16}$	O	16ビット I/O ポート	$\overline{IOIS16}$
34	GND		グラウンド	GND		グラウンド	-

【注】 * \overline{WP} はサポートしていません。

「I/O」は PCMCIA カードにおける入出力。

極性は、PCMCIA カードインタフェースはカード側、SH7786 対応端子は本 LSI 側での極性を示します。

表 11.4 PCMCIA サポートインタフェース (2)

端子	IC メモリカードインタフェース			I/O カードインタフェース			SH7786 対応端子
	信号名	I/O	機能	信号名	I/O	機能	
35	GND		グラウンド	GND		グラウンド	-
36	$\overline{\text{CD}}1$	O	カード検出	$\overline{\text{CD}}1$	O	カード検出	ポートでセンス
37	D11	I/O	データ	D11	I/O	データ	D11
38	D12	I/O	データ	D12	I/O	データ	D12
39	D13	I/O	データ	D13	I/O	データ	D13
40	D14	I/O	データ	D14	I/O	データ	D14
41	D15	I/O	データ	D15	I/O	データ	D15
42	$\overline{\text{CE}}2$	I	カードイネーブル	$\overline{\text{CE}}2$	I	カードイネーブル	CE2A または CE2B
43	RFSH ($\overline{\text{VS}}1$)	I	リフレッシュ要求	RFSH ($\overline{\text{VS}}1$)	I	リフレッシュ要求	ポートから出力
44	RSRVD		リザーブ	$\overline{\text{IORD}}$	I	I/O リード	$\overline{\text{IORD}}$
45	RSRVD		リザーブ	$\overline{\text{IOWR}}$	I	I/O ライト	$\overline{\text{IOWR}}$
46	A17	I	アドレス	A17	I	アドレス	A17
47	A18	I	アドレス	A18	I	アドレス	A18
48	A19	I	アドレス	A19	I	アドレス	A19
49	A20	I	アドレス	A20	I	アドレス	A20
50	A21	I	アドレス	A21	I	アドレス	A21
51	VCC		電源	VCC		電源	-
52	VPP2 (VPP)		プログラム電源	VPP2 (VPP)		プログラム / ペリフェラル用電源	-
53	A22	I	アドレス	A22	I	アドレス	A22
54	A23	I	アドレス	A23	I	アドレス	A23
55	A24	I	アドレス	A24	I	アドレス	A24
56	A25	I	アドレス	A25	I	アドレス	A25
57	RSRVD		リザーブ	RSRVD		リザーブ	-
58	RESET	I	リセット	RESET	I	リセット	ポートから出力
59	$\overline{\text{WAIT}}$	O	ウェイト要求	$\overline{\text{WAIT}}$	O	ウェイト要求	RDY*
60	RSRVD		リザーブ	INPACK	O	入力応答	-
61	$\overline{\text{REG}}$	I	アトリビュートメモリ空間セレクト	$\overline{\text{REG}}$	I	アトリビュートメモリ空間セレクト	REG
62	BVD2	O	電池電圧検出	$\overline{\text{SPKR}}$	O	デジタル音声信号	ポートでセンス
63	BVD1	O	電池電圧検出	$\overline{\text{STSCHG}}$	O	カード状態変化	ポートでセンス
64	D8	I/O	データ	D8	I/O	データ	D8
65	D9	I/O	データ	D9	I/O	データ	D9
66	D10	I/O	データ	D10	I/O	データ	D10
67	$\overline{\text{CD}}2$	O	カード検出	$\overline{\text{CD}}2$	O	カード検出	ポートでセンス
68	GND		グラウンド	GND		グラウンド	-

【注】 * 極性に注意してください。

「I/O」は PCMCIA カードにおける入出力。

極性は、PCMCIA カードインタフェースはカード側、SH7786 対応端子は本 LSI 側での極性を示します。

11.4 レジスタの説明

LBSC には表 11.5、表 11.6 に示すレジスタがあります。これらのレジスタにより、各種メモリとのインタフェース、ウェイトステートなどの制御を行います。

表 11.5 レジスタ構成 (1)

名 称	略 称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ*	同期 クロック
メモリアドレスマップ選択レジスタ	MMSELR	R/W	H'FC40 0020	H'1C40 0020	32	SHck
バスコントロールレジスタ	BCR	R/W	H'FF80 1000	H'1F80 1000	32	Bck
CS0 バスコントロールレジスタ	CS0BCR	R/W	H'FF80 2000	H'1F80 2000	32	Bck
CS1 バスコントロールレジスタ	CS1BCR	R/W	H'FF80 2010	H'1F80 2010	32	Bck
CS2 バスコントロールレジスタ	CS2BCR	R/W	H'FF80 2020	H'1F80 2020	32	Bck
CS3 バスコントロールレジスタ	CS3BCR	R/W	H'FF80 2030	H'1F80 2030	32	Bck
CS4 バスコントロールレジスタ	CS4BCR	R/W	H'FF80 2040	H'1F80 2040	32	Bck
CS5 バスコントロールレジスタ	CS5BCR	R/W	H'FF80 2050	H'1F80 2050	32	Bck
CS6 バスコントロールレジスタ	CS6BCR	R/W	H'FF80 2060	H'1F80 2060	32	Bck
CS0 ウェイトコントロールレジスタ	CS0WCR	R/W	H'FF80 2008	H'1F80 2008	32	Bck
CS1 ウェイトコントロールレジスタ	CS1WCR	R/W	H'FF80 2018	H'1F80 2018	32	Bck
CS2 ウェイトコントロールレジスタ	CS2WCR	R/W	H'FF80 2028	H'1F80 2028	32	Bck
CS3 ウェイトコントロールレジスタ	CS3WCR	R/W	H'FF80 2038	H'1F80 2038	32	Bck
CS4 ウェイトコントロールレジスタ	CS4WCR	R/W	H'FF80 2048	H'1F80 2048	32	Bck
CS5 ウェイトコントロールレジスタ	CS5WCR	R/W	H'FF80 2058	H'1F80 2058	32	Bck
CS6 ウェイトコントロールレジスタ	CS6WCR	R/W	H'FF80 2068	H'1F80 2068	32	Bck
CS5 PCMCIA コントロールレジスタ	CS5PCR	R/W	H'FF80 2070	H'1F80 2070	32	Bck
CS6 PCMCIA コントロールレジスタ	CS6PCR	R/W	H'FF80 2080	H'1F80 2080	32	Bck

【注】 * 指定アクセスサイズ以外でのアクセスは行わないでください。

表 11.6 レジスタ構成 (2)

名 称	略 称	パワーオン リセット	マニュアル リセット	スリープ/ ライトスリープ
		PRESET 端子/ WDT/H-UDI による	WDT/ 多重例外による	SLEEP 命令 による
メモリアドレスマップ選択レジスタ	MMSELR	H'0000 0000	H'0000 0000	保持
バスコントロールレジスタ	BCR	H'x000 0000	保持	保持
CS0 バスコントロールレジスタ	CS0BCR	H'7777 77F0	保持	保持
CS1 バスコントロールレジスタ	CS1BCR	H'7777 77F0	保持	保持
CS2 バスコントロールレジスタ	CS2BCR	H'7777 77F0	保持	保持
CS3 バスコントロールレジスタ	CS3BCR	H'7777 77F0	保持	保持
CS4 バスコントロールレジスタ	CS4BCR	H'7777 77F0	保持	保持
CS5 バスコントロールレジスタ	CS5BCR	H'7777 77F0	保持	保持
CS6 バスコントロールレジスタ	CS6BCR	H'7777 77F0	保持	保持
CS0 ウェイトコントロールレジスタ	CS0WCR	H'7777 770F	保持	保持
CS1 ウェイトコントロールレジスタ	CS1WCR	H'7777 770F	保持	保持
CS2 ウェイトコントロールレジスタ	CS2WCR	H'7777 770F	保持	保持
CS3 ウェイトコントロールレジスタ	CS3WCR	H'7777 770F	保持	保持
CS4 ウェイトコントロールレジスタ	CS4WCR	H'7777 770F	保持	保持
CS5 ウェイトコントロールレジスタ	CS5WCR	H'7777 770F	保持	保持
CS6 ウェイトコントロールレジスタ	CS6WCR	H'7777 770F	保持	保持
CS5 PCMCIA コントロールレジスタ	CS5PCR	H'7700 0000	保持	保持
CS6 PCMCIA コントロールレジスタ	CS6PCR	H'7700 0000	保持	保持

11.4.1 メモリアドレスマップ選択レジスタ (MMSELR)

メモリアドレスマップ選択レジスタ (MMSELR) は 32 ビット幅のレジスタで、エリア 2 からエリア 5 の空間について、メモリアドレスマップの選択を行います。本レジスタへのアクセスは、アドレス H'FC40 0020 に対して行ってください。また、書き込み、読み出しとも、ロングワードで行ってください。書き込みは、誤書き込みを防ぐため、上位ワードが H'A5A5 の場合のみ受け付けられます。読み出しする場合、上位 29 ビットは 0 が読み出されます。本レジスタは、パワーオンリセットで H'0000 0000 に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CH_KEY(H'A5A5)															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MM_SEL															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	CH_KEY	0	R/W	MM_SEL[2:0]ビット書き込み時の書き込み Key コードです。 H'A5A5 の値と同時に MM_SEL[2:0]ビットを書き換えしてください。 Key コードが合わない場合は、MM_SEL[2:0]ビットは更新されません。 【注】本フィールドは読み出し時は、常に 0 が読み出されます。
15~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
2~0	MM_SEL	000	R/W	<p>DDR3-SDRAM/PCI Express メモリ/LRAM 空間選択</p> <p>000 : エリア 2、3 (H'0800 0000 ~ H'0FFF FFFF) を DDR3-SDRAM 空間とし、他エリアをローカルバス空間とする。 H'4000 0000 ~ H'7FFF FFFF を DDR3-SDRAM 空間とし、H'8000 0000 ~ H'BFFF FFFF を PCI Express 空間とする。</p> <p>001 : エリア 2、3 (H'0800 0000 ~ H'0FFF FFFF) を DDR3-SDRAM 空間、エリア 4 (H'1000 0000 ~ H'13FF FFFF) を PCI Express 空間とし、他エリアをローカルバス空間とする。 H'4000 0000 ~ H'7FFF FFFF を DDR3-SDRAM 空間とし、H'8000 0000 ~ H'BFFF FFFF を PCI Express 空間とする。</p> <p>010 : エリア 2、3 (H'0800 0000 ~ H'0FFF FFFF) を DDR3-SDRAM 空間、エリア 4 (H'1000 0000 ~ H'13FF FFFF) を PCI Express 空間、エリア 5 (H'1400 0000 ~ H'147F FFFF) を CPU0 LRAM 空間、エリア 5 (H'1480 0000 ~ H'14FF FFFF) を CPU1 LRAM 空間とし、他エリアをローカルバス空間とする。 H'4000 0000 ~ H'7FFF FFFF を DDR3-SDRAM 空間とし、H'8000 0000 ~ H'BFFF FFFF を PCI Express 空間とする。</p> <p>011 : エリア 2~5 (H'0800 0000 ~ H'17FF FFFF) を DDR3-SDRAM 空間とする H'4000 0000 ~ H'7FFF FFFF を DDR3-SDRAM 空間とし、H'8000 0000 ~ H'BFFF FFFF を PCI Express 空間とする。</p> <p>100 : エリア 2~5 (H'0800 0000 ~ H'17FF FFFF) をローカルバス空間とする H'4000 0000 ~ H'7FFF FFFF を DDR3-SDRAM 空間とし、H'8000 0000 ~ H'BFFF FFFF を PCI Express 空間とする。</p> <p>101 : エリア 4 (H'1000 0000 ~ H'13FF FFFF) を PCI Express 空間とし、ほかエリアをローカルバス空間とする。 H'4000 0000 ~ H'BFFF FFFF を DDR3-SDRAM 空間とする。</p> <p>110 : エリア 4 (H'1000 0000 ~ H'13FF FFFF) を PCI Express 空間、エリア 5 (H'1400 0000 ~ H'147F FFFF) を CPU0 LRAM 空間、エリア 5 (H'1480 0000 ~ H'14FF FFFF) を CPU1 LRAM 空間とし、他エリアをローカルバス空間とする。 H'4000 0000 ~ H'BFFF FFFF を DDR3-SDRAM 空間とする。</p> <p>111 : エリア 2~5 (H'0800 0000 ~ H'17FF FFFF) をローカルバス空間とする H'4000 0000 ~ H'BFFF FFFF を DDR3-SDRAM 空間とする。</p>

- 【注】
1. 本レジスタは初期設定にて行うことを推奨します。
 2. 本レジスタはCPU0からのみ変更可能です。それ以外の書き込みは無視されます。

本レジスタに書き込みを行うときには、DMAC0、DMAC1、HPB-DMAC、DU、USB、Ether および PCIEC からのアクセスが発生しないように設定した上で、本レジスタへの書き込みを行う MOV 命令の直前に SYNCO 命令を置くなどし、未処理のアクセスがないようにしてから書き込みを行ってください。

また、本レジスタへの書き込みを行う MOV 命令の直後に、

本レジスタを読み出すMOV命令

本レジスタを読み出すMOV命令

SYNCO命令

を置いてください。

例)

.....

```
MOV.L    #HFC400020, R0
```

```
MOV.L    #MMSELR_DATA, R1 ; MMSELR_DATA = 本レジスタへの書き込み値 (上位ワード= H'A5A5)
```

```
SYNCO
```

```
MOV.L    R1, @R0          ; 本レジスタへの書き込み
```

```
MOV.L    @R0, R2
```

```
MOV.L    @R0, R2
```

```
SYNCO
```

.....

本レジスタに書き込みを行う命令は、キャッシング不可の P2 領域で、かつ本レジスタ書き換えによる影響のない領域に配置してください。

また、本レジスタへの書き込みは、命令キャッシュ、オペランドキャッシュ、および MMU によるアドレス変換を有効にする前に行い、それ以降はパワーオンリセット、またはマニュアルリセットを行うまで書き換えしないでください。

11.4.2 バスコントロールレジスタ (BCR)

バスコントロールレジスタ (BCR) は、各エリアの機能、バスサイクルの状態等を指定します。読み出し / 書き込み可能な 32 ビットのレジスタです。

BCR レジスタは、パワーオンリセットで、ビッグエンディアン時には H'0000 0000、リトルエンディアン時には H'8000 0000 に初期化されますが、マニュアルリセット時には初期化されません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ENDIAN	MASTER	CS0SIZE	—	—	DPUP	—	OPUP	DACKBST[3:0]			—	—	BREQEN	DMA BST	
初期値 :	x*	0	x*	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	HIZ CNT	—	—	—	—	—	—	ASYNC[6:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- 【注】 * ビット 31 (ENDIAN ビット) の初期値は外部端子 (MODE8) の設定によります。
 ビット 29 (CS0SIZE ビット) の初期値は外部端子 (MODE7) の設定によります。
 ビット 30 (MASTER ビット) は、0 固定です。

ビット	ビット名	初期値	R/W	説明
31	ENDIAN	x	R	エンディアンフラグ PRESET 端子によるパワーオンリセット時に、エンディアン指定の外部端子 (MODE8) の値をサンプリングします。LBSC 空間のエンディアンはこのビットで決定されます。 0: パワーオンリセット時に、エンディアン設定外部端子 (MODE8) がローレベルであり、本 LSI がビッグエンディアンとして設定されたことを示します。 1: パワーオンリセット時に、エンディアン設定外部端子 (MODE8) がハイレベルであり、本 LSI がリトルエンディアンとして設定されたことを示します。
30	MASTER	0	R	マスタ / スレーブフラグ 本製品では、マスタ固定です。
29	CS0SIZE	x	R	エリア 0 領域拡張フラグ PRESET 端子によるパワーオンリセット時に、エリア 0 領域拡張モード指定の外部端子 (MODE7) の値をサンプリングします。LBSC 空間の CS0 空間サイズはこのビットで決定されます。 0: パワーオンリセット時に、エンディアン設定外部端子 (MODE7) がローレベルであり、CS0 空間サイズが 128MB として設定されたことを示します。(CS1 は A26 として使用) 1: パワーオンリセット時に、エンディアン設定外部端子 (MODE7) がハイレベルであり、CS0 空間サイズが 64MB として設定されたことを示します。

ビット	ビット名	初期値	R/W	説明
28、27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26	DPUP	0	R/W	データ端子プルアップ抵抗制御 データ端子 (D31~D0) のプルアップ抵抗の状態を指定します。このビットは、パワーオンリセット時に初期化されます。オンの設定でもアクセス時およびバス権解放時はプルアップされません。 0: データ端子 (D31~D0) のプルアップ抵抗は、メモリアクセス前後にオンになるサイクルがあります。 1: データ端子 (D31~D0) のプルアップ抵抗は、オフ。 【注】 * データ端子のプルアップが必要な場合、プルアップ抵抗を外付けすることを推奨します。
25	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	OPUP	0	R/W	コントロール出力端子プルアップ抵抗制御 コントロール出力端子 (A [25:0]、 \overline{BS} 、 \overline{CSn} 、 \overline{RD} 、 \overline{WEn} 、 $\overline{R/W}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$) のハイインピーダンス時のプルアップ抵抗の状態を指定します。このビットは、パワーオンリセット時に初期化されます。 0: コントロール出力端子 (A [25:0]、 \overline{BS} 、 \overline{CSn} 、 \overline{RD} 、 \overline{WEn} 、 $\overline{R/W}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$) のプルアップ抵抗は、オン。 1: コントロール出力端子 (A [25:0]、 \overline{BS} 、 \overline{CSn} 、 \overline{RD} 、 \overline{WEn} 、 $\overline{R/W}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$) のプルアップ抵抗は、オフ。
23~20	DACKBST [3:0]	0000	R/W	DACKBST3~0 0: \overline{DACKn} 端子をバスサイクルに同期してアサートします (n=0~3)。 1: DMA 転送がバーストモードのとき、転送開始から終了まで、対応する \overline{DACKn} 端子をアサートし続けます。 対応する DMA 転送チャネルの DACK 出力エリアのメモリ種が PCMCIA インタフェースに設定時のみ 1 にセット可能です。それ以外の場合は 0 にクリアしてください。 各ビットに対応する端子は以下のとおりです。 DACKBST [3]: $\overline{DACK3}$ DACKBST [2]: $\overline{DACK2}$ DACKBST [1]: $\overline{DACK1}$ DACKBST [0]: $\overline{DACK0}$
19、18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
17	BREQEN	0	R/W	<p>$\overline{\text{BREQ}}$ イネーブル</p> <p>外部リクエストを受け付け可能とするかを設定します。パワーオンリセット時には、外部リクエストを受け付けない状態に初期化されます。また、スレープモードで LSI を起動した場合、BREQEN の値にかかわらず、外部リクエストを受け付けます。</p> <p>0 : 外部リクエストを受け付けません。 1 : 外部リクエストを受け付けます。</p>
16	DMABST	0	R/W	<p>DMAC0 バーストモード転送優先指定</p> <p>DMAC0 チャンネル 0~5 によるバーストモード転送の優先度を指定します。オフの設定の場合、優先度はバス権解放、SuperHyway バスマスタとなり、オンの設定の場合、DMAC0 のバースト転送が終了するまでバス権の解放は実行されなくなります。このビットは、パワーオンリセット時に初期化されます。</p> <p>0 : DMAC0 バーストモード転送優先指定オフ 1 : DMAC0 バーストモード転送優先指定オン</p>
15	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
14	HIZCNT	0	R/W	<p>ハイインピーダンス (High-Z) コントロール</p> <p>$\overline{\text{WEN}}$、$\overline{\text{RD/FRAME}}$ 信号のバス権解放時の状態を指定します。</p> <p>0 : $\overline{\text{WEN}}$、$\overline{\text{RD/FRAME}}$ 信号はバス権解放時、ハイインピーダンス。 1 : $\overline{\text{WEN}}$、$\overline{\text{RD/FRAME}}$ 信号をバス権解放時ドライブ。</p>
13~7	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
6~0	ASYNC[6:0]	000000	R/W	<p>非同期入力</p> <p>対応する端子の非同期入力を可能にします。</p> <p>0 : 対応する端子は CLKOUT に対する同期入力。 1 : 対応する端子は CLKOUT に対して非同期入力。</p> <p>ASYNC [6] : $\overline{\text{DREQ3}}$ ASYNC [5] : $\overline{\text{DREQ2}}$ ASYNC [4] : $\overline{\text{DREQ1}}$ ASYNC [3] : $\overline{\text{DREQ0}}$ ASYNC [2] : $\overline{\text{IOIS16}}$ ASYNC [1] : $\overline{\text{BREQ}}$ ASYNC [0] : $\overline{\text{RDY}}$</p>

非同期入力設定 (ASYNC_n=1) にした場合、サンプリングタイミングは、同期入力設定 (ASYNC_n=0) *時の 1 サイクル前になります (図 11.4 参照)。

本章に示されているタイミングはすべて同期入力設定時 (ASYNC_n=0) のものとなっています。

【注】 * 同期入力の設定では、必ずセットアップホールド時間を満たしてください。

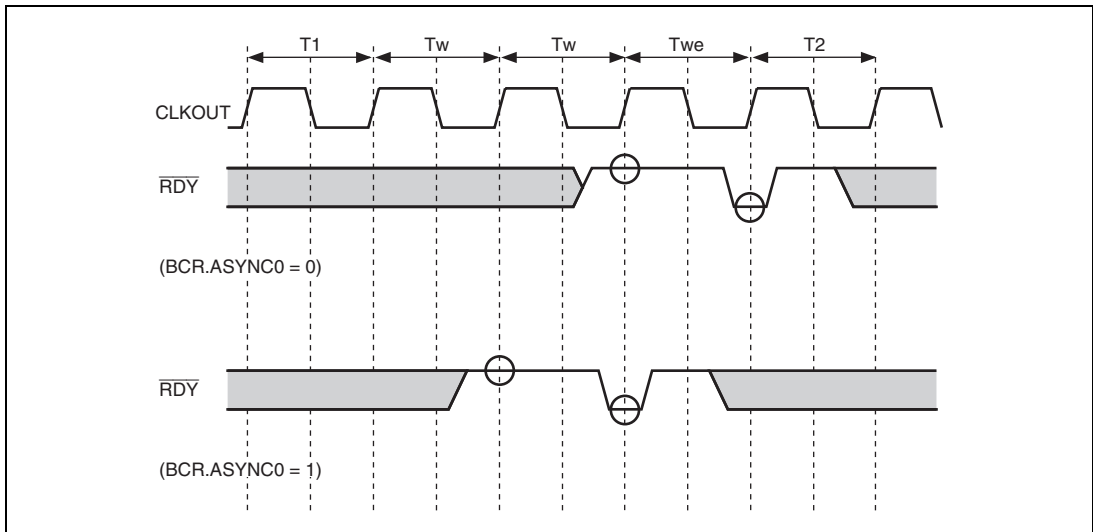


図 11.4 BCR.ASYNCn の設定による RDY サンプルングタイミング例
(CSnWCR により 2 サイクルウェイトが挿入されています。)

11.4.3 CSn バスコントロールレジスタ (CSnBCR)

CSn バスコントロールレジスタ (CSnBCR) は、エリア n (n=0~6) のバス幅、サイクル間アイドル、バーストROM の設定、メモリタイプを指定します。読み出し / 書き込み可能な 32 ビットのレジスタです。

メモリによっては、外部からの読み出し信号がオフになってもデータバスのドライブがすぐにはオフにならないものもあります。このため、連続したメモリアクセスが異なるエリアのメモリに対して行われる場合や、メモリ読み出し直後に書き込みが行われる場合、データバスが衝突する可能性があります。本 LSI では、このようなデータバスが衝突する可能性がある場合に、CSnBCR レジスタで設定したサイクル数だけ自動的にアイドルサイクルを挿入します。サイクル間アイドル中は \overline{CSn} 、 \overline{RD} 、 $\overline{WE_n}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 、 \overline{BS} 、 $\overline{R/\overline{W}}$ はハイレベル状態、データは非ドライブ状態になります。

CSnBCR レジスタは、パワーオンリセットで H'7777 77F0 に初期化されますが、マニュアルリセット時には初期化されません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	IWW			—	IWRWD			—	IWRWS			—	IWRRD		
初期値 :	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	IWRRS			BST		SZ*		RDSP	BW		MPX*		TYPE		
初期値 :	0	1	1	1	0	1	1	1	1	1	1	1	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W*	R/W*	R/W	R/W	R/W	R/W	R/W*	R/W	R/W	R/W

【注】 * CS0BCR の SZ、MPX はリードのみ可能です。

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30 - 28	IWW	111	R/W	ライト-リード/ライト-ライトサイクル間アイドル 空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト-リードサイクルとライト-ライトサイクルの場合です。詳細については、「11.5.8 アクセスサイクル間ウェイト」の項を参照してください。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入
27	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 - 24	IWRWD	111	R/W	別空間リード-ライトサイクル間アイドル 空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード-ライトサイクルの場合です。詳細については、「11.5.8 アクセスサイクル間ウェイト」の項を参照してください。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入
23	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
22~20	IWRWS	111	R/W	<p>同一空間リード-ライトサイクル間アイドル</p> <p>空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード-ライトサイクルの場合です。詳細については、「11.5.8 アクセスサイクル間ウェイト」の項を参照してください。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入</p>
19	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
18~16	IWRRD	111	R/W	<p>別空間リード-リードサイクル間アイドル</p> <p>空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード-リードサイクルの場合です。詳細については、「11.5.8 アクセスサイクル間ウェイト」の項を参照してください。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入</p>
15	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
14 ~ 12	IWRRS	111	R/W	<p>同一空間リード-リードサイクル間アイドル</p> <p>空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード-リードサイクルの場合です。詳細については、「11.5.8 アクセスサイクル間ウェイト」の項を参照してください。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 3 アイドルサイクル挿入 100 : 4 アイドルサイクル挿入 101 : 5 アイドルサイクル挿入 110 : 6 アイドルサイクル挿入 111 : 7 アイドルサイクル挿入</p>
11、10	BST	01	R/W	<p>バースト回数</p> <p>バースト ROM インタフェースを使用する場合の、バースト回数を指定します。MPX インタフェースには影響しません。</p> <p>00 : 4 連続アクセス (バス幅 8、16、32 ビット時、いずれでも使用可。) 01 : 8 連続アクセス (バス幅 8、16、32 ビット時のみ使用可。) 10 : 16 連続アクセス (バス幅 8、16 ビット時のみ使用可。) 11 : 32 連続アクセス (バス幅 8 ビット時のみ使用可。)</p>
9、8	SZ	11	R/W*	<p>バス幅</p> <p>CS0BCR ではパワーオンリセット時に、バスサイズを指定する外部端子 (MODE4、MODE5、MODE6) をサンプリングします。MPX インタフェース使用時は 32 ビットに設定してください。バイト制御 SRAM インタフェース使用時は 16 ビット、32 ビットに設定してください。</p> <p>00 : 32 ビット 01 : 8 ビット 10 : 16 ビット 11 : 32 ビット</p> <p>【注】* CS0BCR の SZ ビットはリードのみ可能です。</p> <p>また、MODE4、MODE5、MODE6 端子でエリア 0 を MPX インタフェースに設定した場合、CS0BCR の SZ ビットは 00 か 11 に設定してください。</p>

ビット	ビット名	初期値	R/W	説明
7	RDSPL	1	R/W	<p>\overline{RD} ホールドサイクル</p> <p>\overline{RD} のリードデータサンプルタイミングに対するホールド時間に挿入されるサイクル数を指定します。このビットを 1 に設定するときは、CSnWCR の RDH ビットで設定する \overline{RD} ネゲート - \overline{CSn} ネゲート遅延サイクルを 1 以上に設定してください。またこのビットを 1 に設定することにより、\overline{RD} ネゲート - \overline{CSn} ネゲート遅延サイクルは 1 サイクル減ります。[SRAM インタフェース/バースト ROM インタフェース/バイト制御 SRAM インタフェース設定時のみ有効]</p> <p>0 : なし 1 : 1 サイクル挿入</p>
6-4	BW	111	R/W	<p>バーストピッチ</p> <p>バースト ROM インタフェースを使用時のバースト転送における、第 2 データアクセス以降に挿入される挿入ウェイト数を指定します。</p> <p>000 : 挿入ウェイトステートなし、\overline{RDY} 端子無視 001 : 1 ウェイトステート挿入、\overline{RDY} 端子イネーブル 010 : 2 ウェイトステート挿入、\overline{RDY} 端子イネーブル 011 : 3 ウェイトステート挿入、\overline{RDY} 端子イネーブル 100 : 4 ウェイトステート挿入、\overline{RDY} 端子イネーブル 101 : 5 ウェイトステート挿入、\overline{RDY} 端子イネーブル 110 : 6 ウェイトステート挿入、\overline{RDY} 端子イネーブル 111 : 7 ウェイトステート挿入、\overline{RDY} 端子イネーブル</p>
3	MPX	0	R/W*	<p>MPX インタフェース指定</p> <p>MPX インタフェースタイプを指定します。</p> <p>0 : TYPE2 ~ TYPE0 ビットで指定するメモリタイプが選択されます 1 : MPX インタフェースが指定されます</p> <p>【注】* CS0BCR の MPX はリードのみ可能です。</p>
2-0	TYPE	000	R/W	<p>メモリタイプ指定</p> <p>空間に接続するメモリのタイプを指定します。</p> <p>000 : SRAM (初期値) 001 : バイト制御 SRAM *¹ 010 : バースト ROM (リード時バースト、ライト時 SRAM) 011 : リザーブ (設定禁止) 100 : PCMCIA *² 101 : リザーブ (設定禁止) 110 : リザーブ (設定禁止) 111 : リザーブ (設定禁止)</p> <p>【注】 *¹ CS1BCR、CS4BCR のみ設定可能。 *² CS5BCR、CS6BCR のみ設定可能。</p>

11.4.4 CSn ウェイトコントロールレジスタ (CSnWCR)

CSn ウェイトコントロールレジスタ (CSnWCR) は、読み出し / 書き込み可能な 32 ビットのレジスタで、エリア n (n=0~6) の挿入ウェイトステート数、バーストメモリアクセスを行う場合の第 1 データの挿入ウェイトステート数、アクセスするアドレスの出力を開始してから読み出し / 書き込みストロープのアサートまでのセットアップ時間、書き込みストロープのネゲートからのデータホールド時間の挿入サイクルを指定します。

CSnWCR レジスタは、パワーオンリセットで H'7777 770F に初期化されますが、マニュアルリセット時には初期化されません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	ADS			—	ADH			—	RDS			—	RDH		
初期値 :	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	WTS			—	WTH			—	BSH			IW[3:0]			
初期値 :	0	1	1	1	0	1	1	1	0	0	0	0	1	1	1	1
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30-28	ADS	111	R/W	アドレスセットアップサイクル アドレスの \overline{CSn} アサートに対するセットアップ時間に挿入されるサイクル数を指定します。[SRAM インタフェース / バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効] 000 : サイクル挿入なし 001 : 1 サイクル挿入 010 : 2 サイクル挿入 011 : 3 サイクル挿入 100 : 4 サイクル挿入 101 : 5 サイクル挿入 110 : 6 サイクル挿入 111 : 7 サイクル挿入
27	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
26～24	ADH	111	R/W	<p>アドレスホールドサイクル</p> <p>アドレスの \overline{CSn} ネゲートに対するホールド時間に挿入されるサイクル数を指定します。[SRAM インタフェース / バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効]</p> <p>000 : サイクル挿入なし 001 : 1 サイクル挿入 010 : 2 サイクル挿入 011 : 3 サイクル挿入 100 : 4 サイクル挿入 101 : 5 サイクル挿入 110 : 6 サイクル挿入 111 : 7 サイクル挿入</p>
23	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
22～20	RDS	111	R/W	<p>\overline{CSn} アサート - \overline{RD} アサート遅延サイクル</p> <p>\overline{CSn} アサートから \overline{RD} アサートに挿入されるサイクル数を指定します。[SRAM インタフェース / バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効]</p> <p>000 : サイクル挿入なし (1 サイクル遅延) 001 : 1 サイクル挿入 (2 サイクル遅延) 010 : 2 サイクル挿入 (3 サイクル遅延) 011 : 3 サイクル挿入 (4 サイクル遅延) 100 : 4 サイクル挿入 (5 サイクル遅延) 101 : 5 サイクル挿入 (6 サイクル遅延) 110 : 6 サイクル挿入 (7 サイクル遅延) 111 : 7 サイクル挿入 (8 サイクル遅延)</p>
19	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
18～16	RDH	111	R/W	<p>\overline{RD}ネゲート - \overline{CSn}ネゲート遅延サイクル</p> <p>\overline{RD}ネゲートから \overline{CSn}ネゲートに挿入されるサイクル数を指定します。[SRAM インタフェース / バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効]</p> <p>000 : サイクル挿入なし (0 サイクル遅延) 001 : 1 サイクル挿入 (1 サイクル遅延) 010 : 2 サイクル挿入 (2 サイクル遅延) 011 : 3 サイクル挿入 (3 サイクル遅延) 100 : 4 サイクル挿入 (4 サイクル遅延) 101 : 5 サイクル挿入 (5 サイクル遅延) 110 : 6 サイクル挿入 (6 サイクル遅延) 111 : 7 サイクル挿入 (7 サイクル遅延)</p>

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	WTS	111	R/W	\overline{CSn} アサート - \overline{WEn} アサート遅延サイクル \overline{CSn} アサートから \overline{WEn} アサートに挿入されるサイクル数を指定します。 [SRAM インタフェース/バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効] 000 : サイクル挿入なし (0.5 サイクル遅延) 001 : 1 サイクル挿入 (1.5 サイクル遅延) 010 : 2 サイクル挿入 (2.5 サイクル遅延) 011 : 3 サイクル挿入 (3.5 サイクル遅延) 100 : 4 サイクル挿入 (4.5 サイクル遅延) 101 : 5 サイクル挿入 (5.5 サイクル遅延) 110 : 6 サイクル挿入 (6.5 サイクル遅延) 111 : 7 サイクル挿入 (7.5 サイクル遅延)
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	WTH	111	R/W	\overline{WEn} ネゲート - \overline{CSn} ネゲート遅延サイクル \overline{WEn} ネゲートから \overline{CSn} ネゲートに挿入されるサイクル数を指定します。 [SRAM インタフェース/バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効] 000 : サイクル挿入なし (0.5 サイクル遅延) 001 : 1 サイクル挿入 (1.5 サイクル遅延) 010 : 2 サイクル挿入 (2.5 サイクル遅延) 011 : 3 サイクル挿入 (3.5 サイクル遅延) 100 : 4 サイクル挿入 (4.5 サイクル遅延) 101 : 5 サイクル挿入 (5.5 サイクル遅延) 110 : 6 サイクル挿入 (6.5 サイクル遅延) 111 : 7 サイクル挿入 (7.5 サイクル遅延)
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説 明
6-4	B \overline{S} H	000	R/W	<p>$\overline{B\overline{S}}$ ホールドサイクル</p> <p>$\overline{B\overline{S}}$ のアサート時間を延長するために挿入されるサイクル数を指定します。延長は、リード時 CSnWCR の RDS、ライト時 CSnWCR の WTS が 000 以外に設定されているとき有効です。また、このビットの設定により、アクセスの総サイクル数は変わりません。</p> <p>000 : $\overline{B\overline{S}}$ アサートは 1 サイクル</p> <p>001 : $\overline{B\overline{S}}$ アサートは 2 サイクル</p> <p>010 : 設定禁止</p> <p>011 : 設定禁止</p> <p>100 : 設定禁止</p> <p>101 : 設定禁止</p> <p>110 : 設定禁止</p> <p>111 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説明
3-0	IW [3:0]	1111	R/W	<p>挿入ウェイトサイクル</p> <p>挿入ウェイトサイクル数を指定します。SRAM インタフェース / バイト制御 SRAM インタフェース / バースト ROM インタフェース (第 1 データのみ) および PCMCIA インタフェースのときは以下の挿入ウェイトサイクルになります。\overline{RDY} 端子による外部ウェイト挿入はサイクル挿入なしのときにはできません。</p> <p>0000 : サイクル挿入なし 0001 : 1 サイクル挿入 0010 : 2 サイクル挿入 0011 : 3 サイクル挿入 0100 : 4 サイクル挿入 0101 : 5 サイクル挿入 0110 : 6 サイクル挿入 0111 : 7 サイクル挿入 1000 : 8 サイクル挿入 1001 : 9 サイクル挿入 1010 : 11 サイクル挿入 1011 : 13 サイクル挿入 1100 : 15 サイクル挿入 1101 : 17 サイクル挿入 1110 : 21 サイクル挿入 1111 : 25 サイクル挿入</p> <p>MPX インタフェース設定時には IW [2:0] の設定により、以下の挿入ウェイトサイクルになります。このとき、IW [3] の設定は無効になります。また、どの設定においても \overline{RDY} 端子による外部ウェイト挿入が可能です。</p> <p>IW [2] による第 2 データ以降の挿入ウェイトサイクル</p> <p>0 : 0 サイクル挿入 1 : 1 サイクル挿入</p> <p>IW [1:0] による第 1 データの挿入ウェイトサイクル</p> <p>00 : リード時 1 サイクル、ライト時 0 サイクル挿入 01 : リード時 1 サイクル、ライト時 1 サイクル挿入 10 : リード時 2 サイクル、ライト時 2 サイクル挿入 11 : リード時 3 サイクル、ライト時 3 サイクル挿入</p>

11.4.5 CSnPCMCIA コントロールレジスタ (CSnPCR)

CSn PCMCIA コントロールレジスタ (CSnPCR、n=5、6) は、読み出し / 書き込み可能な 32 ビットのレジスタで、CS5PCR はエリア 5、CS6PCR はエリア 6 に接続する PCMCIA インタフェースに対するタイミングコントロール、空間属性、 \overline{OE} 、 \overline{WE} 信号のアサート / ネゲートタイミングを指定します。また、CSnPCR はエリア 5、6 の前半と後半で別々に設定できます。エリア 5 の前半はローカルバスアドレスで H'1400 0000 ~ H'15FF FFFF、エリア 5 の後半は、H'1600 0000 ~ H'17FF FFFF、エリア 6 の前半は H'1800 0000 ~ H'19FF FFFF、エリア 6 の後半は、H'1A00 0000 ~ H'1BFF FFFF を示します。なお、エリア 5、6 の前半の \overline{OE} 、 \overline{WE} 信号のアサート幅は、CSnWCR の IW ビットで設定します。

CSnPCR レジスタは、パワーオンリセットで H'7700 0000 に初期化されますが、マニュアルリセット時には初期化されません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	SAA			—	SAB			PCWA	PCWB	PCIW					
初期値 :	0	1	1	1	0	1	1	1	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TEDA			—	TEDB			—	TEHA	—	TEHB				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30 ~ 28	SAA	111	R/W	空間属性 A エリアの前半に接続する PCMCIA の空間属性を設定します。 000 : ATA 補完モード 001 : ダイナミック I/O バスサイジング 010 : 8 ビット I/O 空間 011 : 16 ビット I/O 空間 100 : 8 ビット共有メモリ 101 : 16 ビット共有メモリ 110 : 8 ビットアトリビュートメモリ 111 : 16 ビットアトリビュートメモリ
27	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
26~24	SAB	111	R/W	<p>空間属性 B</p> <p>エリアの後半に接続する PCMCIA の空間属性を設定します。</p> <p>000 : ATA 補完モード 001 : ダイナミック I/O バスサイジング 010 : 8 ビット I/O 空間 011 : 16 ビット I/O 空間 100 : 8 ビット共有メモリ 101 : 16 ビット共有メモリ 110 : 8 ビットアトリビュートメモリ 111 : 16 ビットアトリビュートメモリ</p>
23, 22	PCWA	00	R/W	<p>PCMCIA ウェイト A</p> <p>低速な PCMCIA 用ウェイトサイクルで、CSnWCR の IW ビットで指定したウェイト数に加算されます。</p> <p>PCMCIA インタフェースへのアクセスがエリアの前半のとき、このビットの設定が選択されます。</p> <p>00 : ウェイトサイクル挿入なし 01 : 15 ウェイトサイクル挿入 10 : 30 ウェイトサイクル挿入 11 : 50 ウェイトサイクル挿入</p>
21, 20	PCWB	00	R/W	<p>PCMCIA ウェイト B</p> <p>低速な PCMCIA 用ウェイトサイクルで、PCIW ビットで指定したウェイト数に加算されます。</p> <p>PCMCIA インタフェースへのアクセスがエリアの後半のとき、このビットの設定が選択されます。</p> <p>00 : ウェイトサイクル挿入なし 01 : 15 ウェイトサイクル挿入 10 : 30 ウェイトサイクル挿入 11 : 50 ウェイトサイクル挿入</p>

ビット	ビット名	初期値	R/W	説明
19~16	PCIW	0000	R/W	<p>PCMCIA 挿入ウェイトサイクル B</p> <p>挿入ウェイトサイクル数を指定します。PCMCIA インタフェースへのアクセスがエリアの後半のとき、このビットの設定が選択されます。エリアの前半のときは CSnWCR の IW ビットの設定が適用されます。</p> <p>0000 : サイクル挿入なし 0001 : 1 サイクル挿入 0010 : 2 サイクル挿入 0011 : 3 サイクル挿入 0100 : 4 サイクル挿入 0101 : 5 サイクル挿入 0110 : 6 サイクル挿入 0111 : 7 サイクル挿入 1000 : 8 サイクル挿入 1001 : 9 サイクル挿入 1010 : 11 サイクル挿入 1011 : 13 サイクル挿入 1100 : 15 サイクル挿入 1101 : 17 サイクル挿入 1110 : 21 サイクル挿入 1111 : 25 サイクル挿入</p>
15	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
14~12	TEDA	000	R/W	<p>OE/WE アサート遅延 A</p> <p>接続された PCMCIA インタフェースにおけるアクセスがエリアの前半のとき、アドレス出力から、OE/WE アサートまでの遅延時間を設定します。</p> <p>000 : ウェイトサイクル挿入なし 001 : 1 ウェイトサイクル挿入 010 : 2 ウェイトサイクル挿入 011 : 3 ウェイトサイクル挿入 100 : 6 ウェイトサイクル挿入 101 : 9 ウェイトサイクル挿入 110 : 12 ウェイトサイクル挿入 111 : 15 ウェイトサイクル挿入</p>
11	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10~8	TEDB	000	R/W	<p>$\overline{OE}/\overline{WE}$ アサート遅延 B</p> <p>接続された PCMCIA インタフェースにおけるアクセスがエリアの後半のとき、アドレス出力から、$\overline{OE}/\overline{WE}$ アサートまでの遅延時間を設定します。</p> <p>000 : ウェイトサイクル挿入なし 001 : 1 ウェイトサイクル挿入 010 : 2 ウェイトサイクル挿入 011 : 3 ウェイトサイクル挿入 100 : 6 ウェイトサイクル挿入 101 : 9 ウェイトサイクル挿入 110 : 12 ウェイトサイクル挿入 111 : 15 ウェイトサイクル挿入</p>
7	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
6~4	TEHA	000	R/W	<p>$\overline{OE}/\overline{WE}$ ネグート アドレス遅延 A</p> <p>接続された PCMCIA インタフェースにおけるアクセスがエリアの前半のとき、$\overline{OE}/\overline{WE}$ ネグートからのアドレスホールド遅延時間を設定します。</p> <p>000 : ウェイトサイクル挿入なし 001 : 1 ウェイトサイクル挿入 010 : 2 ウェイトサイクル挿入 011 : 3 ウェイトサイクル挿入 100 : 6 ウェイトサイクル挿入 101 : 9 ウェイトサイクル挿入 110 : 12 ウェイトサイクル挿入 111 : 15 ウェイトサイクル挿入</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2~0	TEHB	000	R/W	<p>$\overline{OE}/\overline{WE}$ ネグート アドレス遅延 B</p> <p>接続された PCMCIA インタフェースにおけるアクセスがエリアの後半のとき、$\overline{OE}/\overline{WE}$ ネグートからのアドレスホールド遅延時間を設定します。</p> <p>000 : サイクル挿入なし 001 : 1 サイクル挿入 010 : 2 サイクル挿入 011 : 3 サイクル挿入 100 : 6 サイクル挿入 101 : 9 サイクル挿入 110 : 12 サイクル挿入 111 : 15 サイクル挿入</p>

11.5 動作説明

11.5.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSByte) が 0 番地側になるビッグエンディアン、下位バイト (LSByte) が 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部端子 (MODE8 端子) で $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時に設定します。 $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時、MODE8 端子がローレベルのときビッグエンディアンになり、MODE8 端子がハイレベルのときリトルエンディアンになります。

また、データバス幅は、通常メモリとしては 8 ビット、16 ビット、32 ビット幅の 3 種類から選べます。また、PCMCIA インタフェースの場合は 8 ビット、16 ビット幅の 2 種類から選べます。データのアライメントは、各デバイスのデータバス幅およびエンディアンに合わせて行われます。したがって、データバス幅がアクセスサイズより小さい場合、アクセスサイズになるまで複数回のバスサイクルを自動的に発生させます。この場合、バス幅分のアドレスを自動的にインクリメントしてアクセスを行います。たとえば SRAM インタフェースで 8 ビットバス幅のエリアにロングワードアクセスを行う場合、自動的にアドレスを 1 ずつインクリメントして、4 回アクセスを行います。また、32 バイト転送時は、設定したバス幅に従い合計 32 バイトのデータを連続して転送します。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドで行われます。これらの転送の間、バス権の開放は行いません。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

8、16 バイト転送時は、それぞれ 4 バイト 2 回、4 バイト 4 回としてアクセスを行います。

エンディアンとデバイスのデータ幅とアクセスの単位との関係を表 11.7 ~ 表 11.12 に示します。

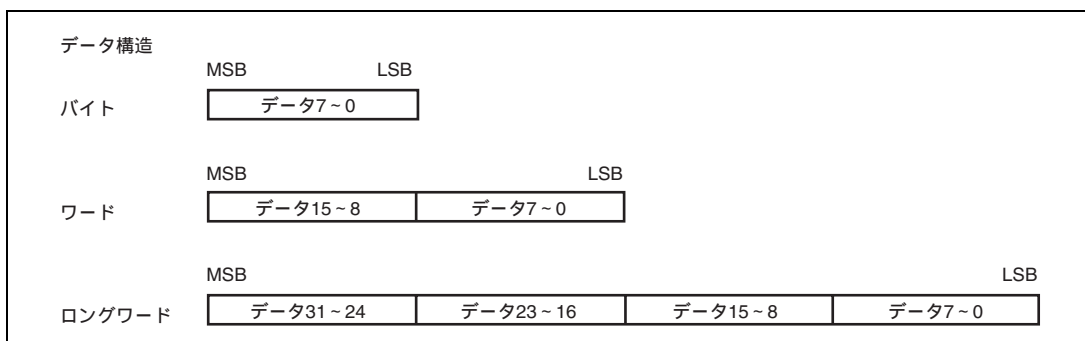


表 11.7 32 ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3	WE2	WE1	WE0
バイト	4n	1	データ 7~0	-	-	-	アサート			
	4n+1	1	-	データ 7~0	-	-		アサート		
	4n+2	1	-	-	データ 7~0	-			アサート	
	4n+3	1	-	-	-	データ 7~0				アサート
ワード	4n	1	データ 15~8	データ 7~0	-	-	アサート	アサート		
	4n+2	1	-	-	データ 15~8	データ 7~0			アサート	アサート
ロング ワード	4n	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート
32 バイト *	8n	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート
	8n+4	2	データ 63~56	データ 55~48	データ 47~40	データ 39~32	アサート	アサート	アサート	アサート
	8n+8	3	データ 95~88	データ 87~80	データ 79~72	データ 71~64	アサート	アサート	アサート	アサート

8n+28	8	データ 255~248	データ 247~240	データ 239~232	データ 231~224	アサート	アサート	アサート	アサート	

【注】 * アクセス開始アドレスが 32 バイト境界の例です。開始アドレスが 32 バイト境界でないときは、32 バイト境界直前までアクセスした後、アドレスはラップアラウンドします。

表 11.8 16 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロブ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3	WE2	WE1	WE0
バイト	2n	1	-	-	データ 7~0	-			アサート	
	2n+1	1	-	-	-	データ 7~0				アサート
ワード	2n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
ロング ワード	4n	1	-	-	データ 31~24	データ 23~16			アサート	アサート
	4n+2	2	-	-	データ 15~8	データ 7~0			アサート	アサート
32 バイト *	8n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
	8n+2	2	-	-	データ 31~24	データ 23~16			アサート	アサート
	8n+4	3	-	-	データ 47~40	データ 39~32			アサート	アサート

	8n+30	16	-	-	データ 255~248	データ 247~240			アサート	アサート

【注】 * アクセス開始アドレスが 32 バイト境界の例です。開始アドレスが 32 バイト境界でないときは、32 バイト境界直前までアクセスした後、アドレスはラップアラウンドします。

表 11.9 8 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE ₃	WE ₂	WE ₁	WE ₀
バイト	n	1	-	-	-	データ 7~0				アサート
ワード	2n	1	-	-	-	データ 15~8				アサート
	2n+1	2	-	-	-	データ 7~0				アサート
ロング ワード	4n	1	-	-	-	データ 31~24				アサート
	4n+1	2	-	-	-	データ 23~16				アサート
	4n+2	3	-	-	-	データ 15~8				アサート
	4n+3	4	-	-	-	データ 7~0				アサート
32 バイト *	8n	1	-	-	-	データ 7~0				アサート
	8n+1	2	-	-	-	データ 15~8				アサート
	8n+2	3	-	-	-	データ 23~16				アサート
	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
	8n+31	32	-	-	-	データ 255~248				アサート

【注】 * アクセス開始アドレスが 32 バイト境界の例です。開始アドレスが 32 バイト境界でないときは、32 バイト境界直前までアクセスした後、アドレスはラップアラウンドします。

表 11.10 32 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3	WE2	WE1	WE0
バイト	4n	1	-	-	-	データ 7~0				アサート
	4n+1	1	-	-	データ 7~0	-			アサート	
	4n+2	1	-	データ 7~0	-	-		アサート		
	4n+3	1	データ 7~0	-	-	-	アサート			
ワード	4n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
	4n+2	1	データ 15~8	データ 7~0	-	-	アサート	アサート		
ロング ワード	4n	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート
32 バイト *	8n	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート
	8n+4	2	データ 63~56	データ 55~48	データ 47~40	データ 39~32	アサート	アサート	アサート	アサート
	8n+8	3	データ 95~88	データ 87~80	データ 79~72	データ 71~64	アサート	アサート	アサート	アサート

8n+28	8	データ 255~248	データ 247~240	データ 239~232	データ 231~224	アサート	アサート	アサート	アサート	

【注】 * アクセス開始アドレスが 32 バイト境界の例です。開始アドレスが 32 バイト境界でないときは、32 バイト境界直前までアクセスした後、アドレスはラップアラウンドします。

表 11.11 16 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE $\bar{3}$	WE $\bar{2}$	WE $\bar{1}$	WE $\bar{0}$
バイト	2n	1	-	-	-	データ 7~0				アサート
	2n+1	1	-	-	データ 7~0	-			アサート	
ワード	2n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
ロング ワード	4n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
	4n+2	2	-	-	データ 31~24	データ 23~16			アサート	アサート
32 バイト *	8n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
	8n+2	2	-	-	データ 31~24	データ 23~16			アサート	アサート
	8n+4	3	-	-	データ 47~40	データ 39~32			アサート	アサート

8n+30	16	-	-	データ 255~248	データ 247~240			アサート	アサート	

【注】 * アクセス開始アドレスが 32 バイト境界の例です。開始アドレスが 32 バイト境界でないときは、32 バイト境界直前までアクセスした後、アドレスはラップアラウンドします。

表 11.12 8 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3	WE2	WE1	WE0
バイト	n	1	-	-	-	データ 7~0				アサート
ワード	2n	1	-	-	-	データ 7~0				アサート
	2n+1	2	-	-	-	データ 15~8				アサート
ロング ワード	4n	1	-	-	-	データ 7~0				アサート
	4n+1	2	-	-	-	データ 15~8				アサート
	4n+2	3	-	-	-	データ 23~16				アサート
	4n+3	4	-	-	-	データ 31~24				アサート
32 バイト *	8n	1	-	-	-	データ 7~0				アサート
	8n+1	2	-	-	-	データ 15~8				アサート
	8n+2	3	-	-	-	データ 23~16				アサート
	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
	8n+31	32	-	-	-	データ 255~248				アサート

【注】 * アクセス開始アドレスが 32 バイト境界の例です。開始アドレスが 32 バイト境界でないときは、32 バイト境界直前までアクセスした後、アドレスはラップアラウンドします。

11.5.2 エリアの説明

(1) エリア 0

エリア 0 は、ローカルバスアドレスの 28 ~ 26 ビットが 000 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バースト ROM です。

バス幅は、外部端子の MODE6、MODE5、MODE4 によりパワーオンリセット時に、8 ビット、16 ビット、32 ビットから選べます。詳細は「11.3.2 メモリバス幅」を参照してください。

エリア 0 空間サイズは、外部端子の MODE7 によりパワーオンリセット時に、128MB、64MB から選べます。詳細は「11.4.2 バスコントロールレジスタ (BCR)」を参照してください。

エリア 0 空間サイズ 128MB 時は、 $\overline{CS1}$ 端子は A26 として使用します。

エリア 0 をアクセスすると $\overline{CS0}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。

バスサイクル数は、CS0WCR レジスタにより挿入ウェイトサイクル数を 0 ~ 25 から選択することができます。

バースト ROM インタフェースを使用する場合、CS0BCR の BW ビットによりバーストピッチを 0 ~ 7 から選ぶことができます。

また、外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が 0 のときは、 \overline{RDY} 信号は無視されます)。

バースト ROM インタフェースを使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2 ~ 9 の範囲で決まります。

アドレス信号のセットアップ/ホールドサイクル、 $\overline{CS0}$ アサートに対するリード/ライトストロープ信号のアサート遅延サイクル、リード/ライトストロープ信号のネゲートに対する $\overline{CS0}$ ネゲート遅延サイクルは、CS0WCR レジスタより、0 ~ 7 サイクルに設定することができます。また、リード時 CS0WCR の RDS 設定値が 000 以外、およびライト時 CS0WCR の WTS 設定値が 000 以外のときには \overline{BS} ホールドサイクルを 1 ~ 2 サイクルの範囲で設定できます。

(2) エリア 1

エリア 1 は、ローカルバスアドレスの 28 ~ 26 ビットが 001 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バースト ROM およびバイト制御 SRAM です。

バス幅は、CS1BCR レジスタの SZ ビットにより 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、CS1BCR レジスタの SZ ビットにより、バス幅を 32 ビットに設定してください。バイト制御 SRAM インタフェースを設定する場合は、バス幅を 16 ビット、32 ビットにしてください。

エリア 1 をアクセスすると $\overline{CS1}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。

バスサイクル数は、CS1BCR レジスタにより挿入ウェイトサイクル数を 0 ~ 25 から選択することができます。

バースト ROM インタフェースを使用する場合、CS1BCR の BW ビットによりバーストピッチを 0 ~ 7 から選ぶことができます。

また、外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が 0 のときは、 \overline{RDY} 信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、 $\overline{CS0}$ アサートに対するリード/ライトストロープ信号のア

サート遅延サイクル、リード/ライトストロープ信号のネゲートに対する $\overline{CS0}$ ネゲート遅延サイクルは、CS1WCR レジスタより、0~7 サイクルに設定することができます。また、リード時 CS1WCR の RDS 設定値が 000 以外、およびライト時 CS1WCR の WTS 設定値が 000 以外のときには \overline{BS} ホールドサイクルを 1~2 サイクルの範囲で設定できます。

(3) エリア 2

エリア 2 は、ローカルバスアドレスの 28~26 ビットが 010 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バースト ROM です。

バス幅は、SRAM インタフェースを設定する場合、CS2BCR レジスタの SZ ビットにより 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、CS2BCR レジスタの SZ ビットにより、32 ビットに設定してください。

エリア 2 をアクセスすると $\overline{CS2}$ 信号がアサートされます。

SRAM インタフェースを設定している場合、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。

バスサイクル数は、CS2WCR レジスタにより挿入ウェイトサイクル数を 0~25 から選択することができます。

バースト ROM インタフェースを使用する場合、CS2BCR の BW ビットによりバーストピッチを 0~7 から選ぶことができます。

また、外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が 0 のときは、 \overline{RDY} 信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、 $\overline{CS2}$ アサートに対するリード/ライトストロープ信号のアサート遅延サイクル、リード/ライトストロープ信号のネゲートに対する $\overline{CS2}$ ネゲート遅延サイクルは、CS2WCR レジスタより、0~7 サイクルに設定することができます。また、リード時 CS2WCR の RDS 設定値が 000 以外、およびライト時 CS2WCR の WTS 設定値が 000 以外のときには \overline{BS} ホールドサイクルを 1~2 サイクルの範囲で設定できます。

(4) エリア 3

エリア 3 は、ローカルバスアドレスの 28~26 ビットが 011 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バースト ROM です。

バス幅は、SRAM インタフェースを設定する場合、CS3BCR レジスタの SZ ビットにより 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、CS3BCR レジスタの SZ ビットにより、32 ビットに設定してください。

エリア 3 をアクセスすると $\overline{CS3}$ 信号がアサートされます。また、SRAM インタフェースを設定している場合、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。

バスサイクル数は、CS3WCR レジスタにより挿入ウェイトサイクル数を 0~25 から選択することができます。

バースト ROM インタフェースを使用する場合、CS3BCR の BW ビットによりバーストピッチを 0~7 から選ぶことができます。

また、外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が 0 のときは、 \overline{RDY} 信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、 $\overline{CS3}$ アサートに対するリード/ライトストロープ信号のア

サート遅延サイクル、リード/ライトストロープ信号のネゲートに対する $\overline{CS3}$ ネゲート遅延サイクルは、CS3WCR レジスタより、0~7 サイクルに設定することができます。また、リード時 CS3WCR の RDS 設定値が 000 以外、およびライト時 CS3WCR の WTS 設定値が 000 以外のときには \overline{BS} ホールドサイクルを 1~2 サイクルの範囲で設定できます。

(5) エリア 4

エリア 4 は、ローカルバスアドレスの 28~26 ビットが 100 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バイト制御 SRAM、バースト ROM です。

バス幅は、CS4BCR レジスタの SZ ビットにより 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、CS4BCR レジスタの SZ ビットにより、バス幅を 32 ビットに設定してください。バイト制御 SRAM インタフェースを設定する場合はバス幅を 16 ビット、32 ビットに設定してください。詳細は、「11.3.2 メモリバス幅」を参照してください。

エリア 4 をアクセスすると $\overline{CS4}$ 信号がアサートされます。

また、SRAM インタフェースを設定している場合、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。

バスサイクル数は、CS4WCR レジスタにより挿入ウェイトサイクル数を 0~25 から選択することができます。詳細は、「11.5.8 アクセスサイクル間ウェイト」を参照してください。

バースト ROM インタフェースを使用する場合、CS4BCR の BW ビットによりバーストピッチを 0~7 から選ぶことができます。

また、外部ウェイト端子 (\overline{RDY}) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が 0 のときは、 \overline{RDY} 信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、 $\overline{CS4}$ アサートに対するリード/ライトストロープ信号のアサート遅延サイクル、リード/ライトストロープ信号のネゲートに対する $\overline{CS4}$ ネゲート遅延サイクルは、CS4WCR レジスタより、0~7 サイクルに設定することができます。また、リード時 CS4WCR の RDS 設定値が 000 以外、およびライト時 CS4WCR の WTS 設定値が 000 以外のときには \overline{BS} ホールドサイクルを 1~2 サイクルの範囲で設定できます。

(6) エリア 5

エリア 5 は、ローカルバスアドレスの 28~26 ビットが 101 のエリアです。

バス幅は、SRAM インタフェース、バースト ROM インタフェースを設定する場合、CS5BCR レジスタの SZ ビットにより 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、CS5BCR レジスタの SZ ビットにより、バス幅を 32 ビットに設定してください。また、PCMCIA インタフェースを設定する場合、CS5BCR レジスタの SZ ビットにより 8 ビット、16 ビットのいずれかを選んでください。詳細は「11.3.2 メモリバス幅」を参照してください。

SRAM インタフェースを設定している場合、エリア 5 をアクセスすると $\overline{CS5}$ 信号がアサートされます。また、 \overline{OE} として使用できる \overline{RD} 信号や書き込み制御の $\overline{WE0} \sim \overline{WE3}$ がアサートされます。PCMCIA インタフェースを接続する場合には、 $\overline{CE1A}$ 、 $\overline{CE2A}$ 信号や、 \overline{OE} として使用できる \overline{RD} 信号、また、それぞれ \overline{WE} 、 \overline{IORD} 、 \overline{IOWR} 、 \overline{REG} として使用できる $\overline{WE1}$ 、 $\overline{WE2}$ 、 $\overline{WE3}$ 、 $\overline{WE0}$ 信号がアサートされます。

バスサイクル数は、CS5WCR レジスタにより挿入ウェイトサイクル数を 0~25 から選択することができます。

バースト ROM インタフェースを使用する場合、CS5BCR の BW ビットによりバーストピッチを 0~7 から選ぶことができます。

また外部ウェイト端子 ($\overline{\text{RDY}}$) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が 0 のときは、 $\overline{\text{RDY}}$ 信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、 $\overline{\text{CS5}}$ アサートに対するリード/ライトストロープ信号のアサート遅延サイクル、リード/ライトストロープ信号のネゲートに対する $\overline{\text{CS5}}$ ネゲート遅延サイクルは、CS5WCR レジスタより、0~7 サイクルに設定することができます。また、リード時 CS5WCR の RDS 設定値が 000 以外、およびライト時 CS5WCR の WTS 設定値が 000 以外のときには $\overline{\text{BS}}$ ホールドサイクルを 1~2 サイクルの範囲で設定できます。

また、PCMCIA インタフェースの場合、リード/ライトストロープ信号に対してアドレス、 $\overline{\text{CE1A}}$ 、 $\overline{\text{CE2A}}$ のセットアップ、ホールド時間を CS5PCR レジスタの TEDA/B ビット、TEHA/B ビットによって、0~15 サイクルの範囲で設定できます。さらに、PCWA/B ビットによりウェイトサイクルを 0~50 の範囲で設定できます。CS5PCR で設定したウェイトは、CS5WCR の IW、CS5PCR の PCIW で設定したウェイト数に加算されます。

(7) エリア 6

エリア 6 は、ローカルバスアドレスの 28~26 ビットが 110 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バースト ROM および PCMCIA インタフェースです。

バス幅は、SRAM インタフェースを設定する場合、CS6BCR レジスタの SZ ビットにより 8 ビット、16 ビット、32 ビットから選べます。バースト ROM インタフェースを設定する場合は、CS6BCR レジスタの SZ ビットにより、バス幅を 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、CS6BCR レジスタの SZ ビットにより、バス幅を 32 ビットに設定してください。また、PCMCIA インタフェースを設定する場合、CS6BCR レジスタの SZ ビットにより 8 ビット、16 ビットのいずれかを選んでください。詳細は「11.3.2 メモリバス幅」を参照してください。

SRAM インタフェースを設定している場合、エリア 6 をアクセスすると $\overline{\text{CS6}}$ 信号がアサートされます。また、 $\overline{\text{OE}}$ として使用できる $\overline{\text{RD}}$ 信号や書き込み制御の $\overline{\text{WE0}}$ ~ $\overline{\text{WE3}}$ がアサートされます。PCMCIA インタフェースを設定する場合には、 $\overline{\text{CE1B}}$ 、 $\overline{\text{CE2B}}$ 信号や、 $\overline{\text{OE}}$ として使用できる $\overline{\text{RD}}$ 信号、また、それぞれ $\overline{\text{WE}}$ 、 $\overline{\text{IORD}}$ 、 $\overline{\text{IOWR}}$ 、 $\overline{\text{REG}}$ として使用できる $\overline{\text{WE1}}$ 、 $\overline{\text{WE2}}$ 、 $\overline{\text{WE3}}$ 、 $\overline{\text{WE0}}$ 信号がアサートされます。

バスサイクル数は、CS6BCR レジスタにより挿入ウェイトサイクル数を 0~25 から選択することができます。

バースト ROM インタフェースを使用する場合、CS6BCR の BW ビットによりバーストピッチを 0~7 から選ぶことができます。

また、外部ウェイト端子 ($\overline{\text{RDY}}$) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が 0 のときは、 $\overline{\text{RDY}}$ 信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、 $\overline{\text{CS6}}$ アサートに対するリード/ライトストロープ信号のアサート遅延サイクル、リード/ライトストロープ信号のネゲートに対する $\overline{\text{CS6}}$ ネゲート遅延サイクルは、CS6WCR レジスタより、0~7 サイクルに設定することができます。また、リード時 CS6WCR の RDS 設定値が 000 以外、およびライト時 CS6WCR の WTS 設定値が 000 以外のときには $\overline{\text{BS}}$ ホールドサイクルを 1~2 サイクルの範囲で設定できます。

また、PCMCIA インタフェースの場合、リード/ライトストロブ信号に対してアドレス、 $\overline{CE1B}$ 、 $\overline{CE2B}$ のセットアップ、ホールド時間を CS6PCR レジスタの TEDA/B ビット、TEHA/B ビットによって、0~15 サイクルの範囲で設定できます。さらに、PCWA/B ビットによりウェイトサイクルを 0~50 の範囲で設定できます。CS6PCR で設定したウェイトは、CS6WCR の IW、CS6PCR の PCIW で設定したウェイト数に加算されます。

11.5.3 SRAM インタフェース

(1) 基本タイミング

本 LSI の SRAM インタフェースは、主に SRAM の接続を考慮してストロブ信号を出力します。図 11.5 に SRAM インタフェースの基本タイミングを示します。ウェイトのない通常アクセスは 2 サイクルで終了します。 \overline{BS} 信号はバスサイクルの開始を表すため、1 サイクルまたは 2 サイクルアサートされます。 \overline{CSn} 信号は、T1 の立ち上がりでアサートされ T2 のクロックの次の立ち上がりでネゲートされます。したがって最小ピッチでアクセスする場合は、ネゲート期間は生まれません。

アクセスサイズは、読み出し時は指定がありません。アドレス端子 (A [25 : 0]) に正しいアクセスアドレスが出力されていますが、アクセスサイズの指定がないので、32 ビットデバイスでは 32 ビット、16 ビットデバイスでは 16 ビットを常に読み出すことになります。書き込み時には書き込みを行うバイトの \overline{WE} 信号のみがアサートされます。詳細は「11.5.1 エンディアン/アクセスサイズとデータアライメント」を参照してください。

32 バイト転送時は、設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドで行われます。この途中ではバス権を解放しません。

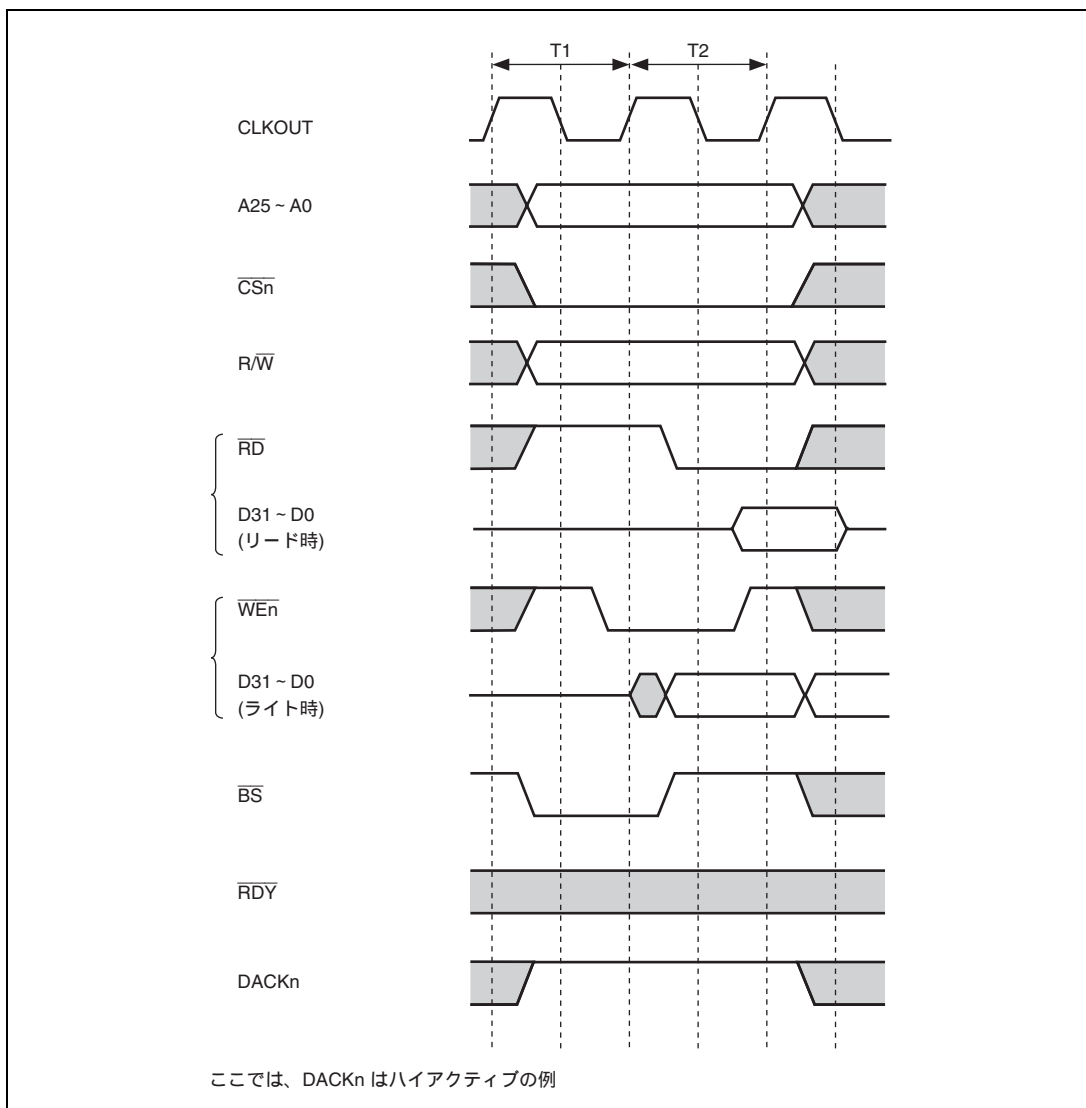


図 11.5 SRAM インタフェースの基本タイミング

図 11.6 に 32 ビットデータ幅の SRAM との接続例を、図 11.7 に 16 ビットデータ幅の SRAM との接続例を、図 11.8 に 8 ビットデータ幅の SRAM との接続例を示します。

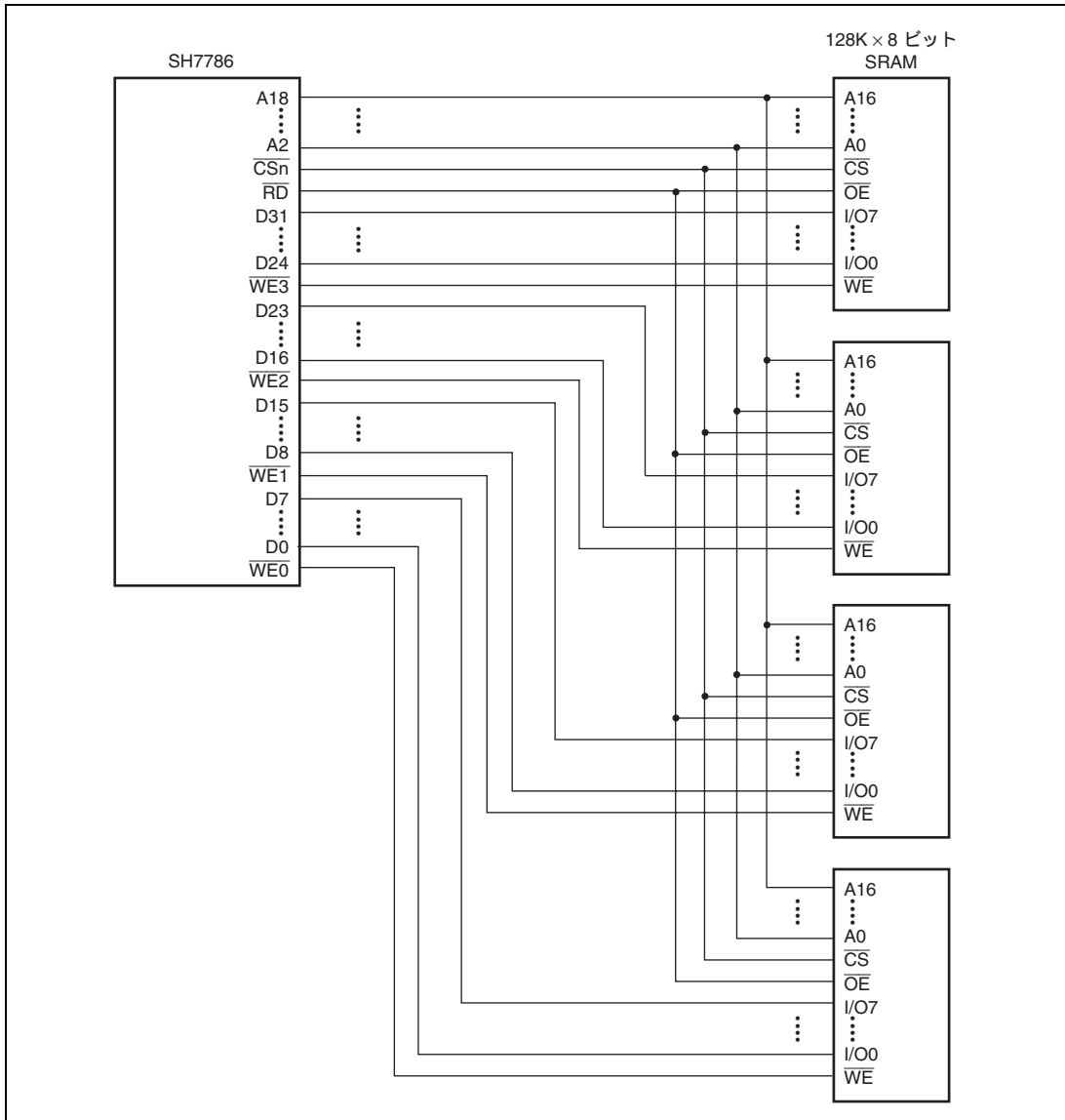


図 11.6 32 ビットデータ幅 SRAM 接続例

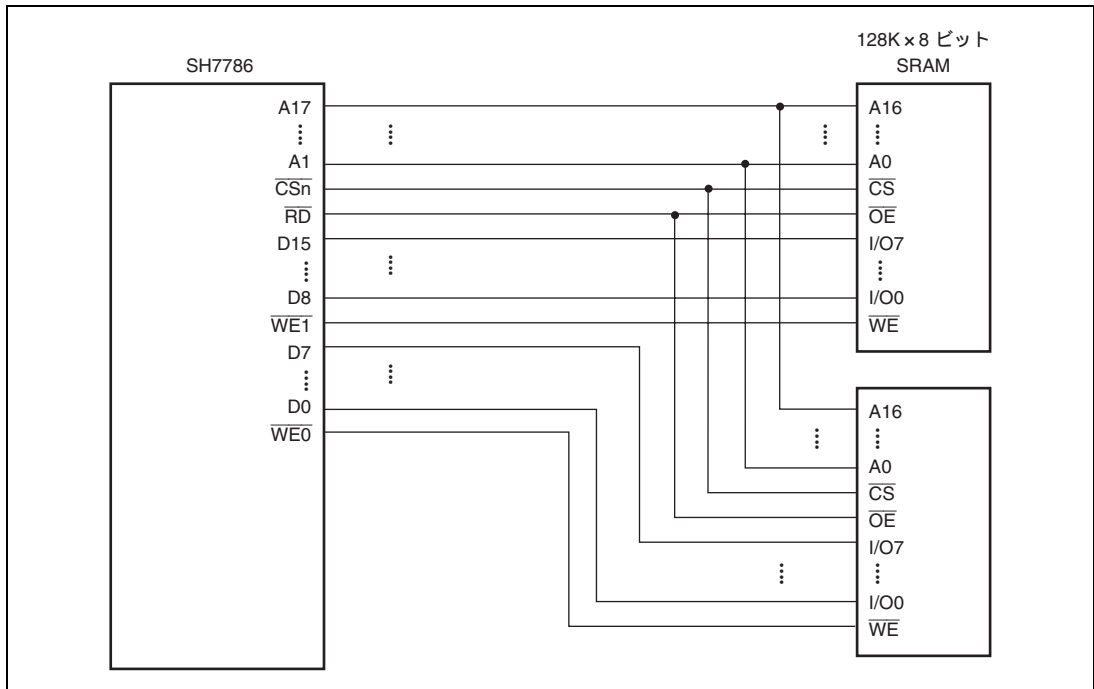


図 11.7 16 ビットデータ幅 SRAM 接続例

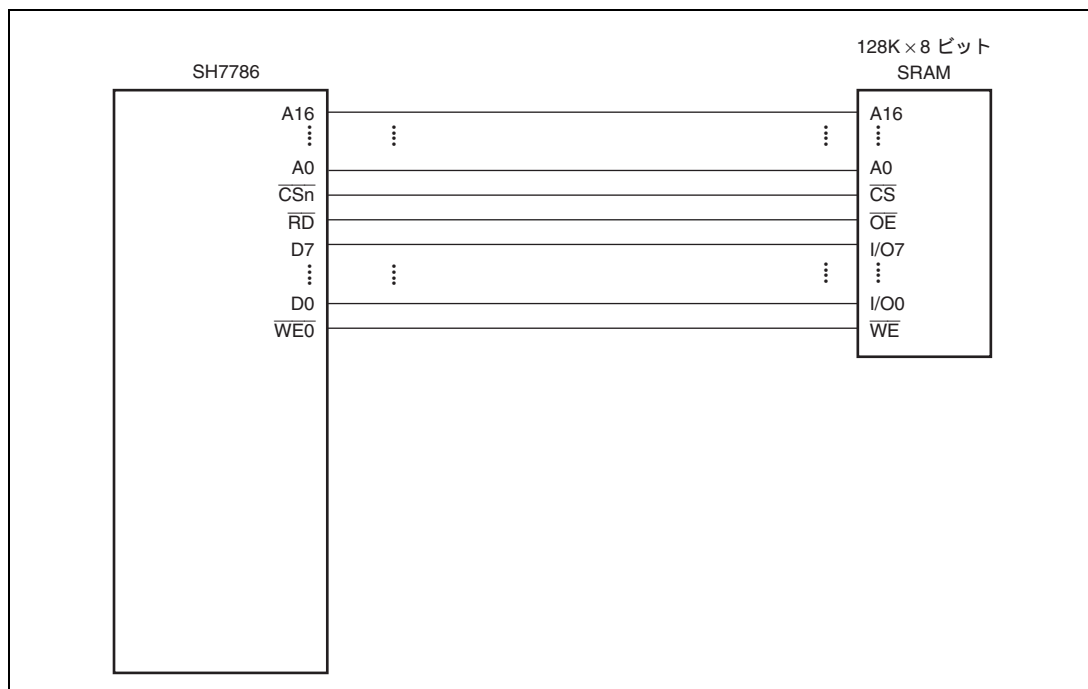


図 11.8 8ビットデータ幅 SRAM 接続例

(2) ウェイトステート制御

CSnWCR の設定により、SRAM インタフェースのウェイトステートの挿入を制御できます。CSnWCR の IW ビットが 0 以外の場合は、このウェイト指定に従ったソフトウェイトが挿入されます。詳細は「11.4.4 CSn ウェイトコントロールレジスタ (CSnWCR)」の項を参照してください。

CSnWCR によって、図 11.9 に示す SRAM インタフェースのウェイトタイミングで、 T_w のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

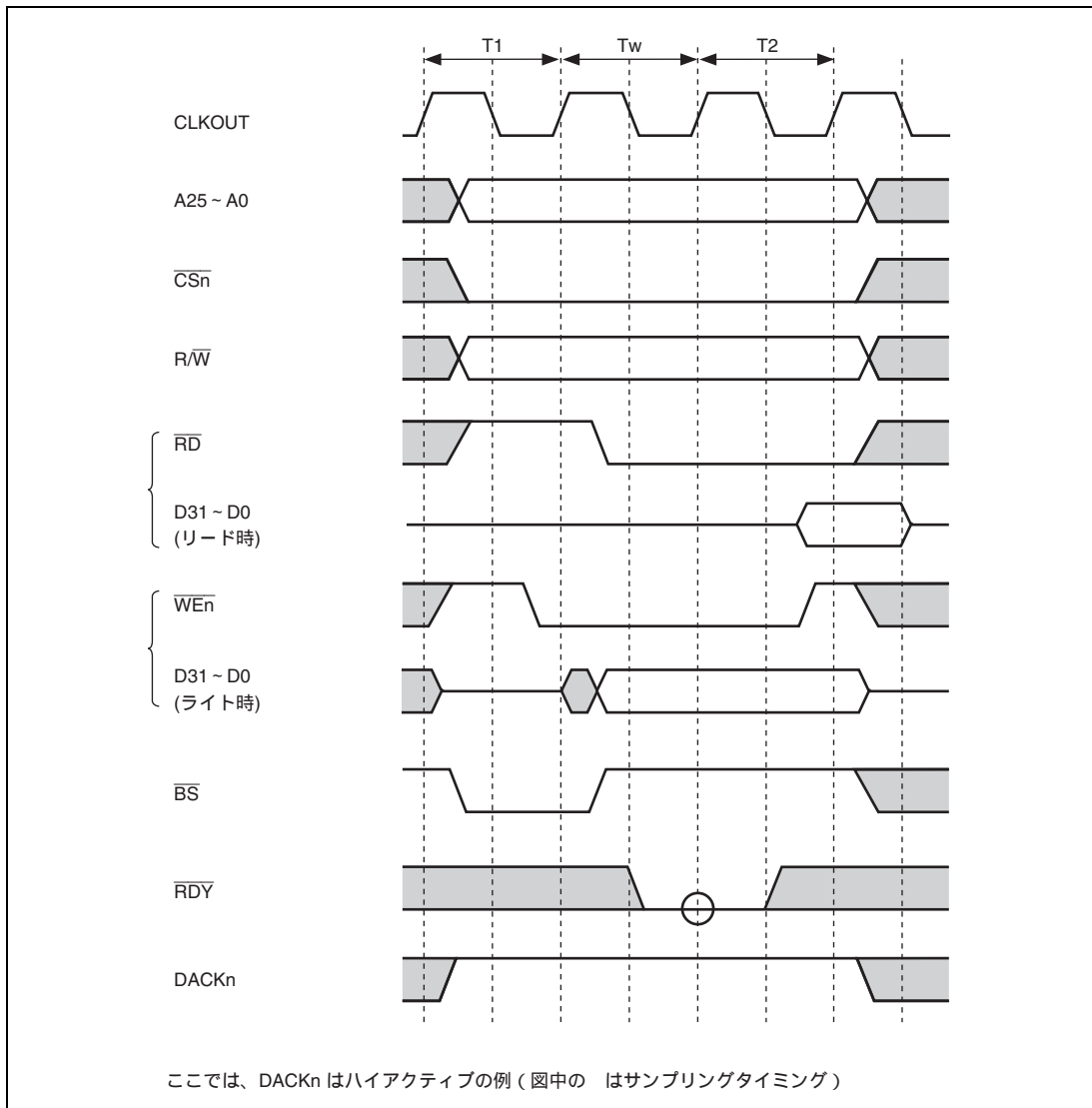


図 11.9 SRAM インタフェースのウェイトタイミング (ソフトウェアウェイトのみ)

CSnWCR によってソフトウェアによるウェイトを指定したときに、外部からのウェイト入力 \overline{RDY} 信号もサンプリングされます。 \overline{RDY} 信号のサンプリングを図 11.10 に示します。ソフトウェアウェイトとして 1 サイクルのウェイトを指定しています。サンプリングは T_w ステートから T_2 ステートに移行する際に行われるので、 T_1 のサイクルおよび 1 回目の T_w サイクルで \overline{RDY} 信号をアサートしてもなにも影響を与えません。 \overline{RDY} 信号はクロックの立ち上がりでサンプリングされます。

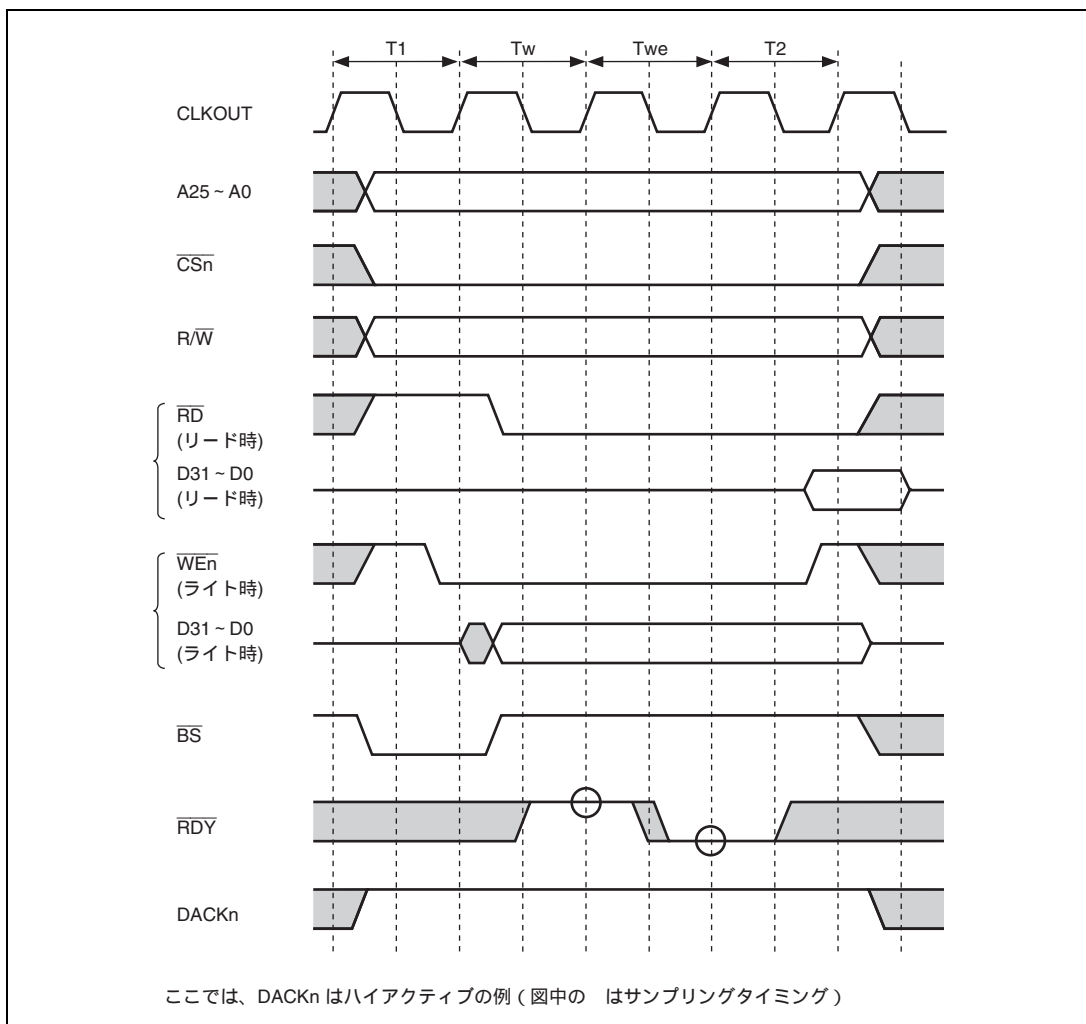


図 11.10 SRAM インタフェースのウェイトステートタイミング
(\overline{RDY} 信号によるウェイトステート挿入、 \overline{RDY} 信号は同期入力)

(3) リードストロブネゲートタイミング

SRAM インタフェース時、CSnBCR の RDSPL の設定により、リード時のストロブのネゲートタイミングを設定することができます。設定については「11.4.3 CSn バスコントロールレジスタ (CSnBCR)」を参照してください。バイト制御 SRAM 設定時は RDSPL に 0 を設定してください。

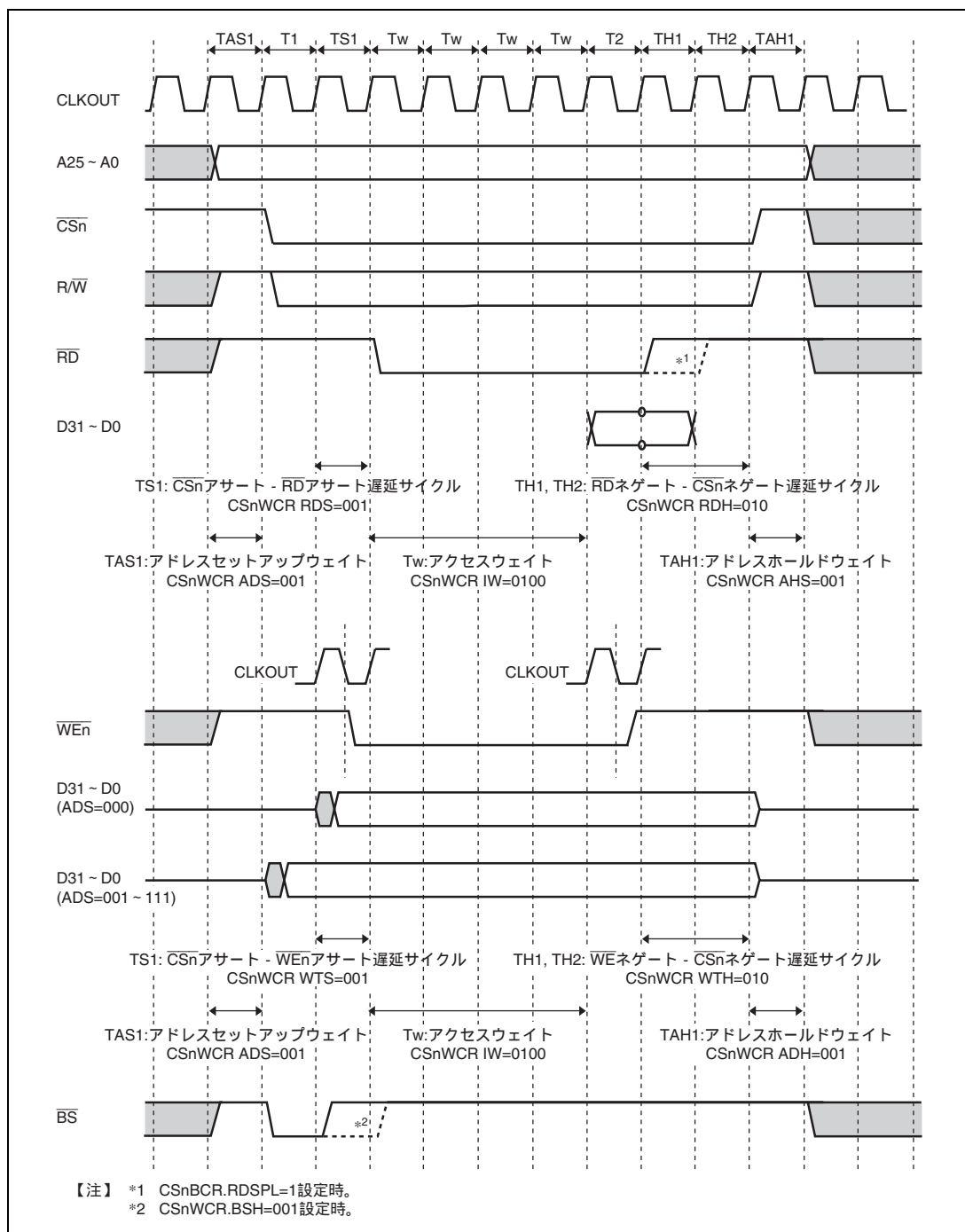


図 11.11 SRAM インタフェースのウェイトステートタイミング
(リードストロブネゲートタイミングの設定)

11.5.4 バースト ROM インタフェース

CSnBCR の TYPE ビットを 010 に設定することにより、エリア 0、エリア 1、エリア 2、エリア 3、エリア 4、エリア 5、エリア 6 にバースト ROM の接続が可能となります。バースト ROM インタフェースは、バーストアクセス機能を有する ROM に高速にアクセスするためのものです。バースト ROM に対するバーストアクセスのタイミングを図 11.12 に示します。ウェイトサイクルは 0 サイクルの設定です。基本的には SRAM インタフェースと同じようなアクセスを行います。最初のサイクルを終了する際、アドレスのみを切り替えて、次のアクセスを行います。8 ビット幅の ROM を接続する場合には CSnBCR の BST ビットによって連続アクセスの回数を 4 回、8 回、16 回、32 回に設定できます。16 ビット幅の ROM を接続する場合には同じく 4 回、8 回、16 回に設定でき、32 ビット幅の ROM を接続する場合は 4 回、8 回に設定できます。

ウェイトステートを 1 以上に設定した場合、常に $\overline{\text{RDY}}$ 端子のサンプリングを行います。

バースト ROM の設定を行いウェイト指定を 0 にした場合も 2 回目以降のアクセスサイクルは 2 サイクルとなります。この場合のタイミングを図 11.13 に示します。

バースト ROM インタフェースに対するライト動作は、SRAM インタフェースとして行われます。

32 バイト転送時のアクセスアドレスは、32 バイト境界を守り、アクセスデータはすべて有効データとしてアクセスしてください。

32 バイト転送時は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対して行われます。また、バス幅とバースト回数を掛けたバイト境界で、バーストをいったん中止し、その後再開します。この途中ではバス権を解放しません。

バースト ROM の設定を行い、CSnWCR でセットアップ/ホールドを指定した場合のタイミングを図 11.14 に示します。

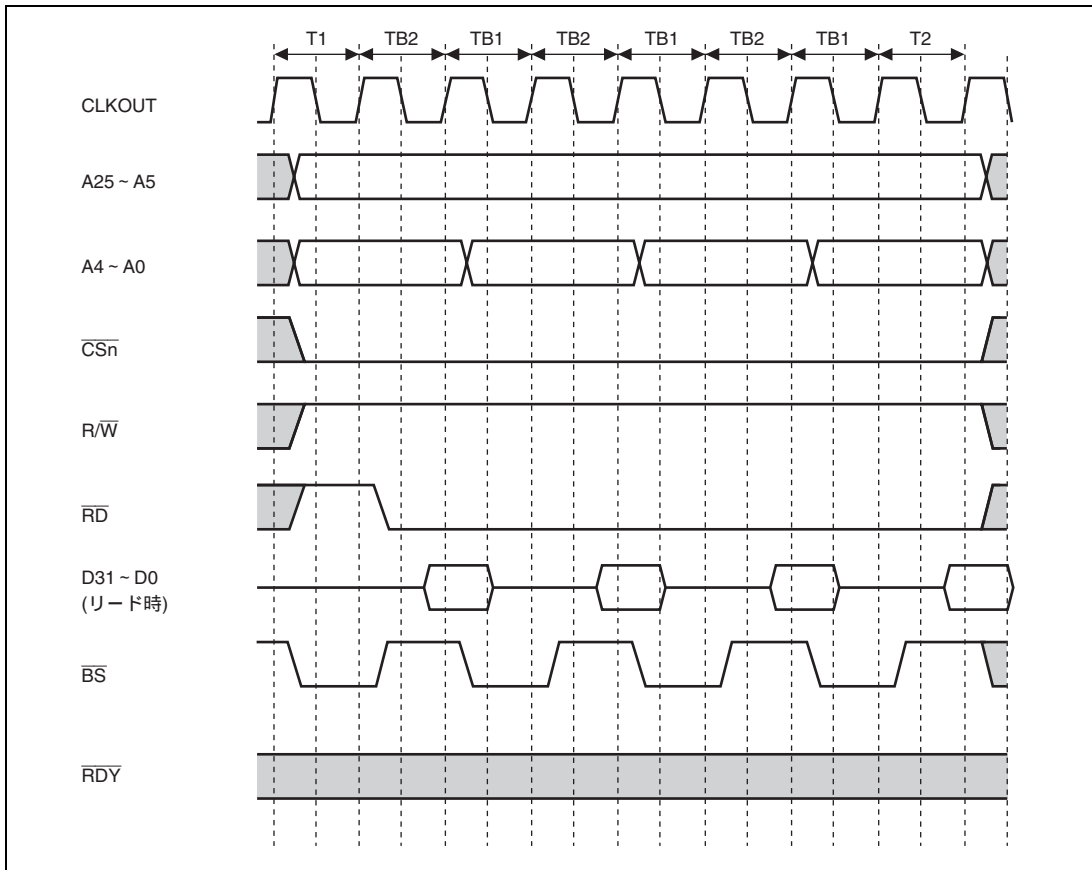


図 11.12 バースト ROM 基本アクセスタイミング

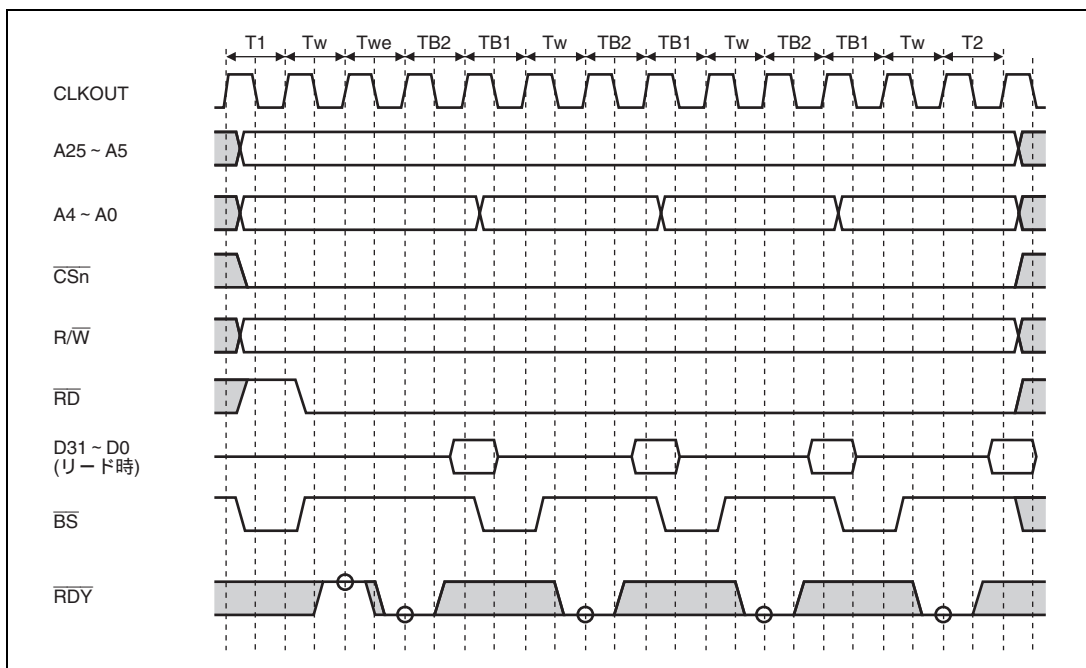


図 11.13 パーストROM ウェイトアクセスタイミング

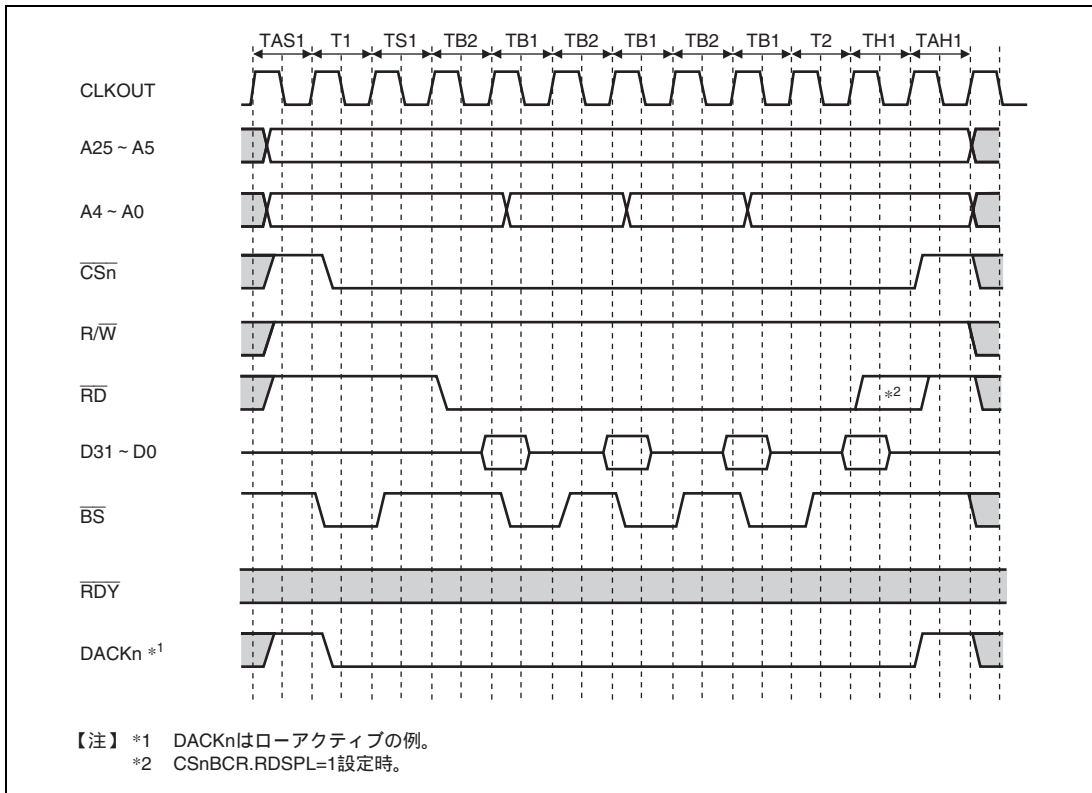


図 11.14 バーストROM ウェイトアクセスタイミング

11.5.5 PCMCIA インタフェース

本 LSI では CS5BCR、CS6BCR の TYPE ビットを設定することにより、外部メモリ空間のエリア 5、6 のバスインタフェースが、JEIDA 仕様 Ver4.2 (PCMCIA2.1 以下略) で定める“ IC メモリカードインタフェース ”または“ I/O カードインタフェース ”になります。

図 11.15 に本 LSI と PCMCIA カードの接続例を示します。PCMCIA カードは活性挿入 (システムの電源を供給中にカードの抜き差しを行うこと) を行えるようにするために、本 LSI のバスインタフェースと PCMCIA カードの間にスリープ状態バッファを接続する必要があります。

JEIDA/PCMCIA の規格では、ビッグエンディアンモードでの動作が明確に規定されていないため、本 LSI は、リトルエンディアンモードの設定でのみ、リトルエンディアンモードの PCMCIA インタフェースをサポートしています。

PCMCIA インタフェースのメモリ空間は CSnPCR の SAA および SAB ビットの設定により、8 ビット共有メモリ、16 ビット共有メモリ、8 ビットアトリビュートメモリ、16 ビットアトリビュートメモリ、8 ビット I/O 空間、16 ビット I/O 空間、ダイナミックバスサイジング、ATA 補完モードが選択できます。

アクセス先がエリアの前半のときは、CSn ウェイトコントロールレジスタ (CSnWCR) の IW、および CSnPCMCIA コントロールレジスタ (CSnPCR) の PCWA、TEDA、TEHA ビットが選択されます。アクセス先がエリアの後半のときは、CSn ウェイトコントロールレジスタ (CSnWCR) の IW、および CSnPCMCIA コントロールレジスタ (CSnPCR) の PCWB、TEDB、TEHB ビットが選択されます。

低速バスサイクルに挿入するウェイト状態数は、PCWA/B ビットにより、0、15、30、または 50 に設定できます。この値は、CSnWCR の IW または CSnPCR の PCIW で指定された挿入ウェイト状態数に加算されます。 \overline{RD} および $\overline{WE1}$ 信号のアドレス、 \overline{CSn} 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 、 \overline{REG} セットアップ時間は、TEDA/B ビット (0~15 に設定可能) により、設定することができます。また、 \overline{RD} および $\overline{WE1}$ 信号のアドレス、 \overline{CSn} 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 、 \overline{REG} データホールド時間は、TEHA/B ビット (0~15 に設定可能) により、設定することができます。

また、アクセスサイクル間ウェイトは、CS5 バスコントロールレジスタ (CS5BCR)、または CS6 バスコントロールレジスタ (CS6BCR) のアクセスサイクル間ウェイトビット IWW、IWWRD、IWWRS、IWRD、IWRRS により設定します。選択されるアクセスサイクル間ウェイトは、アクセスされるエリア (エリア 5 またはエリア 6) のみに依存し、エリア 5 のアクセス時には、CS5BCR のアクセスサイクル間ウェイトビットが、エリア 6 のアクセス時には、CS6BCR のアクセスサイクル間ウェイトビットが、それぞれ選択されます。

32 バイト転送時は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドで行われます。この途中ではバス権を解放しません。

ATA 補完モードは、本 LSI に接続する ATA デバイス内部の特定のレジスタにアクセスするときに使用します。DMAC0 を使用しないバイトアクセスのときには $\overline{CE1x}$ ($x=A$ または B) がネゲートされ、 $\overline{CE2x}$ がアサートされません。DMAC0 を使用しないワードアクセスのときには $\overline{CE1x}$ がアサートされ、 $\overline{CE2x}$ がネゲートされます。DMA によるアクセスのときには $\overline{CE1x}$ 、および $\overline{CE2x}$ はネゲートされます。対象となるレジスタは Device Control Register、Alternate Status Register、Data Register、Data Port です。Device Control Register、Alternate Status Register には DMAC0 を使用しないバイトアクセス、Data Register には DMAC0 を使用しないワードアクセスを行ってください。Data Port へのアクセスは DMA 転送を使用します。このとき DMAC0 の CHCR の設定例は、外部リクエスト、バーストモ

ード、レベル検出、オーバーラン 0、および PCMCIA 接続エリアに対する $\overline{\text{DACK}}$ 出力です。さらに、DMA チャネルに対応する BCR.DACKBST ビットを 1 にセットすると、該当チャネルの $\overline{\text{DACK}}$ は DMA 転送の初回から最終回までアサートされつづけます。このとき、転送途中で対応する $\overline{\text{DREQ}}$ をネゲートしても、 $\overline{\text{DACK}}$ はネゲートされません。また、ATA 補完モードを設定している空間に対して DMA 転送の $\overline{\text{DACK}}$ 出力するアクセスを行う時、 $\overline{\text{CE1x}}$ および $\overline{\text{CE2x}}$ はアサートされません。

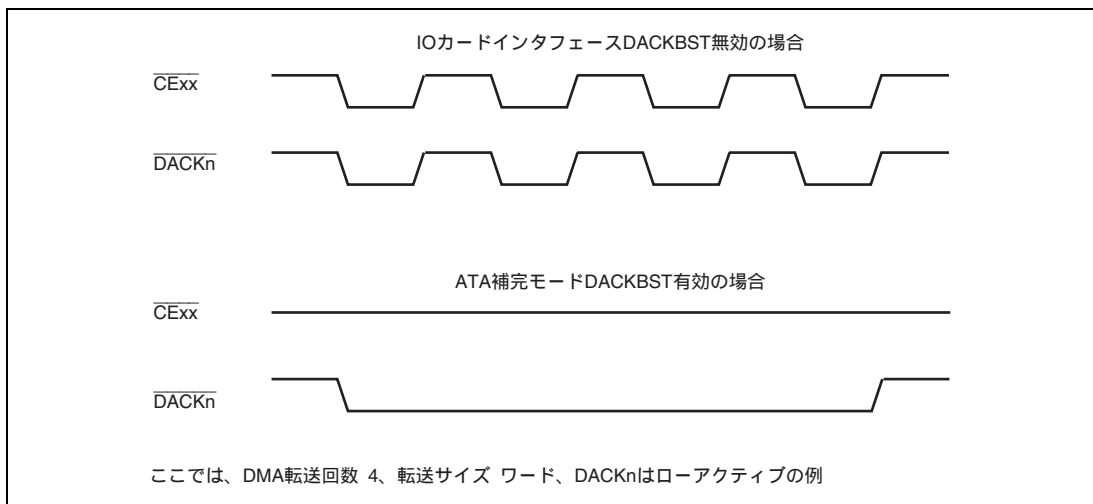


図 11.15 ATA 補完モード DMA 転送時の $\overline{\text{CExx}}$ 信号と $\overline{\text{DACKn}}$ 信号の出力

表 11.13 PCMCIA インタフェース使用時のアドレスと CE の関係

バス (ビット)	リード/ ライト	アクセス サイズ (ビット)*1	奇数/ 偶数	IOIS16	アクセス	CE2	CE1	A0	D15-8	D7-0		
8	リード	8	偶数	*	-	H	L	L	無効	リードデータ		
			奇数	*	-	H	L	H	無効	リードデータ		
		16	偶数	*	1 回目	H	L	L	無効	下位リードデータ		
			偶数	*	2 回目	H	L	H	無効	上位リードデータ		
			奇数	*	-	-	-	-	-	-		
		ライト	8	偶数	*	-	H	L	L	無効	ライトデータ	
	奇数			*	-	H	L	H	無効	ライトデータ		
	16		偶数	*	1 回目	H	L	L	無効	下位ライトデータ		
			偶数	*	2 回目	H	L	H	無効	上位ライトデータ		
	16	リード	8	偶数	*	-	H	L	L	無効	リードデータ	
奇数				*	-	L	H	H	リードデータ	無効		
16			偶数	*	-	L	L	L	上位リードデータ	下位リードデータ		
			奇数	*	-	-	-	-	-	-		
ライト		8	偶数	*	-	H	L	L	無効	ライトデータ		
			奇数	*	-	L	H	H	ライトデータ	無効		
		16	偶数	*	-	L	L	L	上位ライトデータ	下位ライトデータ		
			奇数	*	-	-	-	-	-	-		
		ダイナ ミック バスサ イジン グ*2	リード	8	偶数	L	-	H	L	L	無効	リードデータ
					奇数	L	-	L	H	H	リードデータ	無効
16	偶数			L	-	L	L	L	上位リードデータ	下位リードデータ		
	奇数			L	-	-	-	-	-	-		
ライト	8		偶数	L	-	H	L	L	無効	ライトデータ		
			奇数	L	-	L	H	H	ライトデータ	無効		
	16		偶数	L	-	L	L	L	上位ライトデータ	下位ライトデータ		
			奇数	L	-	-	-	-	-	-		
	リード		8	偶数	H	-	H	L	L	無効	リードデータ	
				奇数	H	1 回目	L	H	H	無視	無効	
奇数		H		2 回目	H	L	L	無効	リードデータ			
16		偶数	H	1 回目	L	L	L	無効	下位リードデータ			
		偶数	H	2 回目	H	L	H	無効	上位リードデータ			
		奇数	H	-	-	-	-	-	-			

バス (ビット)	リード/ ライト	アクセス サイズ (ビット)*1	奇数/ 偶数	IOIS16	アクセス	CE2	CE1	A0	D15-8	D7-0	
ダイナ ミック バスサ イジン グ*2	ライト	8	偶数	H	-	H	L	L	無効	ライトデータ	
			奇数	H	1回目	L	H	H	無効	ライトデータ	
			奇数	H	2回目	H	L	H	無効	ライトデータ	
		16	偶数	H	1回目	L	L	L	上位ライトデータ	下位ライトデータ	
			偶数	H	2回目	H	L	H	無効	上位ライトデータ	
			奇数	H	-	-	-	-	-	-	
ATA 補 完モ ード	DACK を 出力しな いリード	8	偶数	*	-	L	H	L	無効	リードデータ	
			奇数	*	-	-	-	-	-	-	
		16	偶数	*	-	H	L	L	上位リードデータ	下位リードデータ	
			奇数	*	-	-	-	-	-	-	
		DACK を 出力しな いライト	8	偶数	*	-	L	H	L	無効	ライトデータ
				奇数	*	-	-	-	-	-	-
	16		偶数	*	-	H	L	L	上位ライトデータ	下位ライトデータ	
			奇数	*	-	-	-	-	-	-	
	DACK を 出力する リード		8	偶数	*	-	H	H	L	無効	リードデータ
				奇数	*	-	H	H	L	リードデータ	無効
		16	偶数	*	-	H	H	H	上位ライトデータ	下位ライトデータ	
			奇数	*	-	-	-	-	-	-	
		DACK を 出力する ライト	8	偶数	*	-	H	H	L	無効	リードデータ
				奇数	*	-	H	H	L	リードデータ	無効
	16		偶数	*	-	H	H	H	上位ライトデータ	下位ライトデータ	
			奇数	*	-	-	-	-	-	-	

【記号説明】

*: Don't care

L: ローレベル

H: ハイレベル

【注】 *1 32 ビット / 64 ビット / 16 バイト / 32 バイト転送の場合、各転送における転送データサイズに達するまで、自動的にバス幅分のアドレスをインクリメントして上記アクセスを繰り返す。

*2 PCMCIA I/O カードインタフェース時のみ

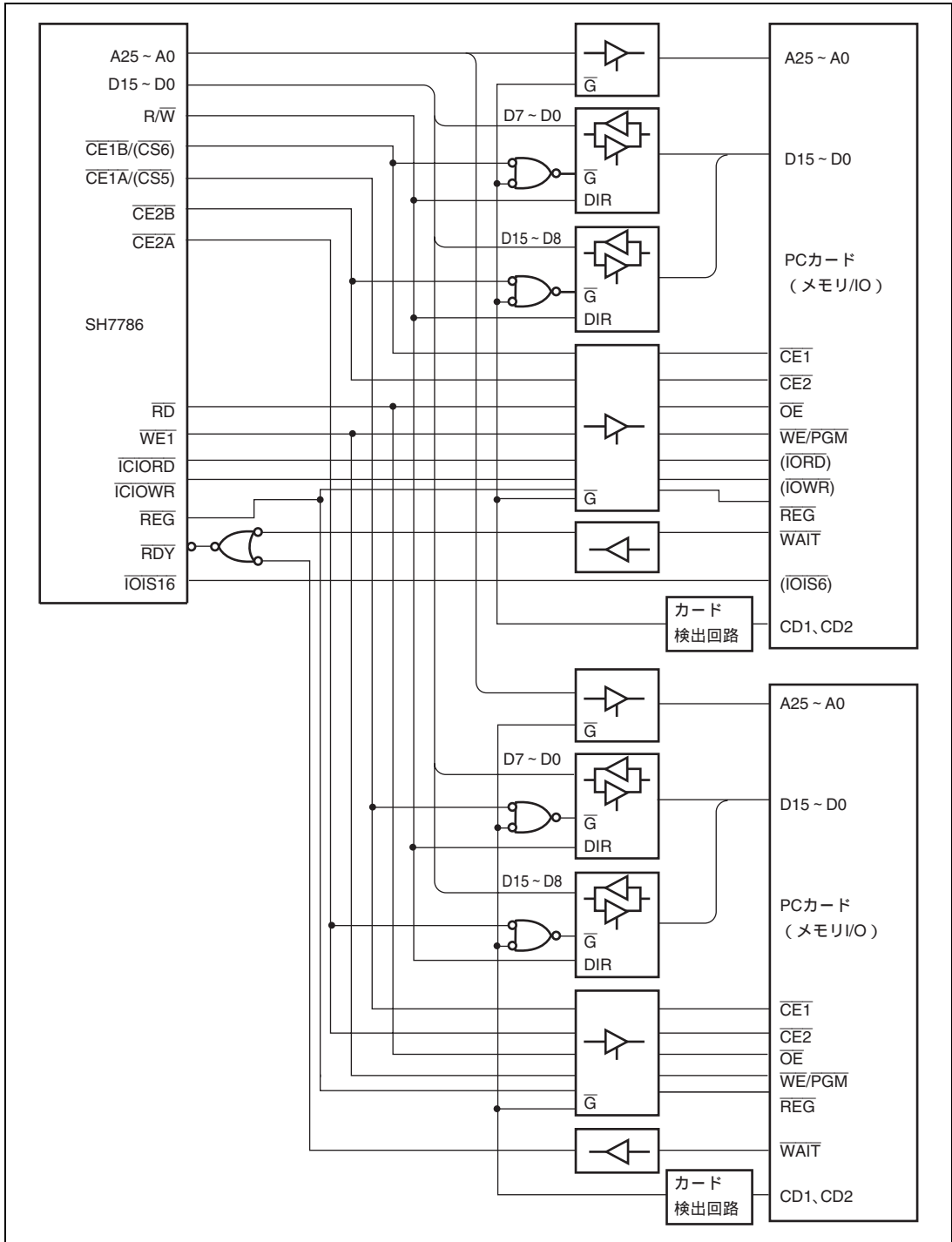


図 11.16 PCMCIA インタフェース例

(1) メモリカードインタフェース基本タイミング

図 11.17 に PCMCIA の “IC メモリカードインタフェース” の基本タイミングを、図 11.18 に PCMCIA メモリカードインタフェースウェイトタイミングを、それぞれ示します。

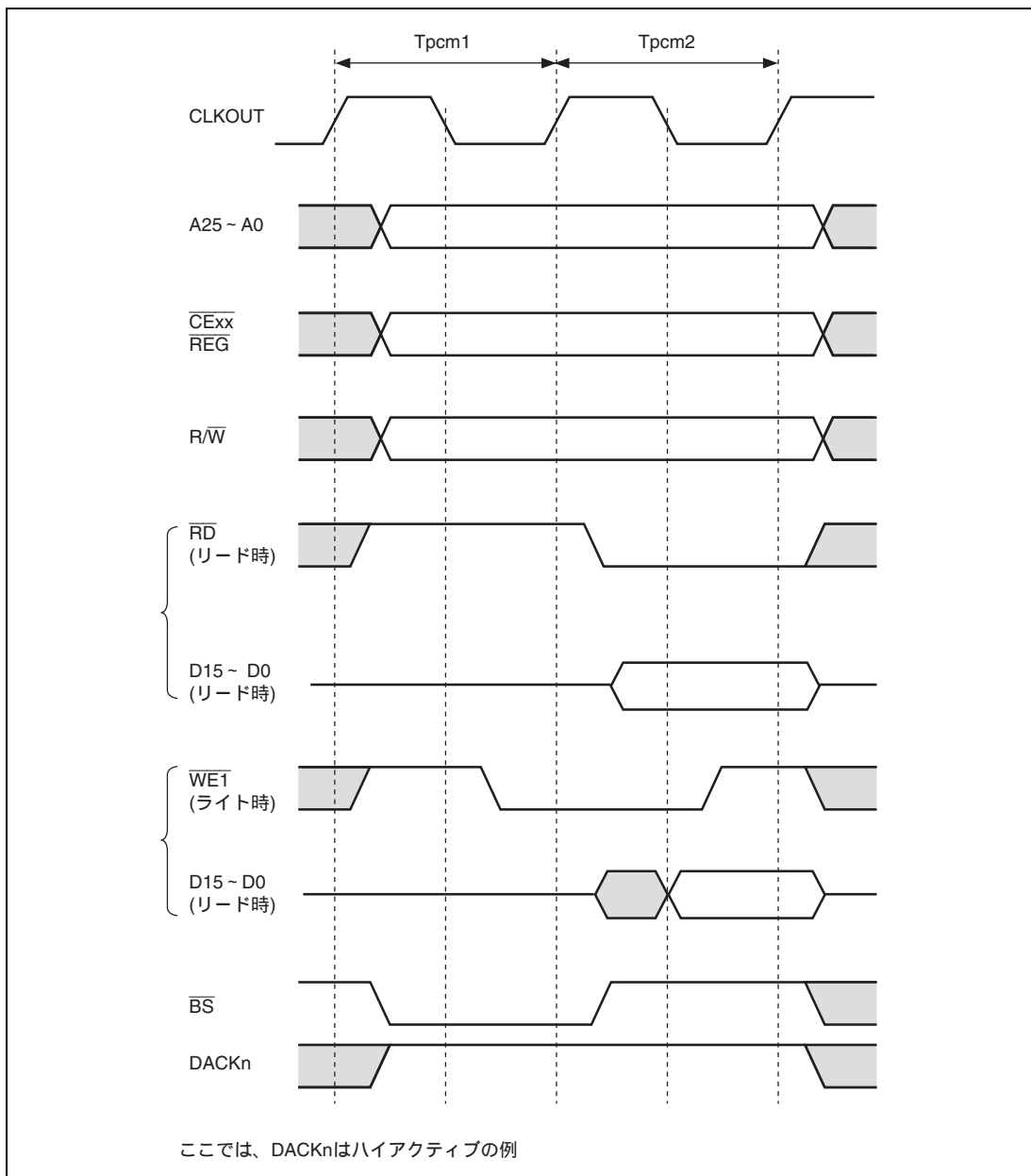


図 11.17 PCMCIA メモリカードインタフェース基本タイミング

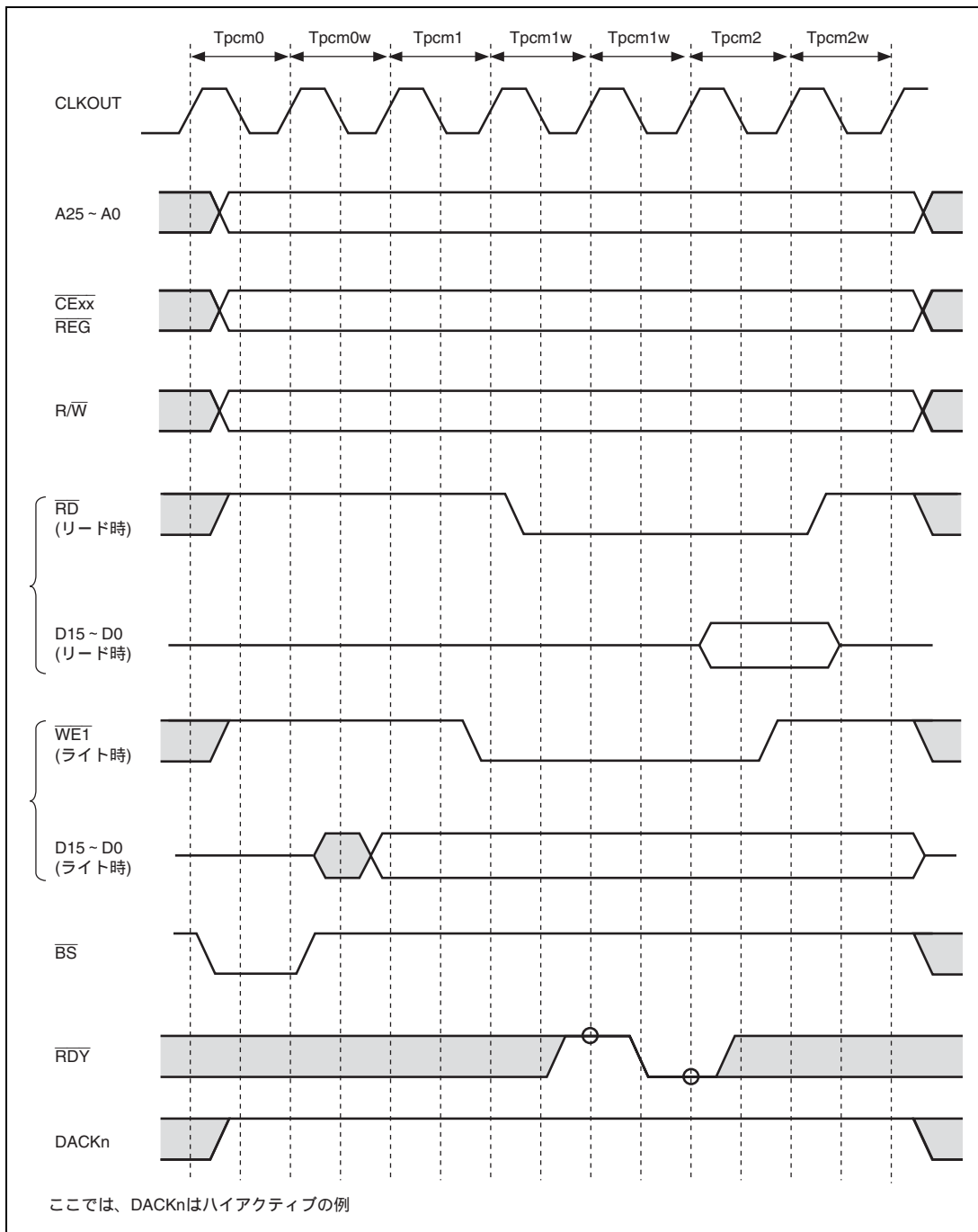


図 11.18 PCMCIA メモリカードインタフェースウェイトタイミング

(2) I/O カードインタフェースタイミング

図 11.19、図 11.20 に PCMCIA の “ I/O カードインタフェース ” のタイミングを示します。

PCMCIA カードを I/O カードインタフェースとしてアクセスする場合、 $\overline{\text{IOIS16}}$ 端子を使って、I/O バス幅のダイナミックバスサイジングが行えます。バス幅を 16 ビットに設定している場合に、ワードサイズの I/O バスサイクル中に $\overline{\text{IOIS16}}$ 信号がハイレベルの場合、その I/O ポートは 8 ビット幅であると認識され、実行中の I/O バスサイクル中では 8 ビット分しかデータアクセスを行わず、自動的に続けて残りの 8 ビット分のデータアクセスを行います。また、アドレス $2n+1$ に対するバイトサイズアクセスでもダイナミックバスサイジングが行われます。

ダイナミックバスサイジングの基本タイミングを図 11.21 に示します。

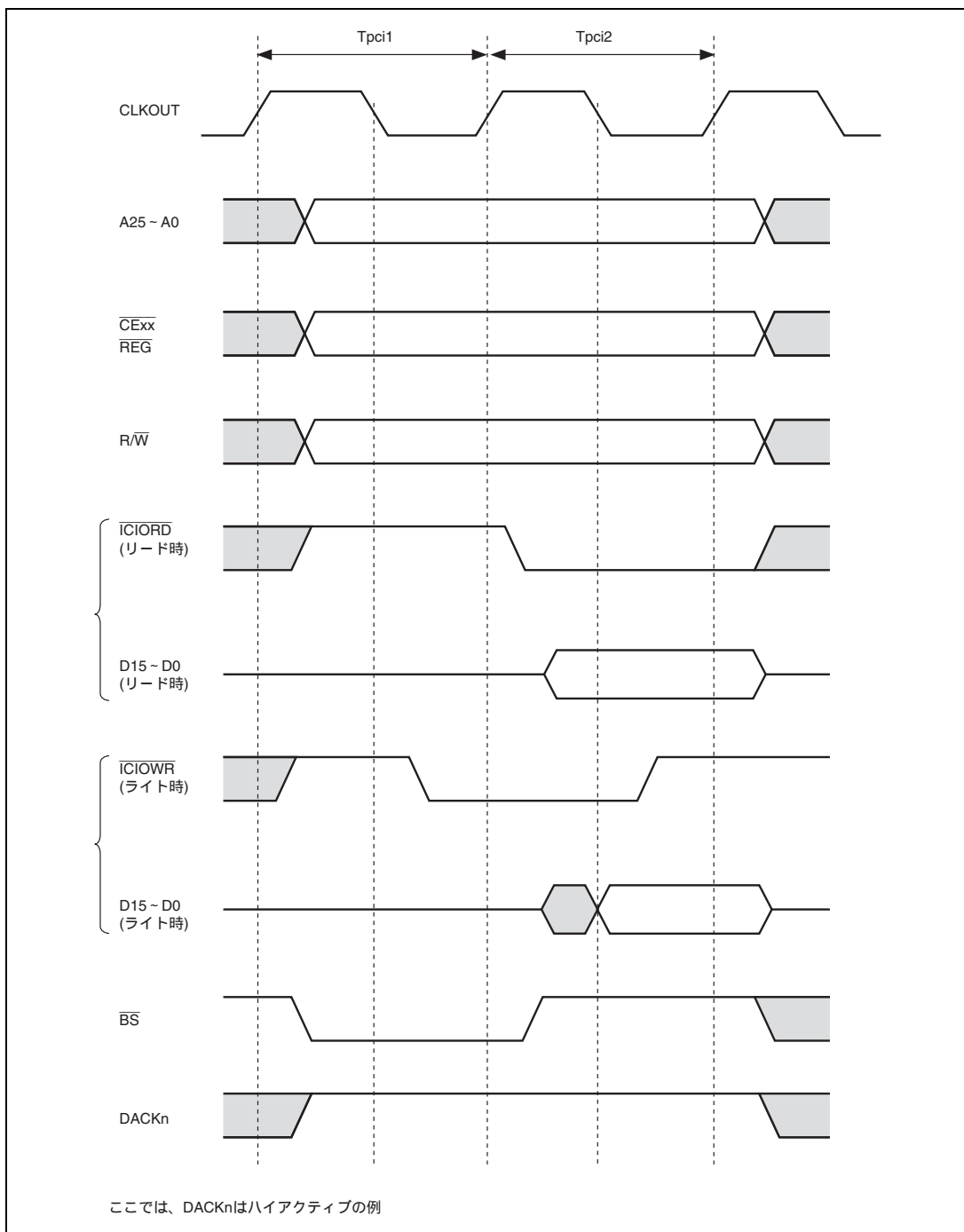


図 11.19 PCMCIA I/O カードインタフェース基本タイミング

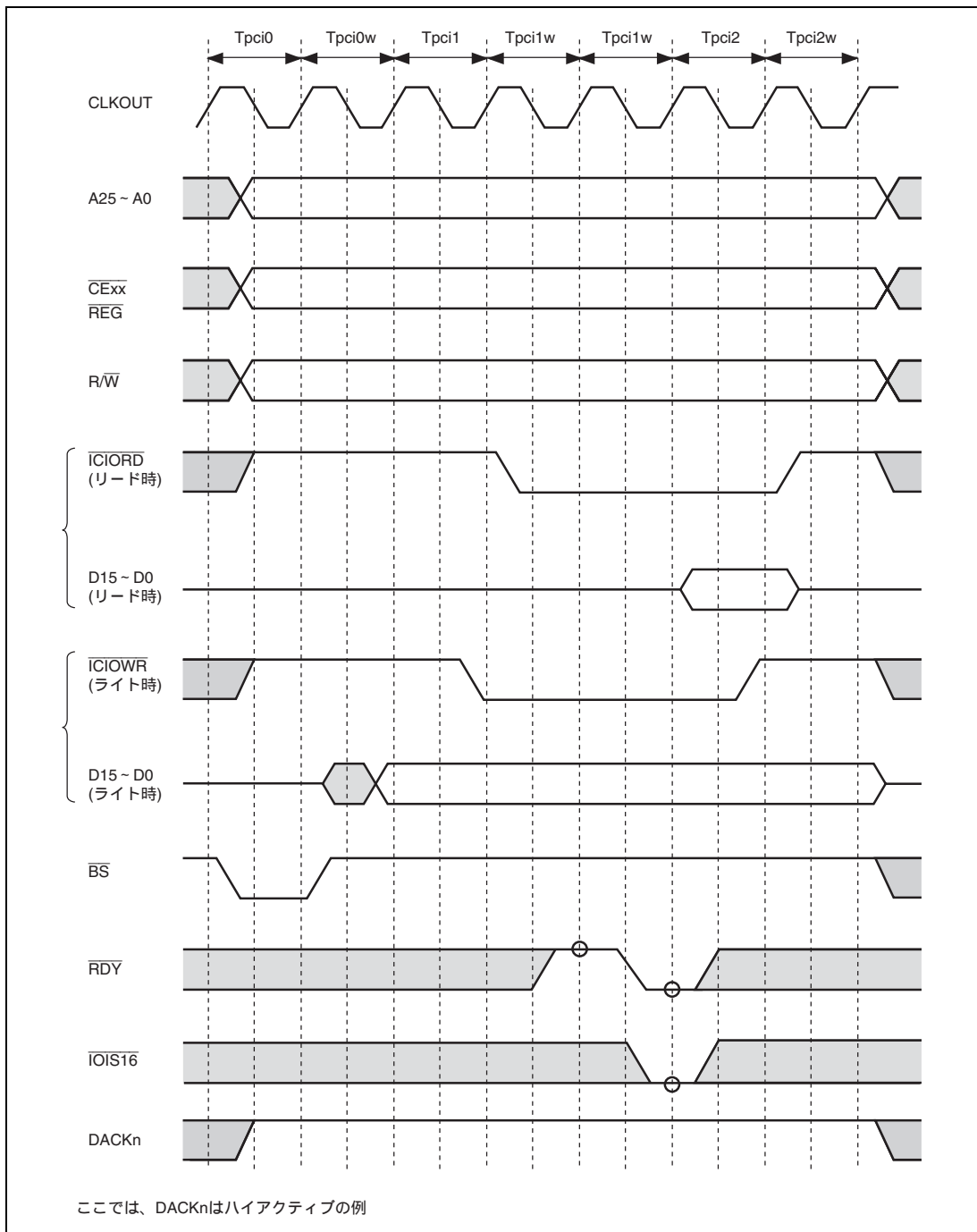


図 11.20 PCMCIA I/O カードインタフェースウェイトタイミング

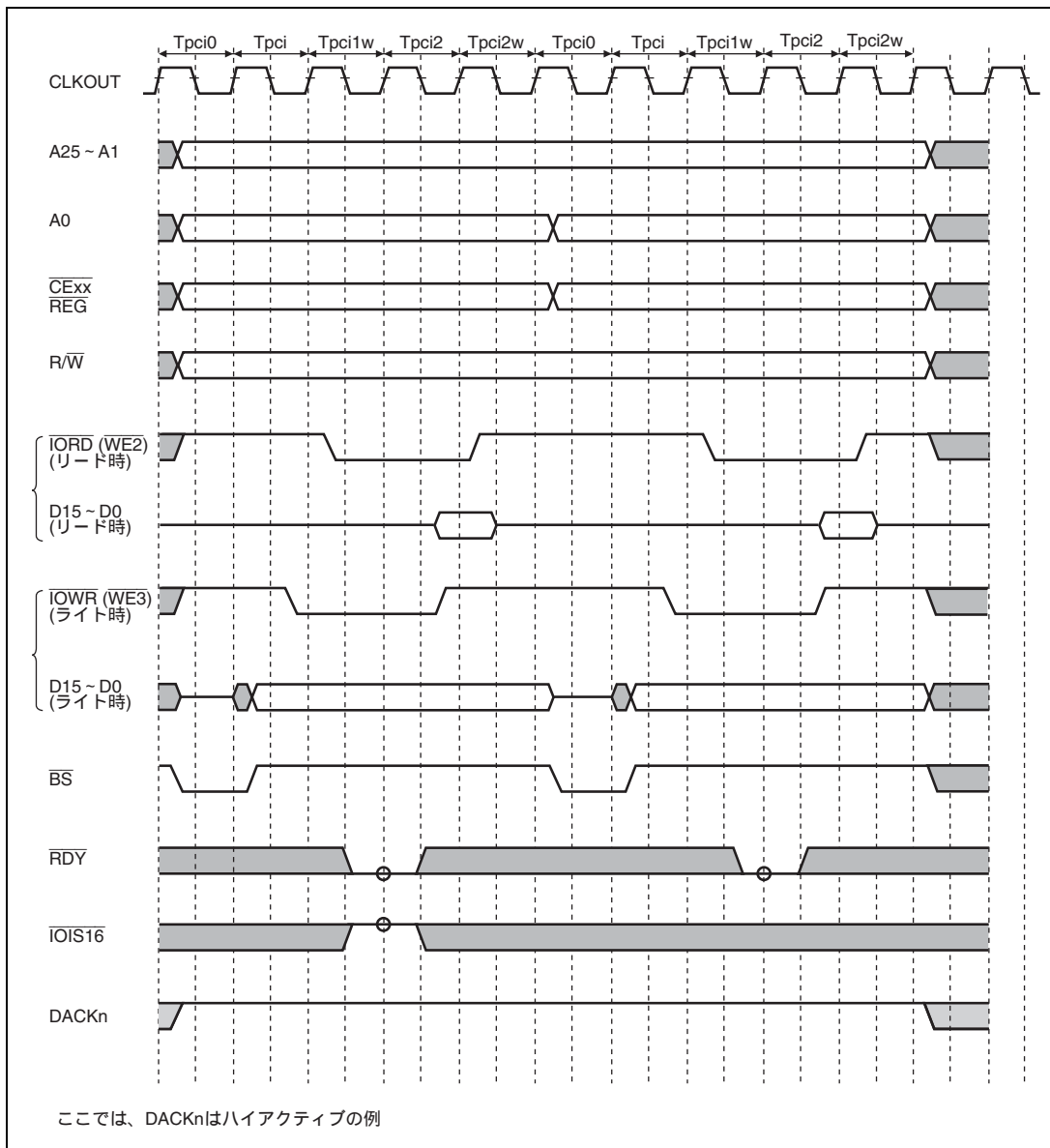


図 11.21 PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング

11.5.6 MPX インタフェース

$\overline{\text{PRESET}}$ 端子によるパワーオンリセット時、MODE6、MODE5、MODE4 端子を 000 に設定すると、エリア 0 は MPX インタフェースが選択されます。CS1BCR ~ CS6BCR の MPX ビットにより、エリア 1 ~ 6 に対して、MPX インタフェースが選択されます。MPX インタフェースは、アドレス / データマルチプレクス形式のバスプロトコルを提供し、アドレス / データマルチプレクス形式の 32 ビットシングルバスを使用した外部メモリコントローラチップとの接続を容易に行えます。バスサイクルはアドレスフェーズとデータフェーズからなり、アドレスフェーズにおいてアドレス情報は D25 ~ D0 に、アクセスサイズは D31 ~ D29 に出力されます。 $\overline{\text{BS}}$ 信号はアドレスフェーズを示すため、1 サイクルアサートされます。 $\overline{\text{CSn}}$ 信号は Tm1 の立ち上がりでアサートされ、データフェーズで最後のデータ転送終了後ネゲートされます。したがって最小ピッチでアクセスする場合、ネゲート期間は生まれません。 $\overline{\text{FRAME}}$ 信号は、Tm1 の立ち上がりでアサートされ、データフェーズで最後のデータ転送のサイクルが開始したときにネゲートされます。そのため、MPX インタフェースに対応する外部デバイスは、アドレスフェーズに出力されたアドレス情報およびアクセスサイズを外部デバイス内に保持し、データフェーズに対応したデータの入出力を行う必要があります。アクセスサイズとデータアライメントについては「11.5.1 エンディアン / アクセスサイズとデータアライメント」を参照してください。

アドレス端子 A25 ~ A0 に出力される値は保証されません。

32 バイト転送時のアクセスアドレスは、32 バイト境界を守り、アクセスデータはすべて有効データとしてアクセスしてください。

32 バイト転送は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対して行われます。この場合のようにアクセスサイズがバス幅よりも大きい場合、アドレスを 1 回出力した後、複数のデータサイクルが続くバーストアクセスが発生します。この途中ではバス権を解放しません。

D31	D30	D29	アクセスサイズ
0	0	0	バイト
		1	ワード
	1	0	ロングワード
		1	使用しません
1	x	x	32 バイトバースト

X : don't care

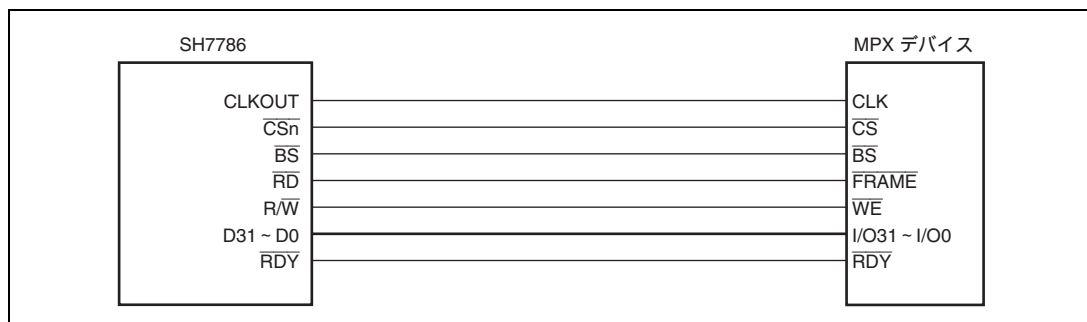


図 11.22 32 ビットデータ幅 MPX の接続例

次に MPX インタフェースタイミングを示します。

エリア 1~6 で MPX インタフェースを使用する場合、CS \bar{n} BCR によるバスサイズ指定は 32 ビットとしてください。

なお、ウェイト制御は CS \bar{n} WCR によるウェイトと R \bar{D} Y 端子によるウェイト挿入が可能です。

リード時は CS \bar{n} WCR を 0 に設定していても、アドレス出力の次に自動的に 1 サイクルのウェイトが挿入されま

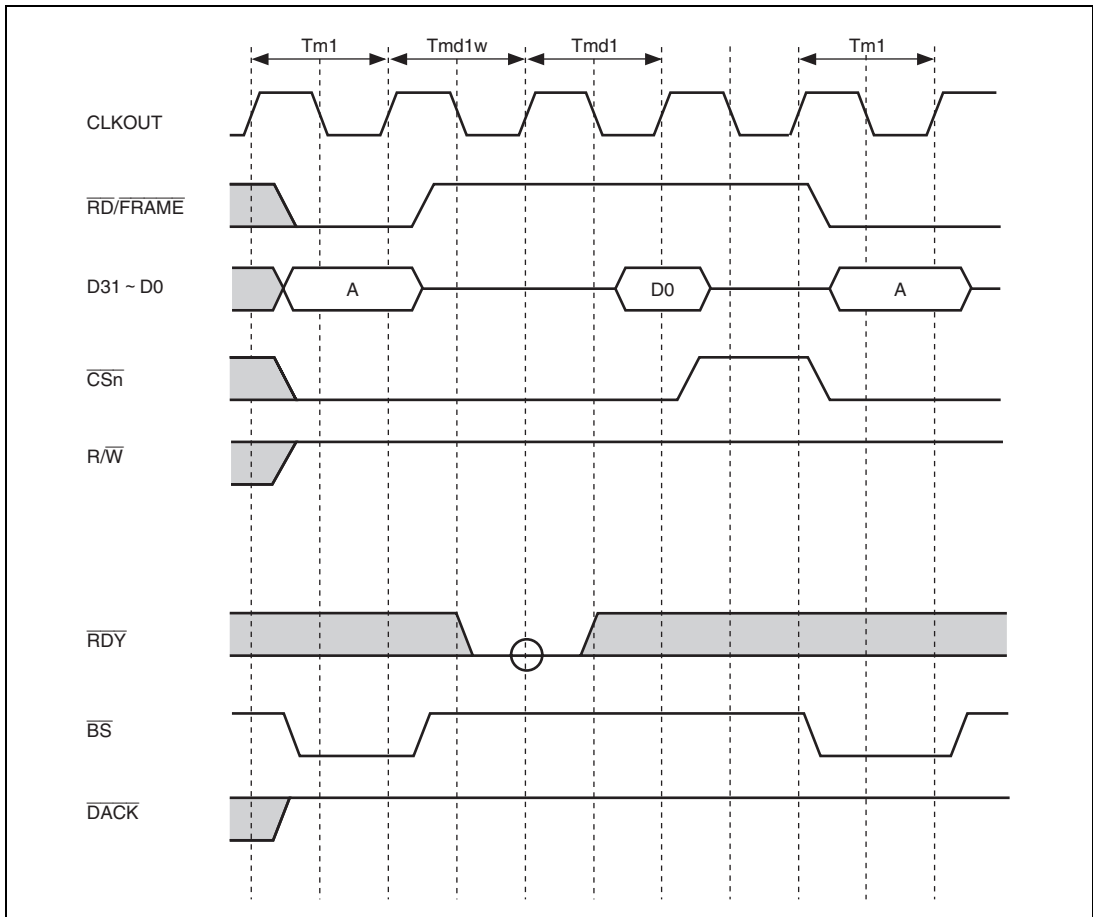


図 11.23 MPX インタフェースタイミング 1 (シングルリードサイクル、IW=0000、外部ウェイトなし、バス幅 32 ビット)

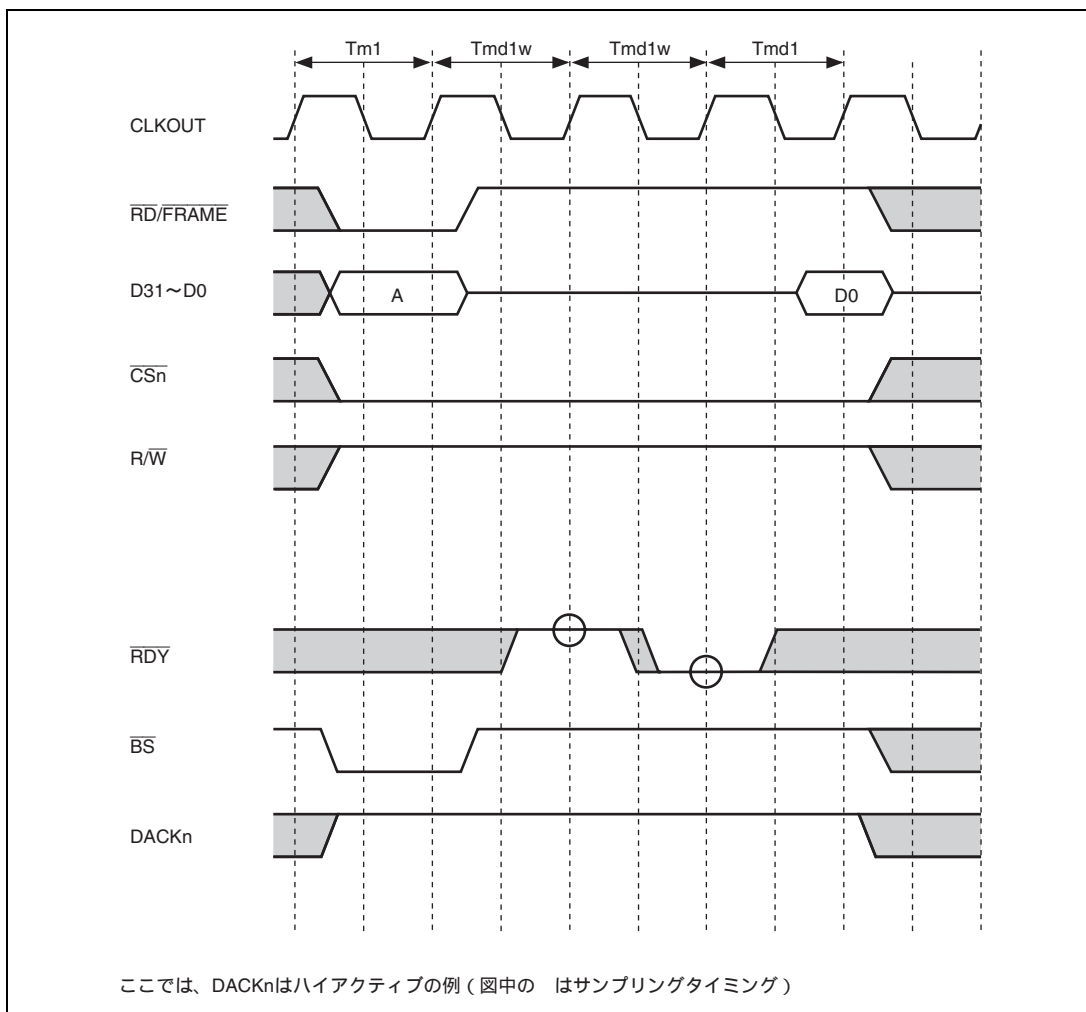


図 11.24 MPX インタフェースタイミング 2 (シングルリード、IW=0000、外部ウェイト 1 挿入、バス幅 32 ビット)

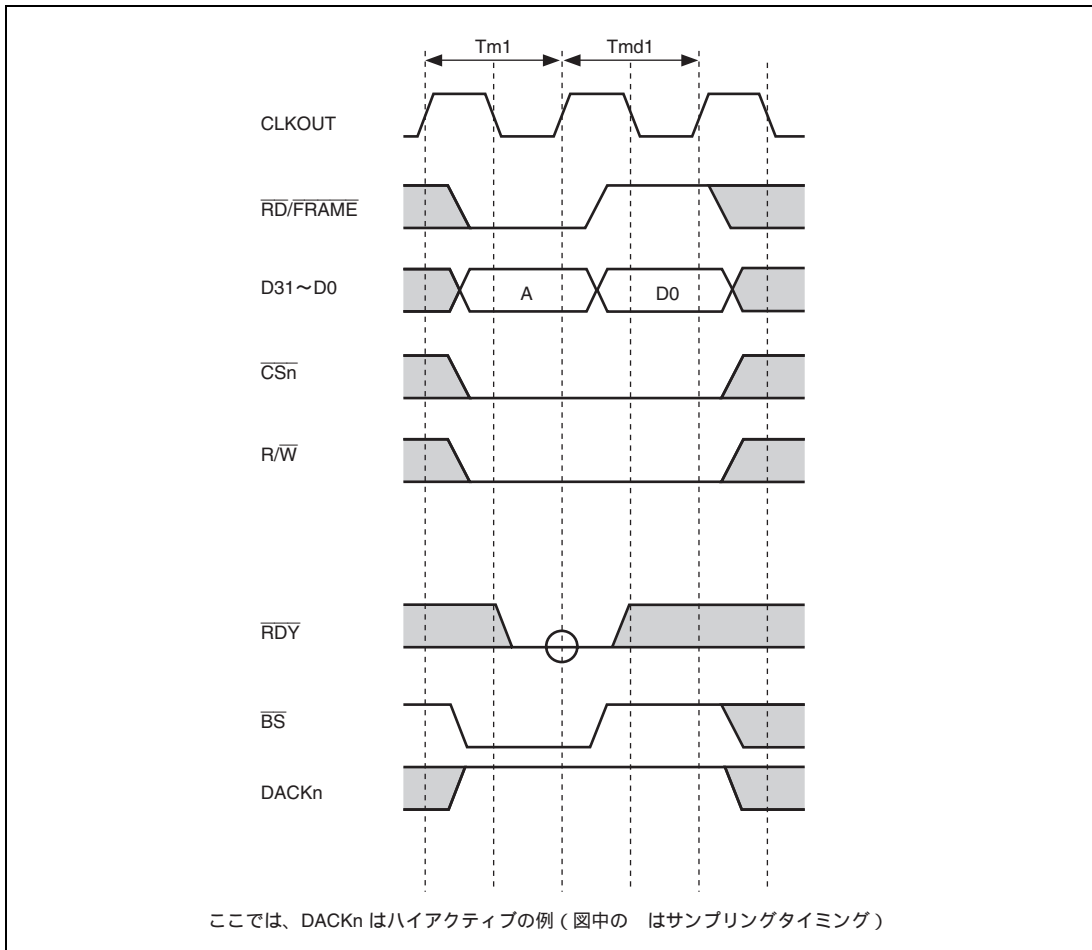


図 11.25 MPX インタフェースタイミング 3 (シングルライトサイクル、IW=0000、外部ウェイトなし、バス幅 32 ビット)

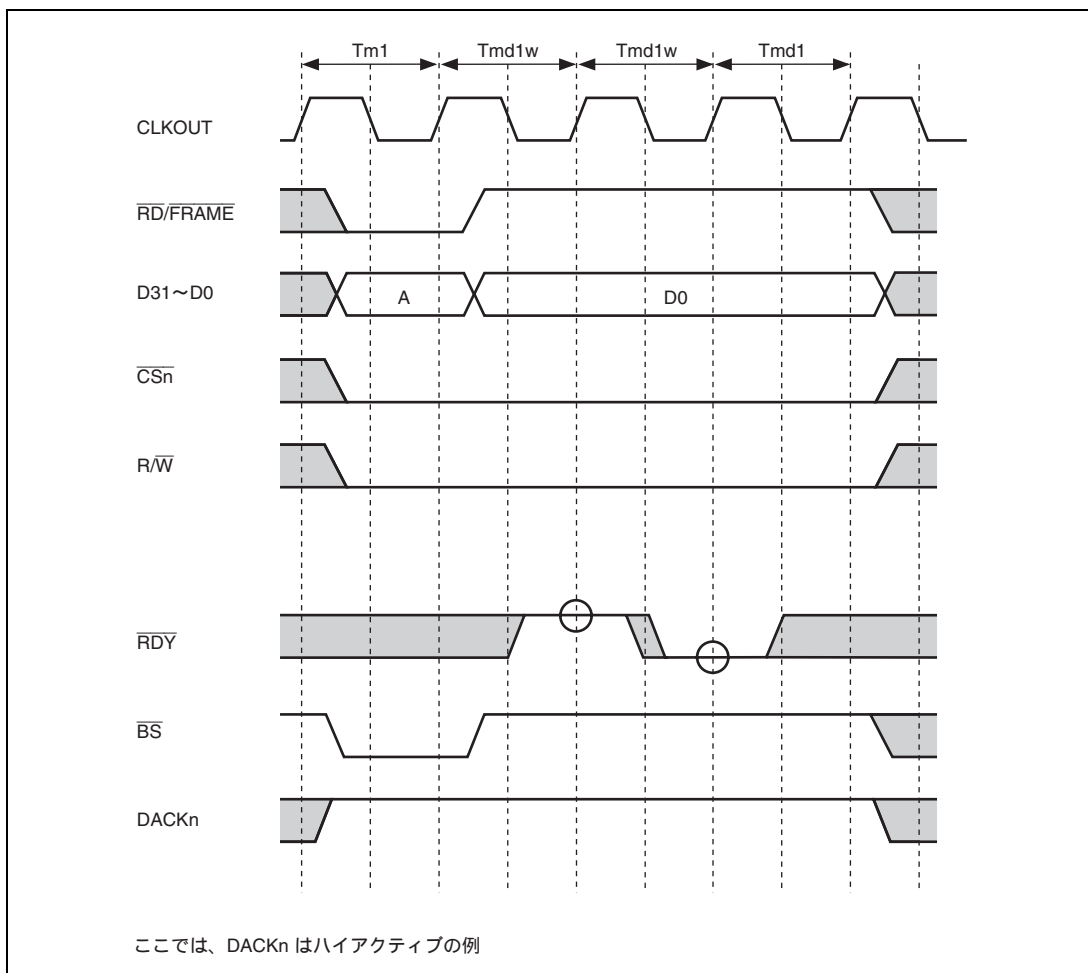


図 11.26 MPX インタフェースタイミング 4 (シングルライト、IW=0001、外部ウェイト 1 挿入、バス幅 32 ビット)

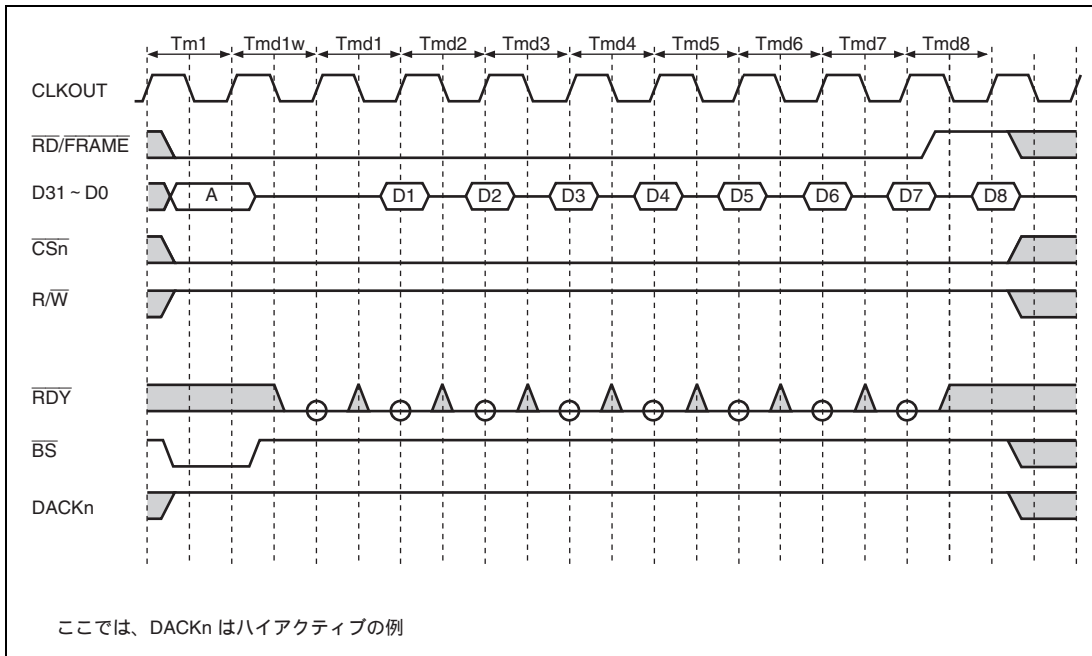


図 11.27 MPX インタフェースタイミング 5 (バーストリードサイクル、IW=0000、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 32 バイト)

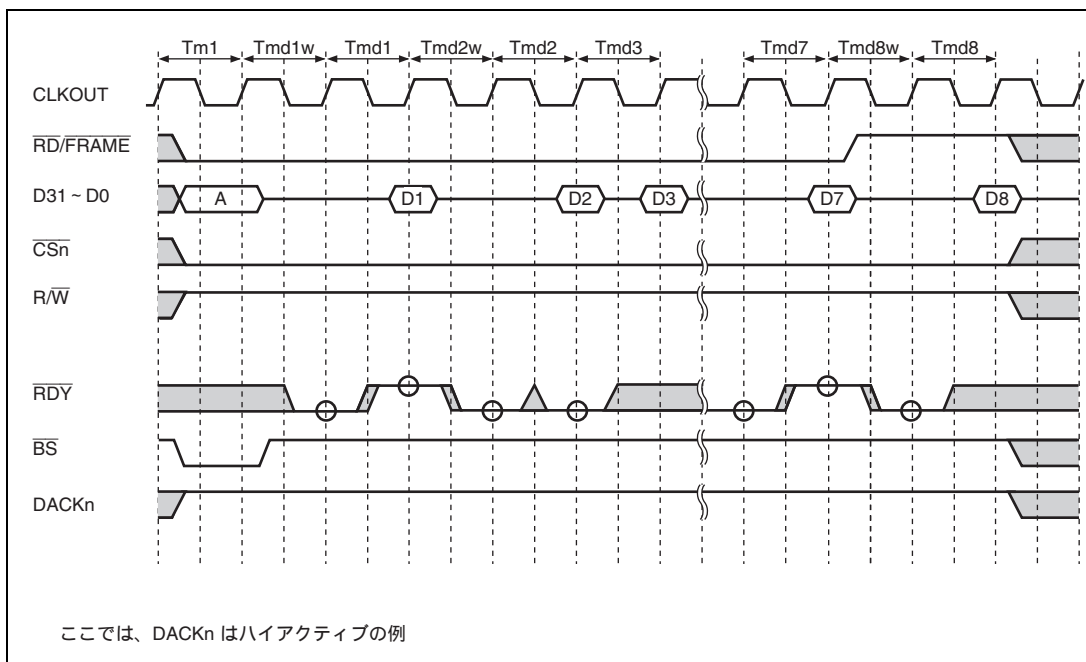


図 11.28 MPX インタフェースタイミング 6 (バーストリードサイクル、IW=0000、外部ウェイト制御、バス幅 32 ビット、転送データサイズ 32 バイト)

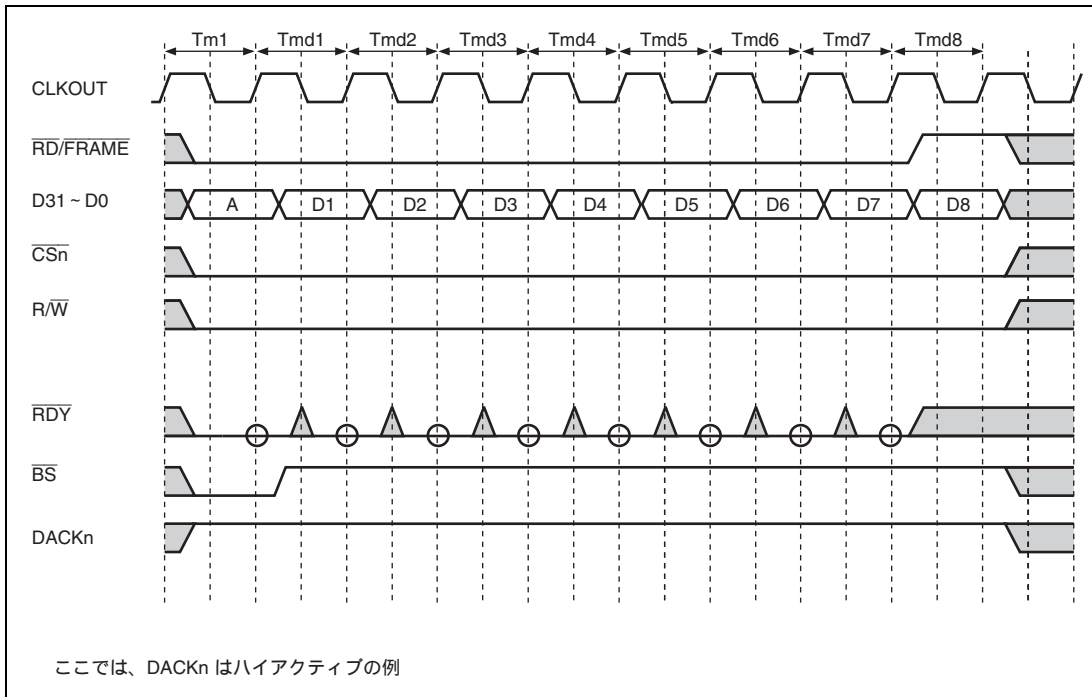


図 11.29 MPX インタフェースタイミング7 (バーストライトサイクル、IW=0000、外部ウェイトなし、バス幅 32 ビット、転送データサイズ 32 バイト)

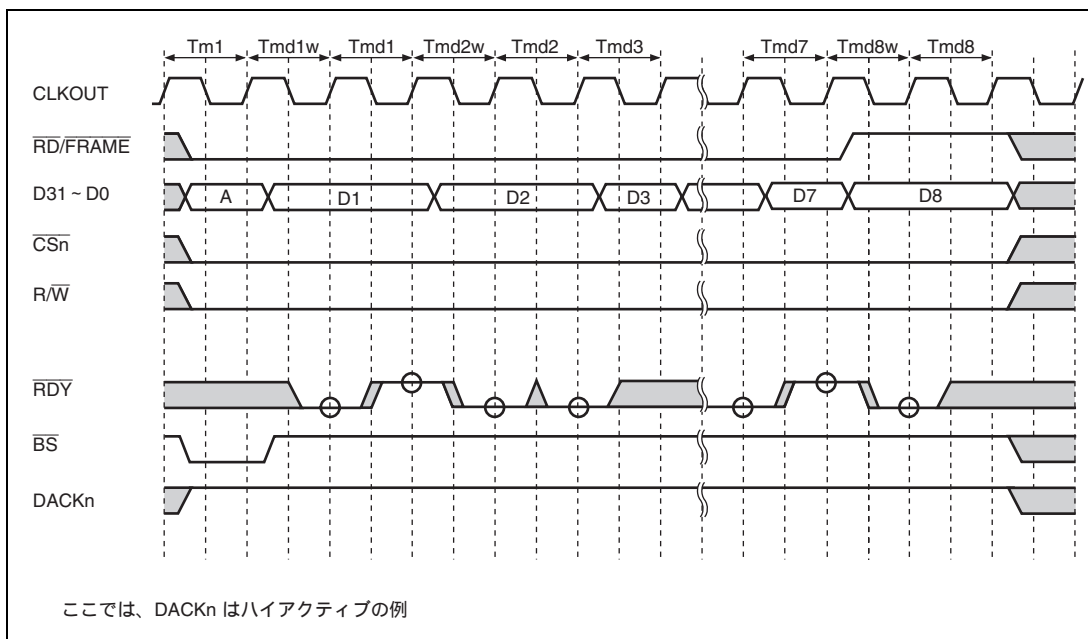


図 11.30 MPX インタフェースタイミング 8 (バーストライトサイクル、IW=0001、外部ウェイト制御、バス幅 32 ビット、転送データサイズ 32 バイト)

11.5.7 バイト制御 SRAM インタフェース

バイト制御 SRAM インタフェースは、リード/ライトいずれのバスサイクルでもバイトセレクトストローブ ($\overline{WE_n}$) を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子をもち、UB あるいは LB のような上位バイトセレクトストローブ、下位バイトセレクトストローブ機能のある SRAM に接続することができます。

エリア 1 および 4 が、バイト制御 SRAM インタフェースに指定できます。

バイト制御 SRAM インタフェースのライトタイミングは、通常の SRAM インタフェースと同じです。

一方、リード動作では、 $\overline{WE_n}$ 端子のタイミングが異なります。リードアクセス時、読み込むバイトの $\overline{WE_n}$ 信号だけがアサートされます。アサートは $\overline{WE_n}$ 信号と同じく、CLKOUT クロックの立ち下がりに同期して行われますが、ネゲートは、CLKOUT の立ち上がりに同期して行われ、これは、 \overline{RD} 信号と同じタイミングになります。

32 バイト転送は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドに行われます。この途中ではバス権を解放しません。

図 11.31 にバイト制御 SRAM の接続例を、図 11.32 ~ 図 11.34 にバイト制御 SRAM のリードサイクル例をそれぞれ示します。

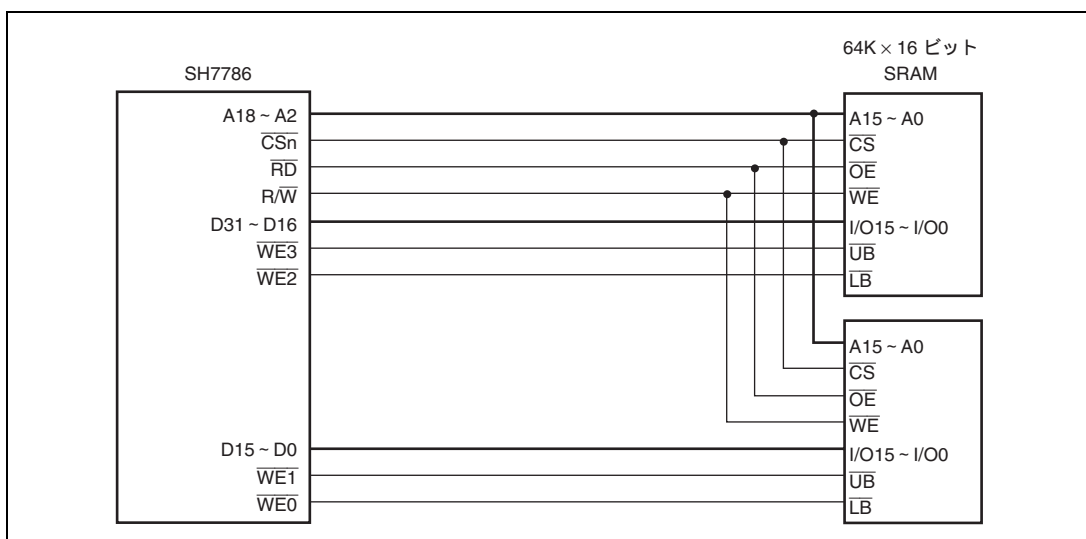


図 11.31 32 ビットデータ幅バイト制御 SRAM の例

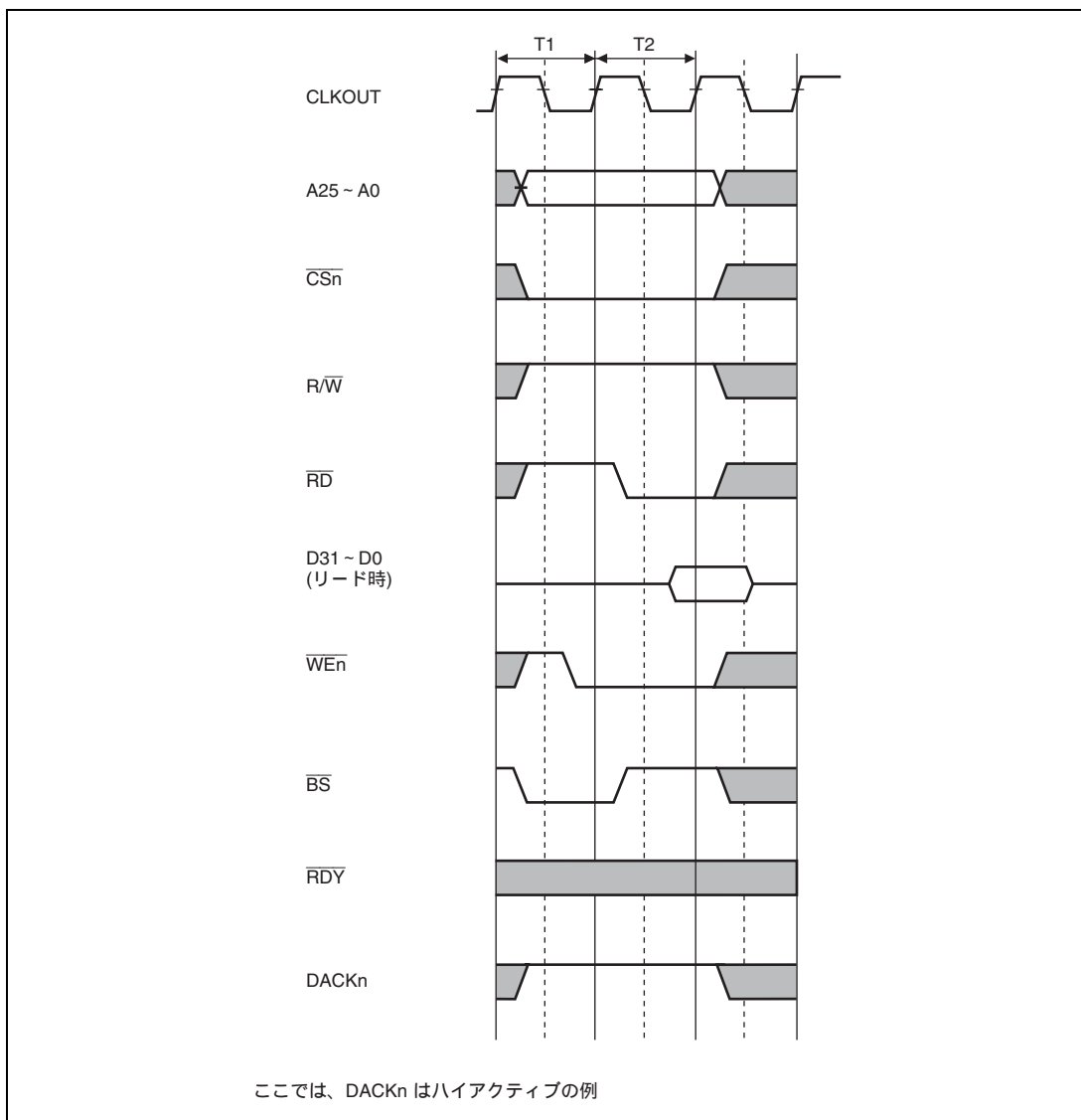


図 11.32 バイト制御 SRAM 基本リードサイクル (ウェイトなし)

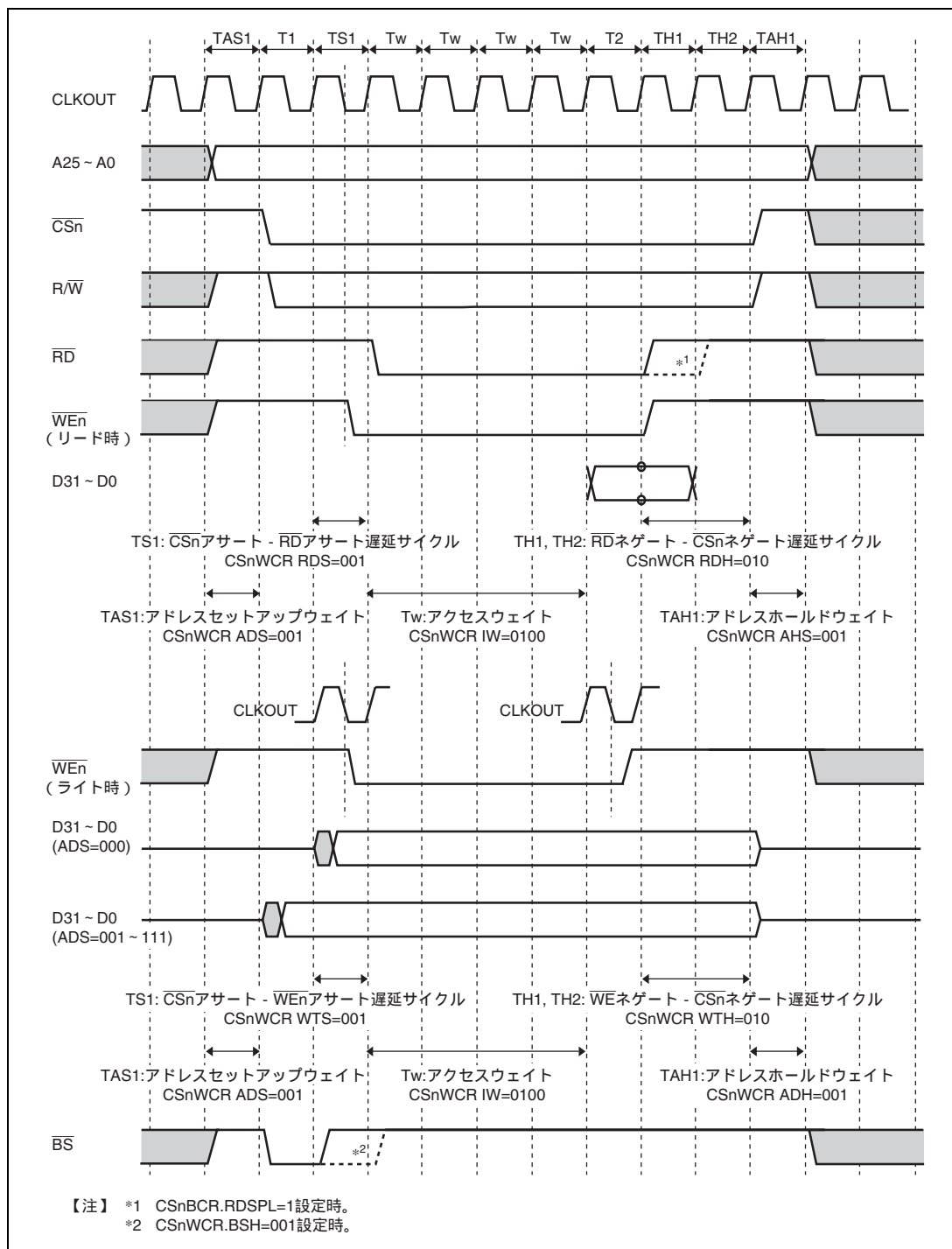


図 11.33 バイト制御 SRAM のウェイトステートタイミング

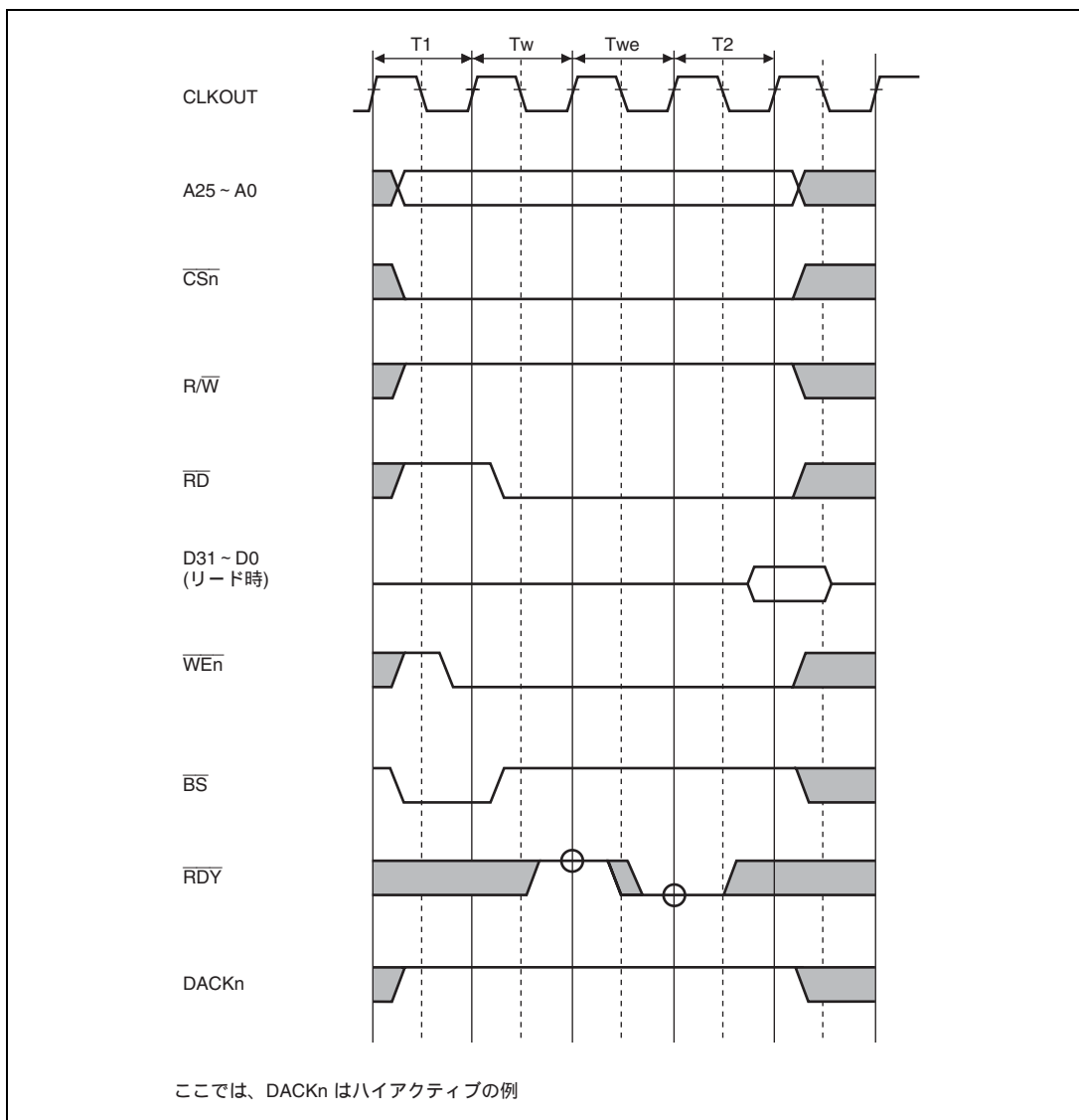


図 11.34 バイト制御 SRAM 基本リードサイクル (内部 1 ウェイト + 外部 1 ウェイト)

11.5.8 アクセスサイクル間ウェイト

外部メモリバスの動作周波数が高くなってきたため、低速なデバイスからの読み出しが完了した際のデータバッファのターンオフが間に合わず、次のアクセスのデータと衝突してデバイスの信頼度を低下させたり、誤動作を引き起こすという事象が起こるようになってきました。これを防止するため、直前のアクセスのエリアと読み出し/書き込みの種類を記憶しておき、次のアクセスを起動する際にバスが衝突する可能性があるケースではアクセスサイクルの前にウェイトサイクルを挿入して、データの衝突を回避する機能を設けました。ウェイトサイクル挿入のケースとしては、「11.4.3 CSn バスコントロールレジスタ (CSnBCR)」に示されるように、アクセスサイクル間にアイドルサイクルが挿入されます。CSnBCR のアクセスサイクル完ウェイト設定ビット IWW、IWWRD、IWWRS、IWRD、IWRRS によって、少なくとも指定されたサイクルを、アイドルサイクルとして挿入します。

バスアービトレーションを行う場合には、アクセスサイクル間ウェイト後、バスが解放されます。

デュアルアドレスモードでの DMA 転送の場合にも、CSnBCR アイドルサイクル設定ビットによって指定された通常のサイクル間ウェイトが挿入されます。

リードアクセス終了後、連続して MPX インタフェースに設定したエリアへのアクセスが起こる場合、アクセスサイクル間ウェイトを 0 に設定していても、1 サイクル挿入します。

また、アクセスサイズが 8 バイトおよび 16 バイトのときは、4 バイトアクセスごとにアクセスサイクル間ウェイトが挿入されます。

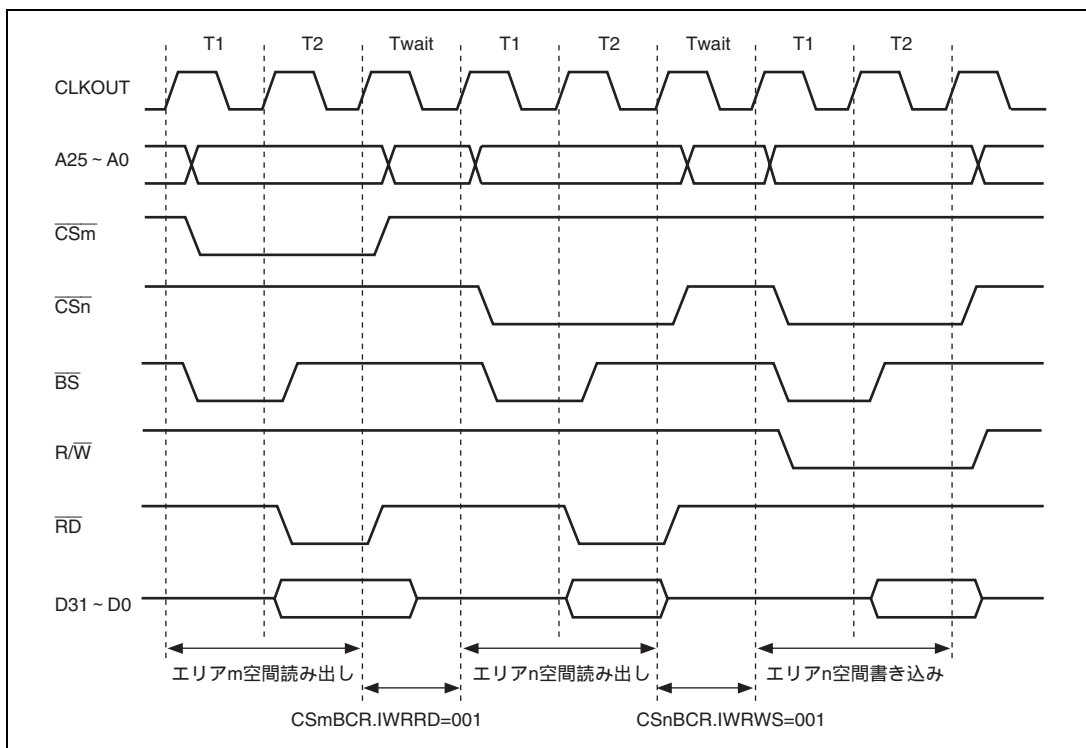


図 11.35 アクセスサイクル間ウェイト (アクセスサイズは 4 バイト)

11.5.9 バスアービトレーション

本 LSI には、外部デバイスからバス権の要求があると、そのデバイスにバス権を与えるバスアービトレーション機能が備わっています。

バスアービトレーションは、定常状態でバス権を有し、他のデバイスからのバス権使用要求を受けてバスの解放を行い、バスの使用許諾を行います。バス権要求を行う外部バスデバイスを接続することができます。以下の説明ではバス権要求を行う外部デバイスをスレーブと呼びます。

本 LSI の内部には CPU0、CPU1、DMAC0、DMAC1、HPB-DMAC、DU、USB、Ether、PCIEC の 9 つのバスマスタがあります。これらに加え、マスタモードのときには外部デバイスからのバス権要求が加わります。同時に要求が発生した場合のバス権要求についての優先順位は、高い方から順に、外部デバイスによるバス権要求、本 LSI 内部のバスマスタの順になり、本 LSI 内部のバスマスタ間の優先順位はラウンドロビンとなります。

マスタとスレーブとの間でバスを受け渡す際、接続されているデバイスの誤動作を防ぐため、バス解放に先立ってすべてのバス制御信号はネゲート状態とします。バス権を受け取る場合にも、バス制御信号はネゲート状態からバスのドライブを開始します。バス権を受け渡すマスタとスレーブで同じ値に信号をドライブするので、出力バッファの衝突は回避できます。

バス権の委譲はバスサイクルの切れ目で行われます。

バス解放要求信号 ($\overline{\text{BREQ}}$) がアサートされると、本 LSI は実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 ($\overline{\text{BACK}}$) を出力します。ただし、データバス幅がアクセスサイズより小さいことによって生じる複数のバスサイクル、たとえば 8 ビットバス幅のメモリにロングワードアクセスを行う場合やキャッシュフィルやライトバックなどの 32 バイト転送の途中でバス権の解放を行いません。また、TAS 命令実行中のリードサイクルとライトサイクルの間にもバス権の解放を行いません。 $\overline{\text{BREQ}}$ がネゲートされると $\overline{\text{BACK}}$ をネゲートし、バスの使用を再開します。

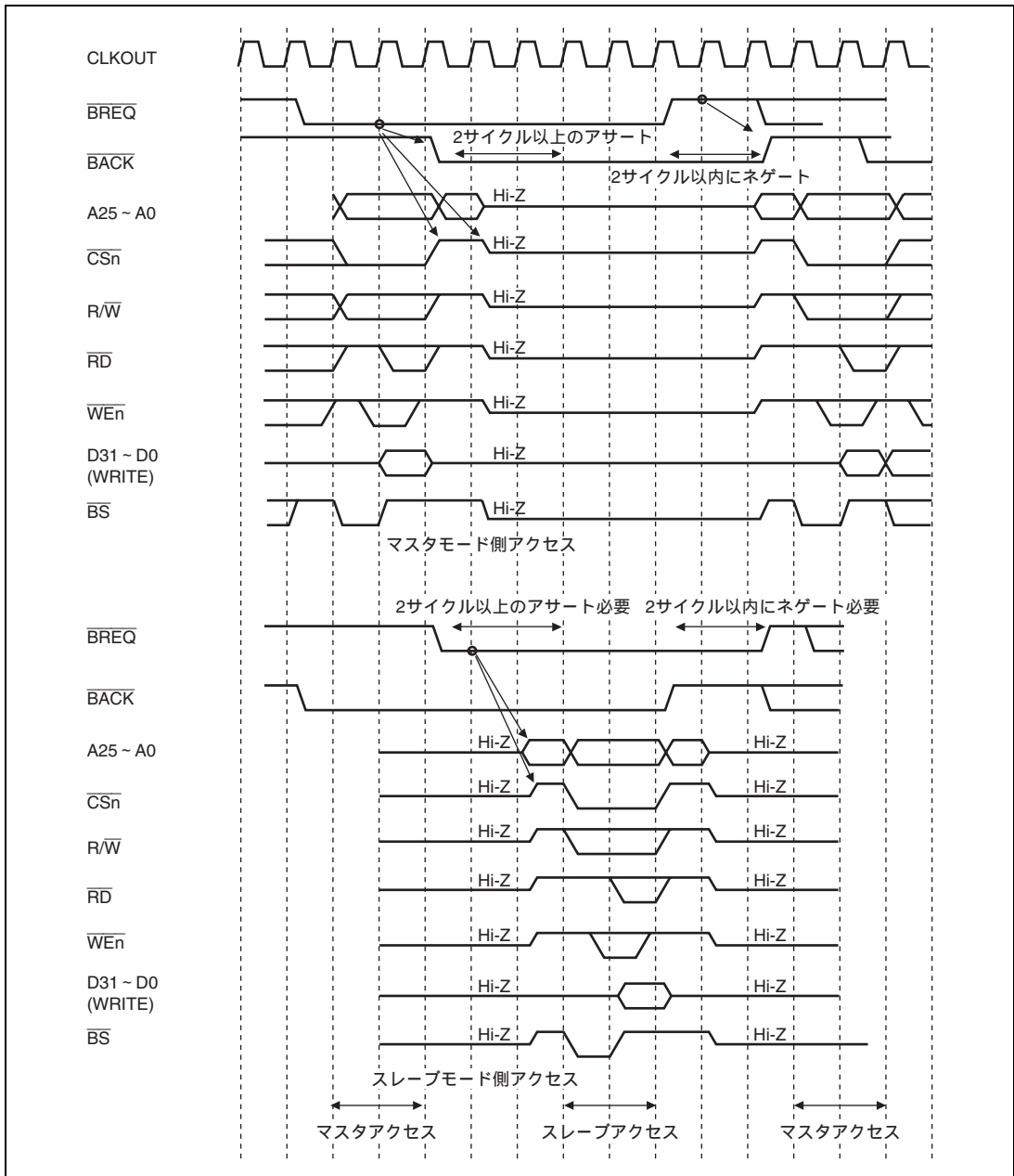


図 11.36 アービトレーションシーケンス

11.5.10 マスタモード

マスタモードのプロセッサは、バス権要求を受けない限り自分でバスを保有しています。

外部からのバス権要求 ($\overline{\text{BREQ}}$) のアサート (ローレベル) を受け、実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 ($\overline{\text{BACK}}$) をアサート (ローレベル) にします。スレーブがバスを解放したことを示す $\overline{\text{BREQ}}$ のネゲート (ハイレベル) を受けて $\overline{\text{BACK}}$ をネゲート (ハイレベル) し、バスの使用を再開します。

バス解放時はバスアービトラーションの $\overline{\text{BACK}}$ 、および DMA 転送を制御する $\overline{\text{DACK0}}$ 、 $\overline{\text{DACK1}}$ 、 $\overline{\text{DACK2}}$ 、 $\overline{\text{DACK3}}$ を除き、バスインタフェースに関連するすべてのバス制御出力信号および入出力信号をハイインピーダンスとします。

具体的なバス解放シーケンスは次のとおりです。まず、 $\overline{\text{BACK}}$ をクロックの立ち上がり同期してアサートします。この $\overline{\text{BACK}}$ アサートの次のクロックの立ち上がり同期してアドレスバスおよびデータバスをハイインピーダンスにします。同時に、バス制御信号 ($\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{WE}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{R}\overline{\text{W}}}$ 、 $\overline{\text{CE2A}}$ 、 $\overline{\text{CE2B}}$) をハイインピーダンスにします。これらのバス制御信号は遅くともハイインピーダンスにする 1 サイクル前にはネゲートされています。バス権要求信号のサンプリングはクロックの立ち上がりで行います。

スレーブからバス権を再獲得するときのシーケンスは次のとおりです。

$\overline{\text{BREQ}}$ のネゲートをクロックの立ち上がりで検出すると、直ちに $\overline{\text{BACK}}$ をネゲートするとともにバス制御信号のドライブを開始します。アドレスバスおよびデータバスのドライブを開始するのも、同相のクロックの立ち上がりです。バス制御信号をアサートしてバスサイクルを実際に開始するのは、最も早い場合にはバス制御信号のドライブを開始した次のクロックの立ち上がりからです。

バス権を再獲得してバスアクセスの実行を開始するためには、2 サイクル以上の $\overline{\text{BREQ}}$ 信号のネゲートが必要です。

【注】 本製品はマスタモード固定のため、スレーブモードはありません。

11.5.11 マスタとスレーブの協調

マスタとスレーブで矛盾なくシステムリソースを制御するために、役割分担をきちんとする必要があります。また、低消費電力を実現するためのスタンバイ動作を行う場合にも分担を行わないといけません。

本 LSI の設計にあたっては初期化、スタンバイ制御などのすべての制御をマスタモードのデバイスが行うように考えてあります。

本 LSI は、パワーオンリセット時に、マスタ指定された場合、 $\overline{\text{BREQ}}$ イネーブルビット (BCR.BREQEN) を 1 に設定するまで、スレーブからのバス権要求を受け付けません。

スレーブ側のプロセッサが使用に先立って初期化が必要なメモリを初期化が完了する前にアクセスしないように、初期化終了後に、 $\overline{\text{BREQ}}$ イネーブルビットに 1 を書き込んでください。

11.5.12 LBSC 以外の機能とマルチプレクスされている端子

LBSC の使用する端子には、汎用入出力ポート (GPIO) や他周辺モジュールの使用する機能とマルチプレクスされているものがあります。LBSC で使用する端子は、GPIO のレジスタにて LBSC 機能に設定してからアクセス開始してください。たとえば、PCMCIA インタフェースを使用する場合は、アクセスを開始する前に、GPIO.P2MSELR と GPIO.PICR にて CE2A、CE2B の機能を有効にする必要があります。

ローカルバスは、外付けの NAND 型フラッシュメモリインタフェースを兼用しています。NAND 型フラッシュメモリ接続エリアは、「26.3.16 ローカルバスエリア選択レジスタ (FLCSLR)」にてエリア設定を行います。FLCSLR レジスタにより設定されたエリアは NAND フラッシュメモリエリアとなり、FLCTL を介したアクセスのみ許容されますので、FLCTL を介さず NAND フラッシュメモリエリアへのアクセスを行うことは禁止です。

11.5.13 $\overline{\text{DACK}}_n$ 出力の分割に関するレジスタ設定

ローカルバス空間に対する DMA1 転送のアクセスサイズがデータバス幅よりも大きい場合、複数のバスサイクルが発生します。複数のバスサイクルが発生し、かつバスサイクル間で $\overline{\text{CS}}$ がネゲートする設定の場合、 $\overline{\text{CS}}$ と同様に $\overline{\text{DACK}}_n$ 出力が分割されます。

DMA1 転送で $\overline{\text{DACK}}_n$ 出力の分割をしない場合、および分割をする場合のレジスタ設定を表 11.14 ~ 表 11.17 に示します。

表 11.14 SRAM/バースト ROM/バイト制御 SRAM インタフェース使用時の DMA1 転送での
DACK_n 出力の分割に関するレジスタ設定

バス幅 [ビット]	DMA 転送の アクセスサイズ	バスサイクル 発生数	分割しない場合		分割する場合
			CSnBCR.IWRRD, IWRRS または IWW	CSnWCR.ADS および ADH	CSnWCR.ADS および ADH
8	バイト	1			分割できません
	ワード	2		B'000	B'111 ~ B'001
	ロングワード	4		B'000	B'111 ~ B'001
	16 バイト	16	B'000	B'000	B'111 ~ B'001
	32 バイト	32		B'000	B'111 ~ B'001
16	バイト	1			分割できません
	ワード	1			分割できません
	ロングワード	2		B'000	B'111 ~ B'001
	16 バイト	8	B'000	B'000	B'111 ~ B'001
	32 バイト	16		B'000	B'111 ~ B'001
32	バイト	1			分割できません
	ワード	1			分割できません
	ロングワード	1			分割できません
	16 バイト	4	B'000	B'000	B'111 ~ B'001
	32 バイト	8		B'000	B'111 ~ B'001

【注】 表中の「-」は任意の設定値です。またバスサイクル発生数が1のときは、DMA1 転送の DACK_n 出力が1回なので分割できません。

表 11.15 PCMCIA インタフェース使用時に DMA1 転送での \overline{DACKn} 出力の分割に関するレジスタ設定

バス幅 [ビット]	アクセスサイズ	バスサイクル 発生数	分割しない場合	分割する場合
			CnSnBCR.IWRRD, IWRRS または IWW	CnSnBCR.IWRRD, IWRRS または IWW
8	バイト	1		分割できません
	ワード	2		分割できません* ¹
	ロングワード	4		分割できません* ¹
	16 バイト	16	B'000	B'111 ~ B'001* ²
	32 バイト	32		分割できません* ¹
16	バイト	1		分割できません
	ワード	1		分割できません
	ロングワード	2		分割できません* ¹
	16 バイト	8	B'000	B'111 ~ B'001* ²
	32 バイト	16		分割できません* ¹

【注】 表中の「-」は任意の設定値です。またバスサイクル発生数が1のときは、DMA1 転送の \overline{DACKn} 出力が1回なので分割できません。

*1 複数のバスサイクルが発生しますが分割できません。

*2 ロングワード単位でのみ分割します。

表 11.16 MPX インタフェース使用のリードアクセス時に DMA1 転送での
DACK_n 出力の分割に関するレジスタ設定

バス幅 [ビット]	アクセスサイズ	バスサイクル 発生数	分割しない場合	分割する場合
			CSnBCR.IWRRD, または IWRRS	CSnBCR.IWRRD, または IWRRS
32	バイト	1		分割できません
	ワード	1		分割できません
	ロングワード	1		分割できません
	16 バイト	4	必ず分割します	
	32 バイト	1		分割できません

【注】 表中の「-」は任意の設定値です。またバスサイクル発生数が1のときは、DMA1 転送の DACK_n 出力が1回なので分割できません。

表 11.17 MPX インタフェース使用のライトアクセス時に DMA1 転送での
DACK_n 出力の分割に関するレジスタ設定

バス幅 [ビット]	アクセスサイズ	バスサイクル 発生数	分割しない場合		分割する場合
			CSnBCR.IWW	CSnWCR.IW[1:0]	CSnBCR.IWW
32	バイト	1			分割できません
	ワード	1			分割できません
	ロングワード	1			分割できません
	16 バイト	4	B'000	B'11 ~ B'01	B'111 ~ B'001
	32 バイト	1			分割できません

【注】 表中の「-」は任意の設定値です。またバスサイクル発生数が1のときは、DMA1 転送の DACK_n 出力が1回なので分割できません。

12. DDR3-SDRAM インタフェース (DBSC3)

DDR3-SDRAM インタフェース (DBSC3) は、DDR3-SDRAM の制御を行うインタフェースです。

12.1 特長

- 32ビットの外部データバス幅をサポート
- DDR3-1066 (コントローラ動作533MHz) をサポート
- SuperHywayクロックとDDRクロック比は1:1をサポート
- SuperHywayとのインタフェースのためのキューを搭載
- 端子によるパワーオンリセット時にビッグ/リトルエンディアン切り替え可能
- 8バンクDDR3-SDRAMに対応(8バンクのマルチバンクオペレーションに対応)
- バースト長は8、シーケンシャルモードをサポート
- Additive Latency (AL) は0のみサポート
- セルフリフレッシュをサポート
- 電源バックアップモードをサポート
- 対応可能なメモリ品のアドレス × ビット幅 (bit) は下記のとおりです。

詳細は表12.11 ~ 12.14を参照してください。

DDR3-SDRAMデータバス幅：32ビット

- 512M bit (32M×16bit) 2個並列接続 (合計容量 128M byte)
- 512M bit (64M×8bit) 4個並列接続 (合計容量 256M byte)
- 1G bit (64M×16bit) 2個並列接続 (合計容量 256M byte)
- 1G bit (128M×8bit) 4個並列接続 (合計容量 512M byte)
- 2G bit (128M×16bit) 2個並列接続 (合計容量 512M byte)
- 2G bit (256M×8bit) 4個並列接続 (合計容量 1G byte)
- 4G bit (256M×16bit) 2個並列接続 (合計容量 1G byte)
- 4G bit (512M×8bit) 4個並列接続 (合計容量 2G byte)

図 12.1 に DBSC3 のブロック図を示します。

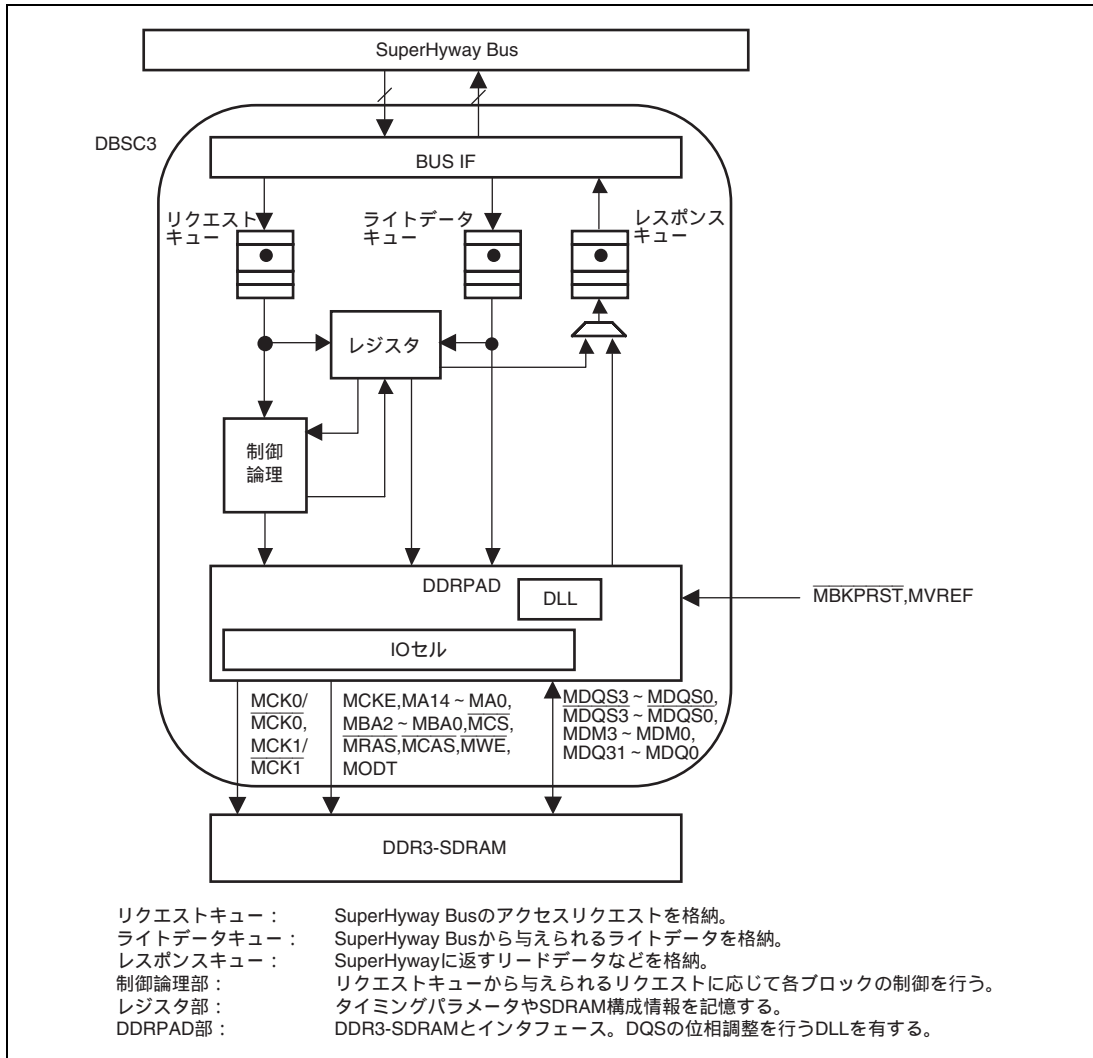


図 12.1 DBSC3 ブロック図

12.2 入出力端子

表 12.1 に DBSC3 の端子構成を記載します。

表 12.1 DBSC3 端子構成

端子名	機能	入出力	説明
MCK0	DDR3-SDRAM クロック 0	出力	DDR3-SDRAM 用クロック出力
$\overline{\text{MCK0}}$	DDR3-SDRAM クロック 0	出力	DDR3-SDRAM 用クロック出力 MCK0 の反転クロック出力
MCK1	DDR3-SDRAM クロック 1	出力	DDR3-SDRAM 用クロック出力
$\overline{\text{MCK1}}$	DDR3-SDRAM クロック 1	出力	DDR3-SDRAM 用クロック出力 MCK1 の反転クロック出力
MCKE0 ~ MCKE1	クロックイネーブル	出力	クロックイネーブル出力信号
$\overline{\text{MCS0}} \sim \overline{\text{MCS1}}$	チップセレクト	出力	チップセレクト出力信号
MWE	ライトイネーブル	出力	ライトイネーブル出力信号
$\overline{\text{MRAS}}$	ロウアドレスストロープ	出力	ロウアドレスストロープ出力信号
$\overline{\text{MCAS}}$	カラムアドレスストロープ	出力	カラムアドレスストロープ出力信号
MA15 ~ MA0	アドレス	出力	アドレス出力信号
MBA2 ~ MBA0	バンクアクティブ	出力	バンクアドレス出力信号
MDQ31 ~ MDQ0	データ	入出力	データ入出力信号
MDQS3 ~ MDQS0	入力/出力データストロープ	入出力	データストロープ入出力信号
$\overline{\text{MDQS3}} \sim \overline{\text{MDQS0}}$	入力/出力データストロープ	入出力	データストロープ入出力信号 MDQS3 ~ MDQ0 の反転
MDM3 ~ MDM0	データマスク	出力	データマスク出力信号
MODT0 ~ MODT1	ODT イネーブル	出力	SDRAM 内の ODT のイネーブル出力信号
MRESET	リセット	出力	DDR3-SDRAM 用リセット出力
MBKPRST	電源バックアップリセット	入力	電源バックアップモードで使用します。本端子がローレベルのとき、CKE をローレベルにします
SDBUP	電源バックアップモード	入力	電源立ち上げ時に MRESET をローレベルに固定するために使用。通常動作時および DDR バックアップモード時は本端子をハイレベルに保持する必要があります
MVREF	リファレンス電圧入力	-	入力基準電圧
MZQ	インピーダンスマッチング	-	インピーダンスマッチング

SDRAM 動作クロック MCK0、 $\overline{\text{MCK0}}$ 、MCK1、 $\overline{\text{MCK1}}$ の周波数は DDR クロックの周波数と同じです。

MDQ7 ~ MDQ0 は MDQS0 と MDM0、MDQ15 ~ MDQ8 は MDQS1 と MDM1、MDQ23 ~ MDQ16 は MDQS2 と MDM2、MDQ31 ~ MDQ24 は MDQS3 と MDM3 に対応しています。

表 12.2 に外部バス幅 32 ビット設定時、2Gbit 品 (256M×8bit) を合計 4 個接続した例を示します。コマンド系 (MCKE、MWE、MCS、MRAS、MCAS、MA14～MA0、MBA2～MBA0) の信号には 4 個共通に接続します。データ系 (MDQ31～MDQ0、MDQS3～MDQS0、MDQS3～MDQS0、MDM3～MDM0) は、8 ビット分単位でメモリに接続します。クロック MCK1、MCK1 はデータ系の上位側 (MDQ31～MDQ16、MDQS3、MDQS2、MDQS3、MDQS2、MDM3、MDM2) に接続しているメモリに接続し、MCK0、MCK0 は下位側 (MDQ15～MDQ0、MDQS1、MDQS0、MDQS1、MDQS0、MDM1、MDM0) に接続します。アドレス端子は、MA14 から MA0 まで順に SDRAM のアドレス端子に順番に入れ替えることなく接続する必要があります。

なお、使用しない端子は何も接続しないでください。

表 12.2 メモリ接続例 (2Gbit 品 : 256M×8bit 使用時)

	MCK1, MCK1, MCS1, MCKE1, MODT1	MCK0, MCK0, MCS0, MCKE0, MODT0	MRAS, MCAS, MWE, MA14～MA0, MBA2～MBA0	MDQ31～ MDQ24, MDQS3, MDQS3, MDM3	MDQ23～ MDQ16, MDQS2, MDQS2, MDM2	MDQ15～ MDQ8, MDQS1, MDQS1, MDM1	MDQ7～ MDQ0, MDQS0, MDQS0, MDM0
メモリ#1	接続*1		接続*2	接続*3			
メモリ#2	接続*1		接続*2		接続*4		
メモリ#3		接続*1	接続*2			接続*5	
メモリ#4		接続*1	接続*2				接続*6

【注】 *1 メモリとの接続は下記のように行います。

メモリ#1,2 端子名	SH7786 端子名	メモリ#3,4 端子名	SH7786 端子名
CK	MCK1	CK	MCK0
CK	MCK1	CK	MCK0
CS	MCS1	CS	MCS0
ODT	MODT1	ODT	MODT0
CKE	MCKE1	CKE	MCK0

*2 メモリとの接続は下記のように行います。

メモリ#1,2,3,4 端子名	SH7786 端子名	メモリ#1,2,3,4 端子名	SH7786 端子名
RAS	MRAS	A7	MA7
CAS	MCAS	A6	MA6
WE	MWE	A5	MA5
A15	MA15	A4	MA4
A14	MA14	A3	MA3
A13	MA13	A2	MA2
A12	MA12	A1	MA1
A11	MA11	A0	MA0
A10	MA10	BA2	MBA2

メモリ#1,2,3,4 端子名	SH7786 端子名	メモリ#1,2,3,4 端子名	SH7786 端子名
A9	MA9	BA1	MBA1
A8	MA8	BA0	MBA0

*3 メモリとの接続は下記のように行います。

メモリ#1 端子名	SH7786 端子名
DQS	MDQS3
$\overline{\text{DQS}}$	$\overline{\text{MDQS3}}$
DM	MDM3
DQ7	MDQ31
DQ6	MDQ30
DQ5	MDQ29
DQ4	MDQ28
DQ3	MDQ27
DQ2	MDQ26
DQ1	MDQ25
DQ0	MDQ24

*4 メモリとの接続は下記のように行います。

メモリ#2 端子名	SH7786 端子名
DQS	MDQS2
$\overline{\text{DQS}}$	$\overline{\text{MDQS2}}$
DM	MDM2
DQ7	MDQ23
DQ6	MDQ22
DQ5	MDQ21
DQ4	MDQ20
DQ3	MDQ19
DQ2	MDQ18
DQ1	MDQ17
DQ0	MDQ16

*5 メモリとの接続は下記のように行います。

メモリ#3 端子名	SH7786 端子名
DQS	MDQS1
$\overline{\text{DQS}}$	$\overline{\text{MDQS1}}$
DM	MDM1
DQ7	MDQ15
DQ6	MDQ14
DQ5	MDQ13
DQ4	MDQ12
DQ3	MDQ11
DQ2	MDQ10
DQ1	MDQ9
DQ0	MDQ8

*6 メモリとの接続は下記のように行います。

メモリ#4 端子名	SH7786 端子名
DQS	MDQS0
$\overline{\text{DQS}}$	$\overline{\text{MDQS0}}$
DM	MDM0
DQ7	MDQ7
DQ6	MDQ6
DQ5	MDQ5
DQ4	MDQ4
DQ3	MDQ3
DQ2	MDQ2
DQ1	MDQ1
DQ0	MDQ0

12.3 データアライメント

12.3.1 DDR3-SDRAM でのデータアライメント

本メモリコントローラは、DDR3-SDRAM をバースト長 8 でアクセス (図 12.2) するため、表 12.3 にあるようにアクセスサイズに応じて、不要なリードデータは読み捨て、ライト時にはデータマスク信号を使いデータをマスクしています。たとえばリトルエンディアン時、アドレス $8n+0,1,2,3$ のバイトアクセスが生じた場合には、2 回目 (DQS の fall edge に対応) に有効データが存在することになります。

表 12.4、表 12.5 に、外部バス上のデータの対応関係をアクセスサイズに応じて示します。

エンディアン切り替えは、パワーオンリセット時に外部端子 MODE8 の切り替えにより設定します。

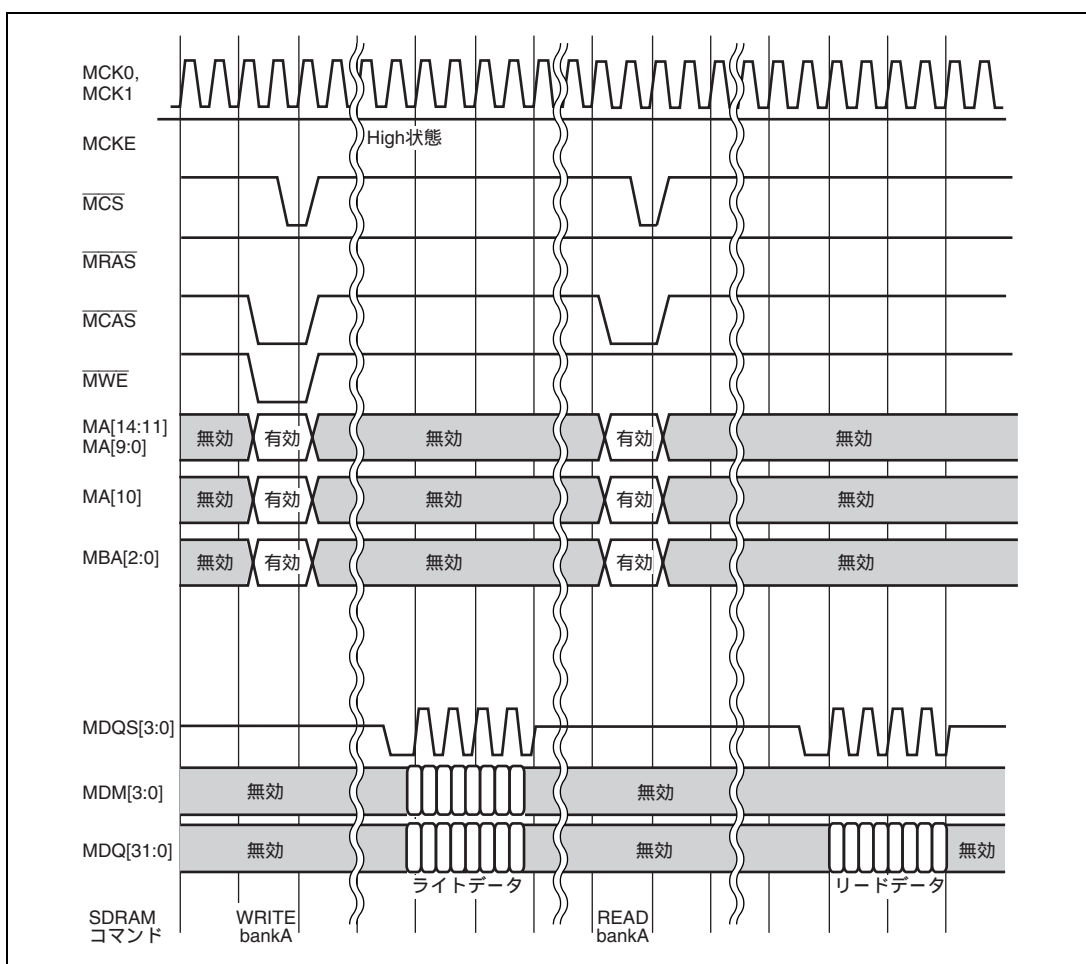


図 12.2 バーストアクセス動作

表 12.3 バースト長 8 のアクセス内で有効なデータが存在する位置

リトルエンディアン時	1 回目	2 回目	3 回目	4 回目	5 回目	6 回目	7 回目	8 回目
バイトアクセス (アドレス $8n+0,1,2,3$)	無効	有効	無効	無効	無効	無効	無効	無効
バイトアクセス (アドレス $8n+4,5,6,7$)	有効	無効	無効	無効	無効	無効	無効	無効
ワードアクセス (アドレス $8n+0,2$)	無効	有効	無効	無効	無効	無効	無効	無効
ワードアクセス (アドレス $8n+4,6$)	有効	無効	無効	無効	無効	無効	無効	無効
ロングワードアクセス (アドレス $8n+0$)	無効	有効	無効	無効	無効	無効	無効	無効
ロングワードアクセス (アドレス $8n+4$)	有効	無効	無効	無効	無効	無効	無効	無効
クワッドワードアクセス (アドレス $8n+0$)	有効	有効	無効	無効	無効	無効	無効	無効

ビッグエンディアン時	1 回目	2 回目	3 回目	4 回目	5 回目	6 回目	7 回目	8 回目
バイトアクセス (アドレス $8n+0,1,2,3$)	有効	無効	無効	無効	無効	無効	無効	無効
バイトアクセス (アドレス $8n+4,5,6,7$)	無効	有効	無効	無効	無効	無効	無効	無効
ワードアクセス (アドレス $8n+0,2$)	有効	無効	無効	無効	無効	無効	無効	無効
ワードアクセス (アドレス $8n+4,6$)	無効	有効	無効	無効	無効	無効	無効	無効
ロングワードアクセス (アドレス $8n+0$)	有効	無効	無効	無効	無効	無効	無効	無効
ロングワードアクセス (アドレス $8n+4$)	無効	有効	無効	無効	無効	無効	無効	無効
クワッドワードアクセス (アドレス $8n+0$)	有効	有効	無効	無効	無効	無効	無効	無効

表 12.4 リトルエンディアンのアクセスとデータアライメント

アクセスサイズ	アドレス	MDQ31~24	MDQ23~16	MDQ15~8	MDQ7~0
バイト	0 番地				データ 7~0
	1 番地			データ 7~0	
	2 番地		データ 7~0		
	3 番地	データ 7~0			
	4 番地				データ 7~0
	5 番地			データ 7~0	
	6 番地		データ 7~0		
	7 番地	データ 7~0			
ワード	0 番地			データ 15~8	データ 7~0
	2 番地	データ 15~8	データ 7~0		
	4 番地			データ 15~8	データ 7~0
	6 番地	データ 15~8	データ 7~0		
ロングワード	0 番地	データ 31~24	データ 23~16	データ 15~8	データ 7~0
	4 番地	データ 31~24	データ 23~16	データ 15~8	データ 7~0
クワッドワード	0 番地 (1 回目 : 4 番地)	データ 63~56	データ 55~48	データ 47~40	データ 39~32
	0 番地 (2 回目 : 0 番地)	データ 31~24	データ 23~16	データ 15~8	データ 7~0

表 12.5 ビッグエンディアンのアクセスとデータアライメント

アクセスサイズ	アドレス	MDQ31~24	MDQ23~16	MDQ15~8	MDQ7~0
バイト	0 番地	データ 7~0			
	1 番地		データ 7~0		
	2 番地			データ 7~0	
	3 番地				データ 7~0
	4 番地	データ 7~0			
	5 番地		データ 7~0		
	6 番地			データ 7~0	
	7 番地				データ 7~0
ワード	0 番地	データ 15~8	データ 7~0		
	2 番地			データ 15~8	データ 7~0
	4 番地	データ 15~8	データ 7~0		
	6 番地			データ 15~8	データ 7~0
ロングワード	0 番地	データ 31~24	データ 23~16	データ 15~8	データ 7~0
	4 番地	データ 31~24	データ 23~16	データ 15~8	データ 7~0
クワッドワード	0 番地 (1 回目 : 0 番地)	データ 63~56	データ 55~48	データ 47~40	データ 39~32
	0 番地 (2 回目 : 4 番地)	データ 31~24	データ 23~16	データ 15~8	データ 7~0

12.4 レジスタの説明

DBSC3 のレジスタ構成を表 12.6 に、各処理モードにおけるレジスタの状態を表 12.7 に示します。

レジスタのビット幅は 32 ビットで、ロングワードサイズ (32 ビット) でアクセスしてください。ロングワードサイズ以外でレジスタアクセスを行った場合の動作は保証しません。

DBSC3 のレジスタ領域は、アドレスで H'FFA0 0000 ~ H'FFBF FFFF ですが、表 12.6 に示したレジスタ以外をアクセスした場合の動作は保証しません。

表 12.6 DBSC3 レジスタ構成

レジスタ名	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ (bit)	同期 クロック
DBSC3 ステータスレジスタ	DBSTATE	R	H'FFA0 000C	H'1FA0 000C	32	SHck
SDRAM アクセス許可レジスタ	DBACEN	R/W	H'FFA0 0010	H'1FA0 0010	32	SHck
自動リフレッシュ許可レジスタ	DBRFEN	R/W	H'FFA0 0014	H'1FA0 0014	32	SHck
手動コマンド発行レジスタ	DBCMD	R/W	H'FFA0 0018	H'1FA0 0018	32	SHck
操作完了待ちレジスタ	DBWAIT	R/W	H'FFA0 001C	H'1FA0 001C	32	SHck
SDRAM 種類設定レジスタ	DBKIND	R/W	H'FFA0 0020	H'1FA0 0020	32	SHck
SDRAM 構成設定レジスタ	DBCONF	R/W	H'FFA0 0024	H'1FA0 0024	32	SHck
SDRAM タイミングレジスタ 0	DBTR0	R/W	H'FFA0 0040	H'1FA0 0040	32	SHck
SDRAM タイミングレジスタ 1	DBTR1	R/W	H'FFA0 0044	H'1FA0 0044	32	SHck
SDRAM タイミングレジスタ 2	DBTR2	R/W	H'FFA0 0048	H'1FA0 0048	32	SHck
SDRAM タイミングレジスタ 3	DBTR3	R/W	H'FFA0 0050	H'1FA0 0050	32	SHck
SDRAM タイミングレジスタ 4	DBTR4	R/W	H'FFA0 0054	H'1FA0 0054	32	SHck
SDRAM タイミングレジスタ 5	DBTR5	R/W	H'FFA0 0058	H'1FA0 0058	32	SHck
SDRAM タイミングレジスタ 6	DBTR6	R/W	H'FFA0 005C	H'1FA0 005C	32	SHck
SDRAM タイミングレジスタ 7	DBTR7	R/W	H'FFA0 0060	H'1FA0 0060	32	SHck
SDRAM タイミングレジスタ 8	DBTR8	R/W	H'FFA0 0064	H'1FA0 0064	32	SHck
SDRAM タイミングレジスタ 9	DBTR9	R/W	H'FFA0 0068	H'1FA0 0068	32	SHck
SDRAM タイミングレジスタ 10	DBTR10	R/W	H'FFA0 006C	H'1FA0 006C	32	SHck
SDRAM タイミングレジスタ 11	DBTR11	R/W	H'FFA0 0070	H'1FA0 0070	32	SHck
SDRAM タイミングレジスタ 12	DBTR12	R/W	H'FFA0 0074	H'1FA0 0074	32	SHck
SDRAM タイミングレジスタ 13	DBTR13	R/W	H'FFA0 0078	H'1FA0 0078	32	SHck
SDRAM タイミングレジスタ 14	DBTR14	R/W	H'FFA0 007C	H'1FA0 007C	32	SHck
SDRAM タイミングレジスタ 15	DBTR15	R/W	H'FFA0 0080	H'1FA0 0080	32	SHck
SDRAM タイミングレジスタ 16	DBTR16	R/W	H'FFA0 0084	H'1FA0 0084	32	SHck
SDRAM タイミングレジスタ 17	DBTR17	R/W	H'FFA0 0088	H'1FA0 0088	32	SHck
リフレッシュ設定レジスタ 0	DBRFCNF0	R/W	H'FFA0 00E0	H'1FA0 00E0	32	SHck

レジスタ名	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ (bit)	同期 クロック
リフレッシュ設定レジスタ 1	DBRFCNF1	R/W	H'FFA0 00E4	H'1FA0 00E4	32	SHck
リフレッシュ設定レジスタ 2	DBRFCNF2	R/W	H'FFA0 00E8	H'1FA0 00E8	32	SHck
PHY 部制御レジスタ 0	DBPDCNT0	R/W	H'FFA0 0200	H'1FA0 0200	32	SHck
PHY 部制御レジスタ 1	DBPDCNT1	R/W	H'FFA0 0204	H'1FA0 0204	32	SHck
PHY 部制御レジスタ 2	DBPDCNT2	R/W	H'FFA0 0208	H'1FA0 0208	32	SHck
PHY 部制御レジスタ 3	DBPDCNT3	R/W	H'FFA0 020C	H'1FA0 020C	32	SHck
PHY 部ロックレジスタ	DBPDLCK	R/W	H'FFA0 0280	H'1FA0 0280	32	SHck
PHY 部内部レジスタアドレスレジスタ	DBPDRGA	R/W	H'FFA0 0290	H'1FA0 0290	32	SHck
PHY 部内部レジスタデータレジスタ	DBPDRG	R/W	H'FFA0 02A0	H'1FA0 02A0	32	SHck
バス制御部 0 制御レジスタ 0	DBBS0CNT0	R/W	H'FFA0 0300	H'1FA0 0300	32	SHck
バス制御部 0 制御レジスタ 1	DBBS0CNT1	R/W	H'FFA0 0304	H'1FA0 0304	32	SHck

表 12.7 各処理モードにおけるレジスタの状態

レジスタ名	略称	パワーオンリセット	マニュアルリセット	スリープ/ ライトスリープ
		PRESET 端子/ WDT/H-UDI による	WDT/多重例外 による	SLEEP 命令による
DBSC3 ステータスレジスタ	DBSTATE	H'00000x0x*	保持	保持
SDRAM アクセス許可レジスタ	DBACEN	H'0000 0000	保持	保持
自動リフレッシュ許可レジスタ	DBRFEN	H'0000 0000	保持	保持
手動コマンド発行レジスタ	DBCMD	H'0000 0000	保持	保持
操作完了待ちレジスタ	DBWAIT	H'0000 0000	保持	保持
SDRAM 種類設定レジスタ	DBKIND	H'0000 0000	保持	保持
SDRAM 構成設定レジスタ	DBCONF	H'0000 0000	保持	保持
SDRAM タイミングレジスタ 0	DBTR0	H'0000 0000	保持	保持
SDRAM タイミングレジスタ 1	DBTR1	H'0000 0000	保持	保持
SDRAM タイミングレジスタ 2	DBTR2	H'0000 0000	保持	保持
SDRAM タイミングレジスタ 3	DBTR3	H'0000 0000	保持	保持
SDRAM タイミングレジスタ 4	DBTR4	H'0000 0000	保持	保持
SDRAM タイミングレジスタ 5	DBTR5	H'0000 0000	保持	保持
SDRAM タイミングレジスタ 6	DBTR6	H'0000 0000	保持	保持
SDRAM タイミングレジスタ 7	DBTR7	H'0000 0000	保持	保持
SDRAM タイミングレジスタ 8	DBTR8	H'0000 0000	保持	保持
SDRAM タイミングレジスタ 9	DBTR9	H'0000 0000	保持	保持
SDRAM タイミングレジスタ 10	DBTR10	H'0000 0000	保持	保持
SDRAM タイミングレジスタ 11	DBTR11	H'0000 0000	保持	保持
SDRAM タイミングレジスタ 12	DBTR12	H'0000 0000	保持	保持
SDRAM タイミングレジスタ 13	DBTR13	H'0000 0000	保持	保持
SDRAM タイミングレジスタ 14	DBTR14	H'0000 0000	保持	保持
SDRAM タイミングレジスタ 15	DBTR15	H'0000 0000	保持	保持
SDRAM タイミングレジスタ 16	DBTR16	H'0000 0000	保持	保持
SDRAM タイミングレジスタ 17	DBTR17	H'0000 0000	保持	保持
リフレッシュ設定レジスタ 0	DBRFCNF0	H'0000 0000	保持	保持
リフレッシュ設定レジスタ 1	DBRFCNF1	H'0000 0000	保持	保持
リフレッシュ設定レジスタ 2	DBRFCNF2	H'0000 0000	保持	保持
PHY 部制御レジスタ 0	DBPDCNT0	H'0000 0000	保持	保持
PHY 部制御レジスタ 1	DBPDCNT1	H'0000 0000	保持	保持
PHY 部制御レジスタ 2	DBPDCNT2	H'0000 0000	保持	保持
PHY 部制御レジスタ 3	DBPDCNT3	H'0000 0000	保持	保持
PHY 部ロックレジスタ	DBPDLCK	H'0000 0000	保持	保持
PHY 部内部レジスタアドレスレジスタ	DBPDRGA	H'0000 0000	保持	保持

レジスタ名	略称	パワーオンリセット	マニュアルリセット	スリープ/ ライトスリープ
		PRESET 端子/ WDT/H-UDI による	WDT/多重例外 による	SLEEP 命令による
PHY 部内部レジスタデータレジスタ	DBPDRG	H'0000 0000	保持	保持
バス制御部 0 制御レジスタ 0	DBBS0CNT0	H'0000 0000	保持	保持
バス制御部 0 制御レジスタ 1	DBBS0CNT1	H'0000 0000	保持	保持

【注】 * 初期値は外部端子 MODE8 および SDBUP の設定によります。

12.4.1 DBSC3 ステータスレジスタ (DBSTATE)

DBSTATE はリード専用レジスタです。書き込みは無効です。本レジスタはパワーオンリセット時のみ初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENDN	—	—	—	—	—	—	BKUP	—
初期値:	0	0	0	0	0	0	不定	x*	0	0	0	0	0	0	x*	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 * 初期値は外部端子 MODE8 の設定によります。

ビット	ビット名	初期値	R/W	説明
31~10	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。
9	—	不定	R	リザーブビット 読み出すと不定値が読み出されます。
8	ENDN	x*	R	エンディアン表示ビット 外部端子 MODE8 により設定されたエンディアンを表示します。 0: ビッグエンディアン 1: リトルエンディアン
7~2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。
1	BKUP	x*	R	電源バックアップモニタビット 外部端子 SDBUP により設定された電源バックアップ状態を表示します。 0: 非電源バックアップ状態 (SDBUP = L) 1: 電源バックアップ状態 (SDBUP = H)
0	—	不定	R	リザーブビット 読み出すと不定値が読み出されます。

【注】 * 初期値は外部端子 MODE8 および SDBUP の状態によります。

12.4.2 SDRAM アクセス許可レジスタ (DBACEN)

DBACEN はリード/ライト可能なレジスタです。本レジスタはパワーオンリセット時のみ初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ACC EN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
0	ACCEN	0	R/W	SDRAM アクセスイネーブルビット 本ビットの設定により SDRAM へのデータアクセス許可を行います。0のときアクセス無効、1のときアクセス許可です。アクセス無効時、SDRAM にアクセスを行っても無視されます。初期化シーケンスやセルフリフレッシュ制御時に操作します。 0: アクセス無効 1: アクセス許可

【注】 本レジスタに0を書き込んでアクセス不許可に設定した際、SDRAM に Precharge All または Precharge コマンドが自動的に発行される場合があります。

12.4.3 自動リフレッシュ許可レジスタ (DBRFEN)

DBRFEN はリード / ライト可能なレジスタです。本レジスタはパワーオンリセット時に初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARF EN
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
0	ARFEN	0	R/W	オートリフレッシュ許可ビット このビットでオートリフレッシュの自動発行の許可 / 無効の設定を行います。 本ビットの値が1である間、内部のリフレッシュカウンタに従って定期的にオートリフレッシュコマンドを発行します。オートリフレッシュコマンド発行タイミングについての詳細は「12.5.5 オートリフレッシュ動作について」を参照してください。 0 : オートリフレッシュ自動発行無効 1 : オートリフレッシュ自動発行許可

12.4.4 手動コマンド発行レジスタ (DMCMD)

SDRAM の初期化シーケンス、セルフリフレッシュモードへの移行 / 解除などを実行するために必要なコマンド発行を行うためのレジスタです。本レジスタに書き込みを行うと、OPC ビットの値に応じたコマンドが 1 回発行されます。たとえば、リフレッシュコマンドを 2 回発行する場合は、OPC = "001100" とした書き込みを 2 回行います。なお、SDRAM アクセス許可中 (DBACEN レジスタの ACCEN=1) に本レジスタへの書き込みは行わないでください。

操作完了のタイミング (指定した SDRAM コマンドが DBSC3 から PHY 部へ出力されるタイミング) は、本レジスタへのライトに対する DBSC3 の応答よりも後になる可能性があります。指定した SDRAM コマンドが実際に SDRAM に出力されるまで待ちたい場合は、後述する DBWAIT レジスタへのリードを行ってください。

本レジスタを使用してコマンド発行を行うと、操作完了の時点 (指定した SDRAM コマンドが SDRAM に出力される時点) から一定期間、後続の SDRAM コマンド発行は遅延されます。これは、複数のコマンドを続けて発行する際のコマンド間の時間の確保を容易にするための機能です。

この期間の長さは、OPC に応じて、表 12.8 の「間隔」欄に示す長さが確保されます。また、ARG ビットによってカスタマイズすることも可能です (ただし OPC が MRS0 ~ MRS3、Rd、Wr である場合を除く)。

本レジスタはリード / ライト可能なレジスタです。本レジスタはパワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	OPC						—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	ARG																
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31、30		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
29～24	OPC	すべて0	R/W	操作コード 発行するコマンドの種類を指定するビットです。表 12.8 を参照してください
23～16		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
15～0	ARG	すべて0	R/W	引数 操作コード OPC によって意味が異なります。 OPC が ModeRegisterSet (MRS0～MRS3)である場合は、SDRAM のアドレス端子 (MA) に出力される値を指定します。OPC が READ/WRITE である場合、ARG は未使用です。OPC がそれ以外の場合は、次のコマンド発行までの最小間隔を SDRAM のサイクル数で指定します。ただし、ARG=0 とした場合は、表 12.8 の「間隔」欄に示すデフォルトの値が使用されます。

- 【注】
- 表 12.8 「間隔」欄の TRPA、TRFC、TMOD は、後述するタイミングレジスタで設定された値が使用されます。
 - 本レジスタは、SDRAM アクセス不許可中 (DBACEN レジスタの ACCEN=0) のみ書き込みを行ってください。
 - 本レジスタは、自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0) のみ書き込みを行ってください。ただし、「12.5 動作説明」で定義されたシーケンスについては、この限りではありません。自動リフレッシュ機能動作中に本レジスタに OPC=Wait の書き込みを行った場合、それによって確保される時間間隔の間に自動リフレッシュ機能によるリフレッシュコマンドの発行が割り込むことがあります。

表 12.8 手動コマンド発行機能

OPC	略号	操作内容	間隔 (SDRAM サイクル数)	ARG の機能
00 0000	Wait	Device Deselected 発行 (待ち時間の挿入)	4	間隔のカスタマイズ (ARG=0 とすると左欄の値を使用)
00 0010	ZQCS	ZQ calibration short 発行	4	
00 0011	ZQCL	ZQ calibration long 発行	4	
00 1011	PreA	Precharge All 発行	TRPA	
00 1100	Ref	Refresh 発行	TRFC	
01 0000	PDEn	Power Down Entry	4	
01 0001	PDXt	Power Down Exit	4	
01 1000	SREn	Self-Refresh Entry	4	
01 1001	SRXt	Self-Refresh Exit	TRFC	
10 0000	RstL	Reset 端子を Low にする	4	
10 0001	RstH	Reset 端子を High にする	4	
10 1000	MRS0	ModeRegisterSet (MRS/MR0) 発行	TMOD	SDRAM の Mode Register に設定する値を指定
10 1001	MRS1	ModeRegisterSet (EMRS1/MR1) 発行	TMOD	
10 1010	MRS2	ModeRegisterSet (EMRS2/MR2) 発行	TMOD	
10 1011	MRS3	ModeRegisterSet (EMRS3/MR3) 発行	TMOD	
11 0100	Rd	Read コマンド発行	4	(reserved)
11 0110	Wr	Write コマンド発行	4	0 固定してください

12.4.5 操作完了待ちレジスタ (DBWAIT)

DBWAIT はリード専用レジスタです。書き込みは無効です。本レジスタはパワーオンリセット時のみ初期化されます。

本レジスタをリードすると、それまでにDBCMDレジスタによって指示されたコマンド発行がすべて完了した後で応答を返します。本レジスタを利用することにより、DBSC3により発行されるSDRAMコマンドのタイミングと、DBSC3が管理していないタイミング（たとえば、クロックの制御）の関係を正しく保証することが可能になります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WAIT
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
0	WAIT	0	R	操作完了待ちビット 常に0が読み出されます。

12.4.6 SDRAM 種類設定レジスタ (DBKIND)

DBKIND はリード/ライト可能なレジスタです。本レジスタはパワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DDCG		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
2~0	DDCG	000	R/W	SDRAM 種類ビット SDRAM の種類を設定することができます。品種ごとに決められた値を設定してください。 111 : DDR3-SDRAM 上記以外 : 設定禁止 (動作は保証しません)

- 【注】
1. 本レジスタは、起動シーケンス (「12.5.3 初期化シーケンス」参照) の中でのみ書き込みを行ってください。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・SDRAM アクセス不許可中 (DBACEN レジスタの ACCEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)
 3. 品種ごとに決められた値を設定してください。

12.4.7 SDRAM 構成設定レジスタ (DBCONF)

DBCONFはリード/ライト可能なレジスタです。使用するメモリ構成を設定するレジスタです。

DBSC3 がサポートするメモリ構成については、「SDRAM 構成設定レジスタの設定方法」を参照ください。

SDRAM のアドレス端子と本 LSI の論理アドレスとの関係については、表 12.2 を参照ください。本レジスタはパワーオンリセット時のみ初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	AWRW				—	—	—	AWRK	—	—	AWBK		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	AWCL				—	—	—	—	—	—	DW		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
28~24	AWRW	00000	R/W	Row 設定ビット Row アドレスのビット幅を指定します。 01011: 11ビット 01100: 12ビット 01101: 13ビット 01110: 14ビット 01111: 15ビット 10000: 16ビット 上記以外: 設定禁止 (動作は保証しません)
23~21	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
20	AWRK	0	R/W	ランク数設定ビット ランク数を指定します。 0: 1ランク 上記以外: 設定禁止 (動作は保証しません)

ビット	ビット名	初期値	R/W	説明
19~18	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
17~16	AWBK	00	R/W	Bank 数設定ビット Bank 数を指定します。 11: 8バンク 上記以外: 設定禁止 (動作は保証しません)
15~12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
11~8	AWCL	0000	R/W	Column ビット幅設定ビット Column アドレスのビット幅を指定します。 1000: 8 ビット 1001: 9 ビット 1010: 10 ビット 1011: 11 ビット 1100: 12 ビット 上記以外: 設定禁止 (動作は保証しません)
7~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
1~0	DW	00	R/W	外部データバス幅設定ビット 外部データバス幅を指定します。 10: 32 ビット 上記以外: 設定禁止 (動作は保証しません)

- 【注】
1. 本レジスタは、起動シーケンス (「12.5.3 初期化シーケンス」参照) の中でのみ書き込みを行ってください。
 2. このレジスタは以下の条件を満たす場合のみ書き込みを行ってください。
 - ・SDRAM アクセス不許可中 (DBACEN レジスタの ACCEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)
 3. 品種ごとに決められた値を設定してください。
 4. サポートするメモリ構成は2個の16bit幅SDRAMあるいは4個の8bit幅SDRAMを接続した32bitバス構成です。
 5. DBSC3は複数個のSDRAMの接続をサポートしますが、チップによっては電気特性上、接続可能なSDRAMの個数に制限がある場合があります。

12.4.8 SDRAM タイミングレジスタ 0 (DBTR0)

DBTR0 はリード / ライト可能なレジスタです。SDRAM のタイミングパラメータの設定を行います。本レジスタはパワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CL			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 以外を書き込んだときの動作は保証しません。
3~0	CL	0000	R/W	CAS レイテンシ設定ビット SDRAM の CAS レイテンシを設定します。 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 7 サイクル 1000 : 8 サイクル 1001 : 9 サイクル 1010 : 10 サイクル 上記以外 : 設定禁止 (動作は保証しません)

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACCEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

12.4.9 SDRAM タイミングレジスタ 1 (DBTR1)

DBTR1 はリード / ライト可能なレジスタです。SDRAM のタイミングパラメータの設定を行います。本レジスタはパワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CWL			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 以外を書き込んだときの動作は保証しません。
3~0	CWL	0000	R/W	CAS ライトレイテンシ設定ビット SDRAM の CAS ライトレイテンシを設定します。 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 7 サイクル 上記以外 : 設定禁止 (動作は保証しません)

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・SDRAM アクセス不許可中 (DBACEN レジスタの ACCEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

12.4.10 SDRAM タイミングレジスタ 2 (DBTR2)

DBTR2 はリード / ライト可能なレジスタです。SDRAM のタイミングパラメータの設定を行います。本レジスタはパワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	AL			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 以外を書き込んだときの動作は保証しません。
3~0	AL	0000	R/W	アディティブレイテンシ設定 SDRAM のアディティブレイテンシを設定します。 0000 : 0 サイクル 上記以外 : 設定禁止 (動作は保証しません)

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACCEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

12.4.11 SDRAM タイミングレジスタ 3 (DBTR3)

DBTR3 はリード/ライト可能なレジスタです。SDRAM のタイミングパラメータの設定を行います。本レジスタはパワーオンリセット時のみ初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	TRCD			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
3~0	TRCD	0000	R/W	ACT-READ/WRITE 期間設定ビット ACT コマンドからリード/ライトコマンドまでの最小間隔を設定します。 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 7 サイクル 1000 : 8 サイクル 1001 : 9 サイクル 1010 : 10 サイクル 1011 : 11 サイクル 1100 : 12 サイクル 1101 : 13 サイクル 1110 : 14 サイクル 1111 : 15 サイクル 上記以外 : 設定禁止 (動作は保証しません)

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACCEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

12.4.12 SDRAM タイミングレジスタ 4 (DBTR4)

DBTR4 はリード/ライト可能なレジスタです。SDRAM のタイミングパラメータの設定を行います。本レジスタはパワーオンリセット時のみ初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	TRPA			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	TRP			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 以外を書き込んだときの動作は保証しません。
19~16	TRPA	0000	R/W	PREA 期間設定ビット PRE ALL (Precharge all banks) コマンドから ACT/ REF コマンドまでの最小間隔を設定します。必ず TRP ビットの設定値以上の値を設定してください。 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 7 サイクル 1000 : 8 サイクル 1001 : 9 サイクル 1010 : 10 サイクル 1011 : 11 サイクル 1100 : 12 サイクル 1101 : 13 サイクル 1110 : 14 サイクル 1111 : 15 サイクル 上記以外 : 設定禁止 (動作は保証しません)

ビット	ビット名	初期値	R/W	説 明
15~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 以外を書き込んだときの動作は保証しません。
3~0	TRP	0000	R/W	PRE 期間設定ビット PRE (Precharge) コマンドから ACT/REF コマンドまでの最小間隔を設定します。 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 7 サイクル 1000 : 8 サイクル 1001 : 9 サイクル 1010 : 10 サイクル 1011 : 11 サイクル 1100 : 12 サイクル 1101 : 13 サイクル 1110 : 14 サイクル 1111 : 15 サイクル 上記以外 : 設定禁止 (動作は保証しません)

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 設定値は次の条件を満たす必要があります : TRPA TRP
 3. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・SDRAM アクセス不許可中 (DBACEN レジスタの ACCEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

12.4.13 SDRAM タイミングレジスタ 5 (DBTR5)

DBTR5 はリード/ライト可能なレジスタです。SDRAM のタイミングパラメータの設定を行います。本レジスタはパワーオンリセット時のみ初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	TRC					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
5~0	TRC	000000	R/W	ACT-ACT/REF 期間設定ビット ACT コマンドから ACT(同一バンク)/REF コマンドまでの最小間隔を設定します。 000101 : 5 サイクル 000110 : 6 サイクル : : 111011 : 59 サイクル 111100 : 60 サイクル 上記以外 : 設定禁止 (動作は保証しません)

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACCEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

12.4.14 SDRAM タイミングレジスタ 6 (DBTR6)

DBTR6 はリード / ライト可能なレジスタです。SDRAM のタイミングパラメータの設定を行います。本レジスタはパワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	TRAS					
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
5~0	TRAS	000000	R/W	ACT-PRE 期間設定ビット ACT コマンドから PRE コマンドまでの最小間隔を設定します。 000100 : 4 サイクル 000101 : 5 サイクル : : 100111 : 39 サイクル 101000 : 40 サイクル 上記以外 : 設定禁止 (動作は保証しません)

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACCEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

12.4.15 SDRAM タイミングレジスタ 7 (DBTR7)

DBTR7 はリード / ライト可能なレジスタです。SDRAM のタイミングパラメータの設定を行います。本レジスタはパワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	TRRD			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
3~0	TRRD	0000	R/W	ACT(A)-ACT(B)期間設定ビット 異なるバンクに対する ACT コマンドの最小間隔を設定します。 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 7 サイクル 1000 : 8 サイクル 1001 : 9 サイクル 1010 : 10 サイクル 上記以外 : 設定禁止 (動作は保証しません)

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACCEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

12.4.16 SDRAM タイミングレジスタ 8 (DBTR8)

DBTR8 はリード/ライト可能なレジスタです。SDRAM のタイミングパラメータの設定を行います。本レジスタはパワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TFAW							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
7~0	TFAW	0000 0000	R/W	4 Activate ウィンドウ設定ビット 4 Activate ウィンドウの長さを設定します。DBTR7 レジスタの TRRD ビットの設定値の4倍以上の値を設定してください。 000100 : 4 サイクル 000101 : 5 サイクル : : 100111 : 39 サイクル 101000 : 40 サイクル 上記以外 : 設定禁止 (動作は保証しません)

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 設定値は次の条件を満たす必要があります : TFAW 4 × TRRD
 3. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACCEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

12.4.17 SDRAM タイミングレジスタ 9 (DBTR9)

DBTR9 はリード / ライト可能なレジスタです。SDRAM のタイミングパラメータの設定を行います。本レジスタはパワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	TRDPR			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
3~0	TRDPR	0000	R/W	READ-PRE 期間設定ビット READ コマンドから PRE コマンドまでの最小間隔を設定します。 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 7 サイクル 1000 : 8 サイクル 1001 : 9 サイクル 上記以外 : 設定禁止 (動作は保証しません)

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 設定値は次の条件を満たす必要があります : TRDPR = 4
 3. JEDEC 準拠の SDRAM の場合、設定値は次の式で計算できます。
(DDR3 の場合) $TRDPR = 4 + \max\{2, \text{ceil}(tRTP / tCK)\} - 2$
 4. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・SDRAM アクセス不許可中 (DBACEN レジスタの ACCEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

12.4.18 SDRAM タイミングレジスタ 10 (DBTR10)

DBTR10 はリード/ライト可能なレジスタです。SDRAM のタイミングパラメータの設定を行います。本レジスタはパワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	TWR			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
3~0	TWR	0000	R/W	ライトリカバリ期間設定ビット ライトリカバリ期間を設定します。 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 7 サイクル 1000 : 8 サイクル 1001 : 9 サイクル 1010 : 10 サイクル 1011 : 11 サイクル 1100 : 12 サイクル 1101 : 13 サイクル 1110 : 14 サイクル 1111 : 15 サイクル 上記以外 : 設定禁止 (動作は保証しません)

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACCEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

12.4.19 SDRAM タイミングレジスタ 11 (DBTR11)

DBTR11 はリード/ライト可能なレジスタです。SDRAM のタイミングパラメータの設定を行います。本レジスタはパワーオンリセット時のみ初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	TRDWR					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
5~0	TRDWR	000000	R/W	READ-WRITE 期間設定ビット リードコマンドからライトコマンドまでの最小間隔を設定します。 000100 : 4 サイクル 000101 : 5 サイクル 000110 : 6 サイクル 000111 : 7 サイクル 001000 : 8 サイクル 001001 : 9 サイクル 上記以外 : 設定禁止 (動作は保証しません)

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 設定値は次の条件を満たす必要があります : TRDWR $CL + 4 + 2 - CWL$
 3. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・SDRAM アクセス不許可中 (DBACEN レジスタの ACCEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

12.4.20 SDRAM タイミングレジスタ 12 (DBTR12)

DBTR12 はリード/ライト可能なレジスタです。SDRAM のタイミングパラメータの設定を行います。本レジスタはパワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	TWRRD					
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
5~0	TWRRD	000000	R/W	WRITE-READ 期間設定ビット ライトコマンドからリードコマンドまでの最小間隔を設定します。 000100 : 4 サイクル 000101 : 5 サイクル : : 010101 : 21 サイクル 010110 : 22 サイクル 上記以外 : 設定禁止 (動作は保証しません)

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 設定値は次の条件を満たす必要があります : TWRRD = CWL + 4
 3. JEDEC 準拠の SDRAM の場合、設定値は次の式で計算できます。
TWRRD = WL + BL/2 + ceil (tWTR / tCK)
 4. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・SDRAM アクセス不許可中 (DBACEN レジスタの ACCEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

12.4.21 SDRAM タイミングレジスタ 13 (DBTR13)

DBTR13 はリード/ライト可能なレジスタです。SDRAM のタイミングパラメータの設定を行います。本レジスタはパワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TRFC									
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
9~0	TRFC	00 0000 0000	R/W	REF-ACT/REF 期間設定ビット REF (リフレッシュ) コマンドから、ACT/REF コマンドまでの最小間隔を設定します。 0000000110 : 6 サイクル 0000000111 : 7 サイクル : : 0011111110 : 254 サイクル 0011111111 : 255 サイクル 上記以外 : 設定禁止 (動作は保証しません)

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・SDRAM アクセス不許可中 (DBACEN レジスタの ACCEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

12.4.22 SDRAM タイミングレジスタ 14 (DBTR14)

DBTR14 はリード/ライト可能なレジスタです。SDRAM のタイミングパラメータの設定を行います。本レジスタはパワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TCKEH							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
7~0	TCKEH	0000 0000	R/W	CKE H 期間設定ビット CKE が H になってから次の有効なコマンドが発行されるまでの最小間隔を設定します。なお、CKE が H になってから最初のリードコマンドまでの最小間隔は、TCKEH + TRCD となります。 00000001 : 1 サイクル 00000010 : 2 サイクル 00000011 : 3 サイクル 00000100 : 4 サイクル 00000101 : 5 サイクル 00000110 : 6 サイクル 00000111 : 7 サイクル 00001000 : 8 サイクル 00001001 : 9 サイクル 00001010 : 10 サイクル 00001011 : 11 サイクル 00001100 : 12 サイクル 00001101 : 13 サイクル 00001110 : 14 サイクル 00001111 : 15 サイクル 上記以外 : 設定禁止 (動作は保証しません)

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. パワーダウンモードを使用する場合は、本レジスタに適切な値を設定してください。
JEDEC 準拠の SDRAM の場合、設定値は次の式で計算できます。
DDR3-SDRAM で Fast Exit Mode の場合 : $\text{ceil}(t\text{XP}/t\text{CK})$

DDR3-SDRAM で Slow Exit Mode の場合 : $\max\{\text{ceil}(t_{XP}/t_{CK}), \text{ceil}(t_{XPDLL}/t_{CK}) - \text{ceil}(t_{RCD}/t_{CK})\}$

3. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・SDRAM アクセス不許可中 (DBACEN レジスタの ACCEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

12.4.23 SDRAM タイミングレジスタ 15 (DBTR15)

DBTR15 はリード/ライト可能なレジスタです。SDRAM のタイミングパラメータの設定を行います。本レジスタはパワーオンリセット時のみ初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	TCKEL			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
3~0	TCKEL	0000	R/W	CKE L 期間設定ビット CKE を L にしてから H にするまでの期間の下限を設定します。 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 7 サイクル 1000 : 8 サイクル 1001 : 9 サイクル 1010 : 10 サイクル 1011 : 11 サイクル 1100 : 12 サイクル 1101 : 13 サイクル 1110 : 14 サイクル 1111 : 15 サイクル 上記以外 : 設定禁止 (動作は保証しません)

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACCEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

12.4.24 SDRAM タイミングレジスタ 16 (DBTR16)

DBTR16 はリード/ライト可能なレジスタです。SDRAM のタイミングパラメータの設定を行います。本レジスタはパワーオンリセット時のみ初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	DQL					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	WDQL			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
21~16	DQL	000000	R/W	dqltncy 設定ビット DDR3PHY の入力端 dqltncy の値を設定します。 010110 : 22 サイクル 上記以外 : 設定禁止 (動作は保証しません)
15~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
3~0	WDQL	0000	R/W	wdqltncy 設定ビット DDR3PHY の入力端 wdqltncy の値を設定します。 0010 : 2 サイクル 上記以外 : 設定禁止 (動作は保証しません)

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・SDRAM アクセス不許可中 (DBACEN レジスタの ACCEN=0)
 - ・自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

12.4.25 SDRAM タイミングレジスタ 17 (DBTR17)

DBTR17 はリード/ライト可能なレジスタです。SDRAM のタイミングパラメータの設定を行います。本レジスタはパワーオンリセット時のみ初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	TMOD					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	TRDMR					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
21~16	TMOD	000000	R/W	MRS 期間設定ビット MRS (Mode Register Set) コマンドから次のコマンドまでの最小間隔を指定します。 000100 : 4 サイクル 000101 : 5 サイクル 000110 : 6 サイクル 000111 : 7 サイクル 001000 : 8 サイクル 001001 : 9 サイクル 001010 : 10 サイクル 001011 : 11 サイクル 001100 : 12 サイクル 001101 : 13 サイクル 001110 : 14 サイクル 001111 : 15 サイクル 上記以外 : 設定禁止 (動作は保証しません)
15~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。

ビット	ビット名	初期値	R/W	説 明
5~0	TRDMR	000000	R/W	RD-MRS 期間設定ビット MPR モードの際の、リードコマンドから MRS コマンドまでの最小間隔を設定します。 000100 : 4 サイクル 000101 : 5 サイクル 000110 : 6 サイクル 000111 : 7 サイクル 001000 : 8 サイクル 001001 : 9 サイクル 001010 : 10 サイクル 001011 : 11 サイクル 001100 : 12 サイクル 001101 : 13 サイクル 001110 : 14 サイクル 001111 : 15 サイクル 010000 : 16 サイクル 010001 : 17 サイクル 010010 : 18 サイクル 010011 : 19 サイクル 010100 : 20 サイクル 010101 : 21 サイクル 010110 : 22 サイクル 010111 : 23 サイクル 上記以外 : 設定禁止 (動作は保証しません)

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
 - ・ SDRAM アクセス不許可中 (DBACEN レジスタの ACCEN=0)
 - ・ 自動リフレッシュ機能停止中 (DBRFEN レジスタの ARFEN=0)

12.4.26 リフレッシュ設定レジスタ 0 (DBRFCNF0)

DBRFCNF0 はリード/ライト可能なレジスタです。SDRAM のリフレッシュ動作のタイミング設定を行います。本レジスタはパワーオンリセット時のみ初期化されます。

自動リフレッシュ機能動作中 (DBRFEN レジスタの ARFEN=1) に本レジスタの値を変更した場合、新たな設定値をリフレッシュ動作に反映させるためには自動リフレッシュ機能の再起動が必要です。自動リフレッシュ機能を再起動するには、DBRFEN レジスタの ARFEN ビットに 1 を書き込んでください

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	REFTHF											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 以外を書き込んだときの動作は保証しません。
11~0	REFTHF	0000 0000 0000	R/W	強制リフレッシュ閾値設定ビット バスリクエストがある場合でも強制的にリフレッシュを実施するタイミングを設定します。本ビットの設定値は、リフレッシュ間隔の変動の大きさおよびメモリアクセス性能に影響します。小さくするほどリフレッシュ間隔のパラツキは小さくなりますが、メモリアクセス性能に悪影響が出る場合があります。リフレッシュ間隔の変動幅の詳細については、リフレッシュ設定レジスタ 1 (DBRFCNF1) の説明の中で述べます。 000000100000 : 32 サイクル 000000100001 : 33 サイクル : 000111111110 : 510 サイクル 000111111111 : 511 サイクル 上記以外 : 設定禁止 (動作は保証しません)

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 本レジスタに上記の下限値を下回る値が設定された状態で自動リフレッシュ機能を起動した場合 (DBRFEN レジスタ ARFEN ビットを 1 にした場合) の動作は保証されません。
 3. 設定可能な最小値は、次の式のとおりです。この下限値 + 50 以上の値を設定することを推奨します。

$$32 + \max\{TCKEL + TCKEH, TRPA + \max\{CWL + 4 + TWR, TRDPR, TRAS, TRC - TRP\}\}$$

12.4.27 リフレッシュ設定レジスタ 1 (DBRFCNF1)

DBRFCNF1 はリード/ライト可能なレジスタです。SDRAM のリフレッシュ動作のタイミング設定を行います。本レジスタはパワーオンリセット時のみ初期化されます。

自動リフレッシュ機能動作中 (DBRFEN レジスタの ARFEN=1) に本レジスタの値を変更した場合、新たな設定値をリフレッシュ動作に反映させるためには自動リフレッシュ機能の再起動が必要です。自動リフレッシュ機能を再起動するには、DBRFEN レジスタの ARFEN ビットに 1 を書き込んでください

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	REFPMAX				—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	REFINT																
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
27~24	REFPMAX	0000	R/W	リフレッシュコマンド最大ポスト数 自動リフレッシュ機能により蓄積されるリフレッシュコマンドの数の上限を設定します。蓄積されているリフレッシュコマンドの数が REFPMAX よりも小さく、かつリクエストのない期間にリフレッシュが発行されます。 0000 : 0 サイクル (リフレッシュコマンド間隔のジッタ最小) 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 7 サイクル 1000 : 8 サイクル (リフレッシュコマンド間隔のジッタ最大) 上記以外 : 設定禁止 (動作は保証しません)
23~16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。

ビット	ビット名	初期値	R/W	説明
15~0	REFINT	0000 0000 0000 0000	R/W	<p>平均リフレッシュ間隔</p> <p>リフレッシュコマンド発行の平均間隔を設定するためのビットです。</p> <p>DBRFCNF2 レジスタの REFINTS ビットが 0 の場合、平均間隔は REFINT サイクルとなります。REFINTS ビットが 1 の場合、平均間隔は $\text{floor}(\text{REFINT} / 2)$ サイクルとなります。以下で、この平均間隔を REFINT_E と表記します。すなわち、$\text{REFINT_E} = \text{REFINT} \gg \text{REFINTS}$ です。ここで \gg は論理右シフト演算子です。</p> <p>0000000010000000 : 128 サイクル (H'0080)</p> <p>0000000010000001 : 129 サイクル (H'0081)</p> <p>:</p> <p>:</p> <p>0011111111111110 : 16387 サイクル (H'3FFE)</p> <p>0011111111111111 : 16388 サイクル (H'3FFF)</p> <p>上記以外 : 設定禁止 (動作は保証しません)</p>

- 【注】
1. サイクル数は、SDRAM の動作クロックにて設定します。
 2. 品種によっては、本レジスタの設定値に関して上記の制約以外にも制約が生じる場合があります。
 3. 本レジスタに上記の下限値を下回る値が設定された状態で自動リフレッシュ機能を起動した場合 (DBRFEN レジスタ ARFEN ビットを 1 にした場合) の動作は保証されません。

12.4.28 リフレッシュ設定レジスタ 2 (DBRFCNF2)

DBRFCNF2 はリード/ライト可能なレジスタです。SDRAM のリフレッシュ動作のタイミングを設定します。本レジスタはパワーオンリセット時のみ初期化されます。

自動リフレッシュ機能動作中 (DBRFEN レジスタの ARFEN=1) に本レジスタの値を変更した場合、新たな設定値をリフレッシュ動作に反映させるためには自動リフレッシュ機能の再起動が必要です。自動リフレッシュ機能を再起動するには、DBRFEN レジスタの ARFEN ビットに 1 を書き込んでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	REF INTS
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 以外を書き込んだときの動作は保証しません。
0	REFINTS	0	R/W	平均リフレッシュ間隔調整ビット 本ビットに 0 を設定すると、リフレッシュコマンド発行の平均間隔は REFINT サイクルとなります。本ビットに 1 を設定すると、リフレッシュコマンド発行の平均間隔は floor(REFINT / 2) サイクルとなります。 0: 平均リフレッシュ間隔は REFINT 1: 平均リフレッシュ間隔は REFINT の 1/2

【注】 サイクル数は、SDRAM の動作クロックにて設定します。

12.4.29 PHY 部制御レジスタ 0 (DBPDCNT0)

DBPDCNT0 はリード/ライト可能なレジスタです。PHY 部の制御に使用します。本レジスタはパワーオンリセット時のみ初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DLL RST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
0	DLLRST	0	R/W	DLL リセットビット 本ビットに0を設定すると、DLL がリセット状態になります。本ビットに1を設定すると、DLL のリセットが解除されます。本ビットの詳細については「12.5.3 初期化シーケンス」を参照ください。 0: DLL リセット (初期値) 1: DLL リセット解除

12.4.30 PHY 部制御レジスタ 1 (DBPDCNT1)

DBPDCNT1 はリード/ライト可能なレジスタです。PHY 部の制御に使用します。本レジスタはパワーオンリセット時のみ初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CALEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
0	CALEN	0	R/W	自動キャリブレーション設定ビット 自動キャリブレーションをイネーブルにします。本ビットはDBPDCNT3の CMODE="H"の場合にのみ有効です。本ビットの詳細については「12.5.3 初期 化シーケンス」を参照ください。 0: 自動キャリブレーションをディセーブル(初期値) 1: 自動キャリブレーションをイネーブル

12.4.31 PHY 部制御レジスタ 2 (DBPDCNT2)

DBPDCNT2 はリード/ライト可能なレジスタです。PHY 部の制御に使用します。本レジスタはパワーオンリセット時のみ初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	DET FIXH	CMD MOD	—	—	—	RLADD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
5	DETFIXH	0	R/W	リード用 90 度シフト設定ビット リード用 90 度シフトの Hi-Z 検出回路を設定します。本ビットの詳細については「12.5.3 初期化シーケンス」を参照ください。 0: Hi-Z 検出回路オン (初期値) 1: Hi-Z 検出回路オフ
4	CMDMOD	0	R/W	CMD ハードマクロ出力遅延モード設定ビット CMD ハードマクロの出力遅延モードを設定します。本ビットの詳細については「12.5.3 初期化シーケンス」を参照ください。 0: コマンドアドレス信号の出力遅延モードオフ (初期値) 1: コマンドアドレス信号の出力遅延モードオン
3, 2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
1, 0	RLADD	00	R/W	追加リードレイテンシ設定ビット ラウンドトリップタイムが大きい場合に、DDR3PHY に追加するリードレイテンシを設定します。本ビットの詳細については「12.5.3 初期化シーケンス」を参照ください。 00: 追加リードレイテンシなし (初期値) 01: 追加リードレイテンシ 1 サイクル 10: 追加リードレイテンシ 2 サイクル 11: 追加リードレイテンシ 3 サイクル

12.4.32 PHY 部制御レジスタ 3 (DBPDCNT3)

DBPDCNT3 はリード/ライト可能なレジスタです。PHY 部の制御に使用します。本レジスタはパワーオンリセット時のみ初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	CMOD	DIC_AD	DIC_AD	DIC_AD	DIC_AD	DIC_AD	DIC_AD	—	ODT			—	FREQ		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
14	CMOD	0	R/W	キャリブレーションモード設定ビット キャリブレーションモードを設定します。。本ビットの詳細については「12.5.3 初期化シーケンス」を参照ください。 0: 外部制御モード (初期値) 1: 自動キャリブレーションモード
13, 12	DIC_AD	00	R/W	制御信号バッファドライブ強度設定ビット バッファドライブ強度 (制御信号) を設定します。本ビットの詳細については「12.5.3 初期化シーケンス」を参照ください。 00: 40 (初期値) 上記以外: 設定禁止 (動作は保証しません)
11, 10	DIC_CK	00	R/W	クロック信号バッファドライブ強度設定ビット バッファドライブ強度 (クロック信号) を設定します。本ビットの詳細については「12.5.3 初期化シーケンス」を参照ください。 00: 40 (初期値) 上記以外: 設定禁止 (動作は保証しません)
9, 8	DIC_DQ	00	R/W	データ信号バッファドライブ強度設定ビット バッファドライブ強度 (データ信号) を設定します。本ビットの詳細については「12.5.3 初期化シーケンス」を参照ください。 00: 40 (初期値) 上記以外: 設定禁止 (動作は保証しません)

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
6~4	ODT	000	R/W	内部 ODT インピーダンス設定ビット 内部 ODT インピーダンスを設定します。本ビットの詳細については「12.5.3 初期化シーケンス」を参照ください。 000: 外部制御モード (初期値) 001: 60 上記以外: 設定禁止 (動作は保証しません)
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
2~0	FREQ	000	R/W	ロック待ちスキップモード設定ビット ロック待ちスキップモードを設定します。本ビットの詳細については「12.5.3 初期化シーケンス」を参照ください。 000: 通常モード (初期値) 001: ロック待ちスキップモード 上記以外: 設定禁止 (動作は保証しません)

12.4.33 PHY 部ロックレジスタ (DBPDLCK)

DBPDLCK はリード / ライト可能なレジスタです。PHY 部の制御に使用します。本レジスタはパワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PLOCK															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
15~0	PLOCK	0000 0000 0000 0000	R/W	PHY 部アクセスロック設定ビット 本レジスタに H'A55A を設定することにより、PHY 部内部レジスタへのアクセスが可能になります。 H'A55A : PHY 部内部レジスタへのアクセス許可 上記以外 : PHY 部内部レジスタへのアクセス不許可

12.4.34 PHY 部内部レジスタアドレスレジスタ (DBPDRGA)

DBPDRGA はリード / ライト可能なレジスタです。PHY 部の制御に使用します。本レジスタはパワーオンリセット時のみ初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	—	—	—	—	—	—	—	—	PRA									
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	説明
31~8		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
7~0	PRA	0000 0000	R/W	PHY 部内部レジスタのアドレス PHY 部内部レジスタ (PHY 部に内蔵されたレジスタ) をアクセス (値の設定または参照) する際に使用します。

表 12.9 DBSC3 PHY 内部レジスタ構成

レジスタ名	略称	R/W	PRA の設定	初期値	アクセスサイズ (bit)
Reserved			H'00-H'27		
ブリアンブル検出制御レジスタ	PACNT	R/W	H'28	H'00017100	32
Reserved			H'29-H'FF		

12.4.35 PHY 部内部レジスタデータレジスタ (DBPDRGD)

DBPDRGD はリード / ライト可能なレジスタです。PHY 部の制御に使用します。本レジスタはパワーオンリセット時のみ初期化されます。

PHY 部内部レジスタをアクセスする際は、先に PHY 部ロックレジスタ (DBPDLCK) および PHY 部内部レジスタアドレスレジスタ (DBPDRGA) の設定を行ってから、本ビットへのライトまたはリードを行ってください。

PHY 部ロックレジスタ (DBPDLCK) の設定が「アクセス不許可」となっている状態で本ビットへのライトを行った場合、無視されます (書き込みは行われず、エラーも発生しません)。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PRD															
初期値 :	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PRD															
初期値 :	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	PRD	不定	R/W	PHY 部内部レジスタ 本ビットにライトまたはリードを行うことで、PHY 部内部レジスタのアクセス (値の設定または参照) ができます。アクセス対象のレジスタは、PHY 部内部レジスタアドレスレジスタ (DBPDRGA) の PRA ビットの値によって選択されます。

(1) プリアンブル検出制御レジスタ (PACNT) (DBPDRGA.PRA = H'28)

リード時のプリアンブル検出のタイミングを設定します。本設定により MCK - MDQS のラップアラウンドタイムの制御が可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	en
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Rprst_str				—	—	Rprst_end	—	—	—	—	—	—	—	—	—
初期値 :	0	1	1	1	0	0	0	1	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
16	en	1	R/W	リード用 FIFO 入力タイミング制御イネーブル 書き込む値は常に1にしてください。1以外を書き込んだときの動作は保証しません。
15~12	Rprst_str	0111	R/W	リード用 FIFO の強制ポインタリセット期間について、RL で設定したタイミングから 1MCK サイクル分を基準とし、その前側に付加する期間を設定します。初期値は 3.5MCK サイクルです。 0000: 0MCK サイクル 0001: 0.5MCK サイクル 0010: 1MCK サイクル 0011: 1.5MCK サイクル 0100: 2MCK サイクル 0101: 2.5MCK サイクル 0110: 3MCK サイクル 0111: 3.5MCK サイクル(初期値) 1000: 4MCK サイクル 上記以外: 設定禁止 (動作は保証しません)
11, 10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
9, 8	Rprst_end	01	R/W	リード用 FIFO の強制ポインタリセット期間について、RL で設定したタイミングから 1MCK サイクル分を基準とし、その後側に付加する期間を設定します。初期値は 0.5MCK サイクルです。 00: 0MCK サイクル 01: 0.5MCK サイクル(初期値) 10: 1MCK サイクル 11: 設定禁止 (動作は保証しません)
7~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。

12.4.36 バス制御部 0 設定レジスタ 0 (DBBSOCNT0)

DBBSOCNT0 はリード/ライト可能なレジスタです。バンクキャッシュの制御に使用します。本レジスタはパワーオンリセット時のみ初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BKCEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
0	BKCEN	0	R/W	バンクキャッシュイネーブルビット このビットによりバス制御部内のバンクキャッシュの使用/不 사용을指定します。このビットを0から1に変化させるとバンクキャッシュの内容を初期化します。 0: バンクキャッシュを使用しない 1: バンクキャッシュを使用する

- 【注】
1. 本レジスタは、初期化シーケンス（「12.5.3 初期化シーケンス」参照）の中でのみ書き込みを行ってください。
 2. 本レジスタは、SDRAM アクセス不許可中（DBACEN レジスタの ACCEN=0）のみ書き込みを行ってください。

12.4.37 バス制御部 0 設定レジスタ 1 (DBBS0CNT1)

DBBS0CNT1 はリード/ライト可能なレジスタです。バンクキャッシュの制御に使用します。本レジスタはパワーオンリセット時のみ初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BKADM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0以外を書き込んだときの動作は保証しません。
1, 0	BKADM	00	R/W	バンク配置方式設定ビット 論理アドレス空間に対する SDRAM のバンクの配置方式を設定します。論理アドレスを複数のブロックに分割し、それぞれのブロックへ異なる SDRAM のメモリバンクを割り当てます。 00: 論理アドレス空間全体を1つのブロックとする。 01: 論理アドレス空間を次の2ブロックに分ける。バンク0~3のブロック、バンク4~7のブロック。 10: 論理アドレス空間を次の3ブロックに分ける。バンク0, 1のブロック、バンク2, 3のブロック、バンク4~7のブロック 11: 論理アドレス空間を次の4ブロックに分ける。バンク0のブロック、バンク1のブロック、バンク2, 3のブロック、バンク4~7のブロック

- 【注】
1. 本レジスタは、初期化シーケンス（「12.5.3 初期化シーケンス」参照）の中でのみ書き込みを行ってください。
 2. 本レジスタは、SDRAM アクセス不許可中（DBACEN レジスタの ACCEN=0）のみ書き込みを行ってください。

12.5 動作説明

12.5.1 サポートする SDRAM コマンド

DBSC3 が発行する SDRAM コマンドを表 12.10 に示します。コマンドは $\overline{\text{MCK0}}$ 、 $\overline{\text{MCK0}}$ 、 $\overline{\text{MCK1}}$ 、 $\overline{\text{MCK1}}$ に同期して DDR3-SDRAM へ与えられます。「n-1」はコマンドを発行する 1 サイクル前に DDR3-SDRAM に与えた信号の状態、「n」はコマンド発行時の信号の状態を示しています。

表 12.10 発行する SDRAM コマンド

機能	シンボル	MCKE0/1		MCS0	MRAS	MCAS	MWE	MBA [2:0]	MA [15:13]	MA12 /BC	MA10 /AP	MA11, MA[9:0]
		n-1	n	MCS1								
Device Deselected	DES	H	H	H	X	X	X	X	X	X	X	X
Read	READ	H	H	L	H	L	H	V	V	V	L	V
Write	WRITE	H	H	L	H	L	L	V	V	V	H	V
Bank Activate	ACT	H	H	L	L	H	H	V	V	V	V	V
Precharge select bank	PRE	H	H	L	L	H	L	V	V	V	L	V
Precharge all banks	PREA	H	H	L	L	H	L	V	V	V	H	V
Auto refresh	REF	H	H	L	L	L	H	V	V	V	V	V
Self refresh entry	SRE	H	L	L	L	L	H	V	V	V	V	V
Self refresh exit	SRX	L	H	H	V	V	V	V	V	V	V	V
				L	H	H	H					
Power Down Entry	PDE	H	L	L	H	H	H	V	V	V	V	V
				H	V	V	V					
Power Down Exit	PDX	L	H	L	H	H	H	V	V	V	V	V
				H	V	V	V					
Mode register set	MRS	H	H	L	L	L	L	V	V	V	V	V
ZQ calibration short 発行	ZQCS	H	H	L	H	H	L	X	X	X	H	X
ZQ calibration long 発行	ZQCL	H	H	L	H	H	L	X	X	X	L	X

【注】 H: ハイレベル

L: ローレベル

X: ハイレベルまたはローレベル (don't care)

V: 有効データ

上記の DES コマンドは、DDR3-SDRAM に対しアクセスを行わないときに発行しますので、ユーザが明示的に発行することはできません。

12.5.2 SDRAM コマンド発行詳細

(1) 基本アクセス

DBSC3 は、SuperHyway から与えられたリクエストをキューに格納した後、処理の開始は後で説明する「(2) 先行プリチャージ/アクティベート処理」により前後しますが、完了はキューの受け付け順になります。

初めに、リード/ライトリクエストが与えられると、SDRAM の初期化が完了した時点では、すべてのバンクはクローズ状態でページミスとなるため、DBSC3 は最初にアクティベート (ACT) コマンドを発行して対応するバンクを開きます。バンクを開いた後、リード/ライトリクエストに対応した SDRAM に対するリード/ライトコマンドを発行します。このとき、発行するリード/ライトコマンドの回数は、図 12.3 に示すようにバス幅やリクエストサイズ (1、2、4、8、16、32 バイト) によって異なります。たとえば、外部バス幅 32 ビットで SuperHyway から 32 バイトリードを行った場合には、2 回のリードコマンド発行が必要です。1 サイクル目のリードコマンド発行でデータが 4 バースト長分 (DDR クロックで 2 サイクル分) 読み出されるため、リードコマンド発行は 3 サイクル目まで待たされることとなります。

アクセスが終了した時点で、DBSC3 はプリチャージ (PRE) コマンドを発行することなくバンクを開いたままにしておきます。バンクを閉じるのは (1) 後続のリクエストが同じバンクでロウアドレスが異なる場合、(2) オートリフレッシュ要求が発生した場合、(3) セルフリフレッシュの処理のためユーザが SDRAM コマンド制御レジスタでプリチャージオール (PREA) コマンドを発行した場合です。

このように、セルフリフレッシュを除いた通常のアクセス時では、DBSC3 がバンクの管理をハードウェアで行うため、ユーザ側での考慮は初期化時のレジスタ設定を除き不要です。

また、本コントローラは 8 バンクのマルチバンクオペレーションを行います。したがって、同時に開かれているバンクの最大数は 8 個です。SuperHyway からのアクセスアドレスと SDRAM のバンク/ロウアドレスの対応は「12.5.6 アドレスマルチプレクスについて」を参照してください。

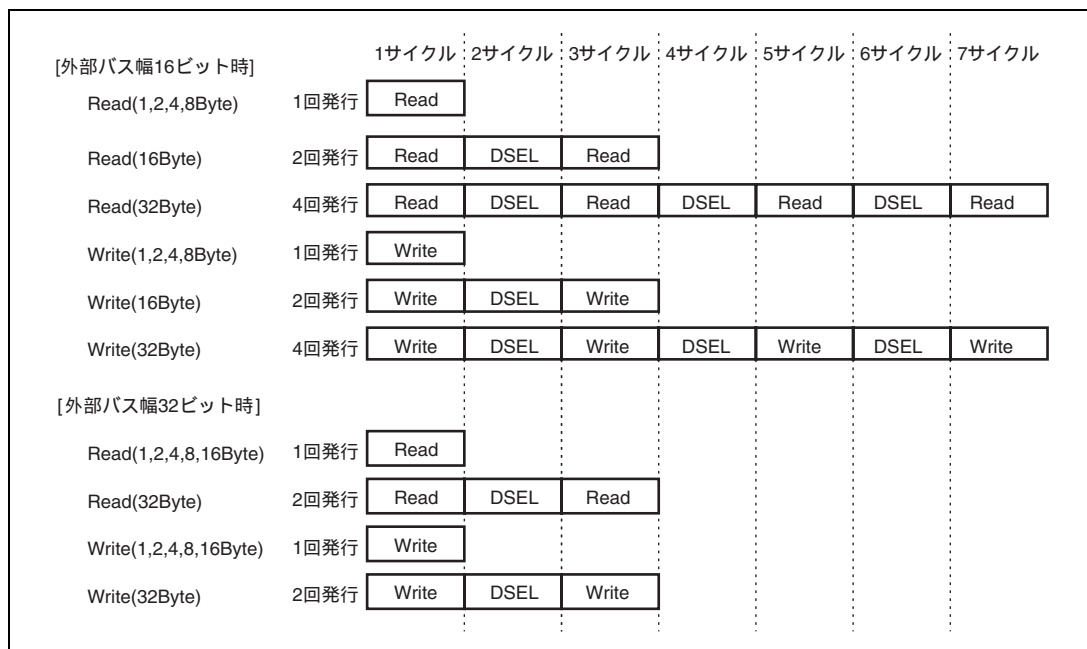


図 12.3 SuperHyway からのリクエストに応じ SDRAM に対して発行するリード/ライトコマンド

(2) 先行プリチャージ/アクティベート処理

DBSC3 は、SDRAM のマルチバンク機能を生かし、SDRAM コマンドの空きサイクルをできるだけなくしバスの利用効率を上げるため、後続のリクエストキューのページミス処理に対応する PRE/ACT コマンドを先行して発行します。先行するのは PRE/ACT コマンドのみですので、リードライトの順番が崩れることはありません。先行 PRE/ACT コマンドを発行するのは、後続リクエストが (1) ページミスかつ (2) 現在処理中のリクエストと異なったバンクへのアクセスの場合に限られます。先行プリチャージ/アクティベート処理の実行例を図 12.4 に示します。この例では、外部バス幅が 32 ビットで、PRE-ACT 最小時間制約が 3 サイクル、ACT-READ/WRITE 最小時間制約が 3 サイクル、ACT(A)-ACT(B) 最小時間制約が 2 サイクルのとき、SDRAM に対するコマンド発行がどのように行われているかを示しています。この例では、1 番目から 4 番目までリクエストが積まれており 1 番目が最初にキューに与えられたリクエストです。

まず、DBSC3 は Time1 で 1 番目の Read (16Byte) のリクエスト処理に対する PRE コマンドを SDRAM へ発行します。その後、時刻 Time2 で発行するコマンドを決定する際、優先順位の高い 1 番目の Read (16Byte) のリクエスト処理として必要な ACT コマンドの発行は、タイミング制約のために Time2 では発行することができないことがわかります。そのため、DBSC3 は Time2 で発行するコマンドを後続のリクエストキューから検索します。検索の結果、3 番目の Read (8Byte) と 4 番目の Read (16Byte) のリクエストが、先行プリチャージ処理可能であることがわかります。DBSC2 は先行したリクエストを優先するため、3 番目の Read (8Byte) に対する先行プリチャージ処理を行うことを決定し、SDRAM へ PRE コマンドを発行します。

時刻が Time3 に進んだ際、Time3 でも 1 番目の Read (16Byte) のリクエスト処理に対する ACT コマンド発行が行えないため、後続のリクエストキューから発行できるコマンドを検索します。ここでも 3 番目の Read (8Byte)

に対するリクエスト処理の ACT コマンド発行はタイミング制約のために行うことができず、結果として 4 番目の Read (16Byte) のリクエスト処理に対応した PRE コマンド発行を選択します。

Time4 になって、1 番目の Read (16Byte) のリクエスト処理を実行することができるようになり、SDRAM へ ACT コマンドを発行します。

その後は、上記で示した処理を繰り返します。

リクエスト 番号	リクエスト 内容	アクセス 対象バンク	リクエスト時 ページ状態	Time 1	Time 2	Time 3	Time 4	Time 5	Time 6	Time 7	Time 8	Time 9	Time 10	Time 11	Time 12	Time 13	Time 14	Time 15	
1番目	Read(16Byte)	Bank0	Miss	PRE			ACT			READ									
2番目	Read(32Byte)	Bank1	Hit									READ		READ					
3番目	Read(8Byte)	Bank2	Miss		PRE				ACT								READ		
4番目	Read(16Byte)	Bank3	Miss			PRE					ACT							READ	
SDRAMへのコマンド					PRE	PRE	PRE	ACT		ACT	READ	ACT	READ		READ		READ		READ

DDR3-SDRAMはバースト長4のため、READ-READ間は必ず2サイクルになります。

図 12.4 先行プリチャージ / アクティベート処理の例

12.5.3 初期化シーケンス

以下に初期化シーケンス例を示します。電源やタイミングパラメータなど、詳細は各メモリベンダのデータシートを参照して決定してください。

1. 各社SDRAMベンダのガイドに従い電源やリファレンス電圧を供給してください。手順は、システム起動時の場合と電源バックアップ状態からの復帰の場合で異なります。
2. SH7786のパワーオンリセット解除後、CPUが動作開始してから、電源バックアップモードであったのか通常の初期化シーケンスなのかを判定し(電源バックアップモード時の設定方法については「12.5.8(2) SDRAM 電源バックアップモードからの復帰」を参照してください)、初期化シーケンスであった場合100 μ s以上ソフトウェアで待ちます。
3. 手動コマンド発行レジスタ (DBCMD) によりSDRAMのRESET端子をLowにします。レジスタに書き込む値は、opc = RstL, arg = 0とします。
4. 手動コマンド発行レジスタ (DBCMD) によりSDRAMのCKE端子をLowにします。レジスタに書き込む値は、opc = PDEn, arg = 100 μ sとします。
5. SDRAM種類設定レジスタ (DBKIND) によりメモリの種類を設定します。
6. SDRAM構成設定レジスタ (DBCNF)、SDRAMタイミングレジスタ0~17 (DBTR0~DBTR17) の設定を行います。
7. PHY部内部レジスタアドレスレジスタ (DBPDRGA) とPHY部内部レジスタデータレジスタ (DBPDRGD) よりプリアンプル検出制御レジスタ (PACNT) の設定を行います。
8. PHY部制御レジスタ3 (DBPDCNT3) より自動キャリブレーションを選択します。
9. PHY部制御レジスタ1 (DBPDCNT1) より自動キャリブレーションを起動します。
10. 10 μ s以上ソフトウェアで待ちます。
11. PHY部制御レジスタ0 (DBPDCNT1) よりDLLのリセットを解除します。
12. 50 μ s以上ソフトウェアで待ちます。
13. MBKPRSC="H"とした後、SDBUP="H"としてください。
14. 手動コマンド発行レジスタ (DBCMD) を利用して待ち時間を挿入します。レジスタに書き込む値は、opc = Wait, arg = 100 μ sとします。
15. 手動コマンド発行レジスタ (DBCMD) によりSDRAMのRESET端子をHighにします。レジスタに書き込む値は、opc = RstH, arg = 100 μ sとします。
16. 手動コマンド発行レジスタ (DBCMD) を利用して待ち時間を挿入します。DBCMDレジスタに opc = Wait, arg = 100 μ sを4回書き込んでください。
17. 手動コマンド発行レジスタ (DBCMD) によりSDRAMのCKE端子をHighにします。レジスタに書き込む値は、opc = PDXt, arg = tXPR (通常、tRFC + 10ns) とします。
18. 手動コマンド発行レジスタ (DBCMD) によりMRS (MR2) コマンドを発行します。CWLの設定は、SDRAM タイミングレジスタ1 (DBTR1) のCWLピットの設定と合わせてください。

19. 手動コマンド発行レジスタ (DBCMD) によりMRS (MR3) コマンドを発行します。MPRはNormal operationに設定します。
20. 手動コマンド発行レジスタ (DBCMD) によりMRS (MR1) コマンドを発行します。Additive Latencyは0、DLL EnableはEnableに設定します。
21. 手動コマンド発行レジスタ (DBCMD) によりMRS (MR0) コマンドを発行します。このとき、動作モードはNormal、DLLリセットはリセット、バースト長は8、バーストタイプはシーケンシャルに設定します。また、CAS Latencyの設定はSDRAMタイミングレジスタ0 (DBTR0) のCLピットの設定と合わせてください。WRの設定はSDRAMタイミングレジスタ10 (DBTR10) のTWRピットの設定と合わせてください。
22. 手動コマンド発行レジスタ (DBCMD) によりZQ Calibration Long コマンドを発行します。レジスタに書き込む値は、 $opc = ZQCL$, $arg = \max\{tZQinit, tDLLK - tMOD\}$ (通常、512) とします。
23. 必要に応じて、バス制御部0設定レジスタ の設定を行います。
24. リフレッシュ設定レジスタ0~2 (DBRFCNF0~DBRFCNF2) の設定を行います。
25. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを1に設定します。
26. SDRAMアクセス許可レジスタ (DBACEN) のACCENビットを1 (アクセス許可) に設定します。
27. 操作完了待ちレジスタ (DBWAIT) をリードし、応答が返るまで待ちます。

12.5.4 セルフリフレッシュ動作について

セルフリフレッシュにより、SDRAM の低消費電力化を図ることができます。

また、セルフリフレッシュ動作と電源制御を組み合わせることにより、SDRAM の電源以外をオフにする電源バックアップモードの実現も可能です。電源バックアップモードの詳細については、「12.5.8 SDRAM 電源バックアップ機能」で説明します。

SDRAM にアクセスする必要がない場合、SDRAM をセルフリフレッシュモードに移行させることで、SDRAM 中のデータ内容を保持したまま SDRAM の消費電力を抑えることが可能です。

セルフリフレッシュ中はアクセス不許可になっているため、SDRAM に対するデータアクセスを実施すると、アクセスは無視されます。

セルフリフレッシュへの移行は、以下の手順に従い、行ってください。

1. 本コントローラへのアクセスが行われていないことを確認し、割り込みなどにより処理が中断して、SDRAM が要求するオートリフレッシュの間隔を超えないようにしてください。
2. SDRAM動作許可レジスタ (DBACEN) のACCENビットを0 (アクセス不許可) に設定します。
3. 手動コマンド発行レジスタ (DBCMD) によりPREA (プリチャージオール) コマンドを発行します。レジスタに書き込む値は、 $opc = PreA$, $arg = 0$ とします。
4. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Entry コマンドを発行します。レジスタに書き込む値は、 $opc = SREn$, $arg = 0$ とします。
5. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを0に設定します。

セルフリフレッシュの解除は下記の手順に従い、行ってください。

1. 割り込みなどにより解除処理が中断しないようにしてください (オートリフレッシュの期間確保のため)。
2. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを1に設定します。
3. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Exit コマンドを発行します。レジスタに書き込む値は、opc = SRXt, arg = 0 とします。
4. 手動コマンド発行レジスタ (DBCMD) を利用してSDRAMへのアクセスが可能になるまでの待ち時間を挿入します。レジスタに書き込む値は、opc = Wait, arg = tXSDLL (通常、512) とします。
5. SDRAMアクセス許可レジスタ (DBACEN) のACCENビットを1 (アクセス許可) に設定します。

12.5.5 オートリフレッシュ動作について

自動リフレッシュ許可レジスタ (DBRFEN) の自動リフレッシュ許可ビット (ARFEN) が1のとき、オートリフレッシュが定期的に行われます。SDRAM へのデータアクセスを行う場合には、必ず設定を行ってください。平均リフレッシュ間隔は、リフレッシュ設定レジスタ1~2で設定します。

リフレッシュ設定レジスタ1~2の設定例と、その場合のリフレッシュの発行タイミングについて説明します。以下で、 $a \pm b$ は $a - b$ 以上 $a + b$ 以下の範囲を意味します。

- リフレッシュ間隔の変動を最小にする場合

REFPMAX は、0を設定します。この場合、リフレッシュ発行から次のリフレッシュ発行までの時間は、REFINT_E \pm REFTHF サイクルとなります。より一般に、 n をある正整数として、あるリフレッシュ発行からその n 個後のリフレッシュ発行までの時間は、 $n \times \text{REFINT_E} \pm \text{REFTHF}$ サイクルとなります。ただし、この間DBRFENレジスタへの書き込みはないと仮定しています。

- リフレッシュ間隔に柔軟性を持たせる場合

REFPMAX は、1以上の値を設定します。REFINTは、メモリベンダのデータシートに記載されている平均リフレッシュ間隔 (Normal Operating Temperature RangeにおけるtREFI) をサイクル数で表し整数に切り捨てた値を設定します。REFINTSは、温度によって0または1を設定します。

この場合、 n をある正整数として、あるリフレッシュ発行からその n 個後のリフレッシュ発行までの時間は、 $n \times \text{REFINT_E} + \text{REFPMAX} \times \text{REFINT_E}$ サイクル以下となります。ただし、この間DBRFENレジスタへの書き込みはないと仮定しています。

- 平均リフレッシュ間隔の下限制約

REFINT に設定可能な下限値は次の式のとおりです。ここで \ll は左シフト演算子です。
 $(\text{REFTHF} + \text{TRFC} + 2 \times \text{TMOD} + \text{TRDMR} + 2 \times \text{TFAW} + \max\{\text{TFAW}, \text{TRAS}, \text{TRC} - \text{TRP}, \text{TRCD}\} + 100) \ll \text{REFINTS}$

オートリフレッシュ前に開いているバンクがある場合、本コントローラは自動的に PREA (プリチャージオール) コマンドを用いて全バンクのプリチャージを実施してから、REF (オートリフレッシュ) コマンドを発行します。したがって、リフレッシュ後は、すべてのバンクに対するデータアクセスは、ページミス状態になります。

12.5.6 アドレスマルチプレクスについて

SDRAM 構成レジスタ (DBCNF) の設定により各種サイズのメモリを接続可能です。BWIDTH ビットで外部バス幅を設定し、SPLIT ビットで接続するメモリサイズを設定します。BASFT ビットの設定によりバンクアドレスの位置を下位ビットの方に移すため、アプリケーションによってはページヒットの可能性が高まります。

表 12.11 アドレス端子と論理アドレスの関係(BKADM=00)
(16bit 幅 SDRAM は 2 個、8bit 幅 SDRAM は 4 個接続時)

種類		BA2	BA1	BA0	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
32M × 32b	ROW	A14	A13	A12	-	-	-	-	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A14	A13	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
64M × 32b	ROW	A14	A13	A12	-	-	-	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A14	A13	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
128M × 32b	ROW	A14	A13	A12	-	-	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A14	A13	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
256M × 32b	ROW	A14	A13	A12	-	A29	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A14	A13	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
512M × 32b	ROW	A14	A13	A12	A30	A29	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A14	A13	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0

- 【注】
1. A31 ~ A0 はバイト単位の論理アドレスビットであり、A31 が MSB 側、A0 が LSB 側を示します。
 2. AP はオートプリチャージオプションを示します。
 3. \overline{BC} : パーストチョップはサポートしていません。

表 12.12 アドレス端子と論理アドレスの関係(BKADM=01)
(16bit 幅 SDRAM は 2 個、8bit 幅 SDRAM は 4 個接続時)

種類		BA2	BA1	BA0	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
32M × 32b	ROW	A26	A13	A12	-	-	-	-	A14	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A26	A13	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
64M × 32b	ROW	A27	A13	A12	-	-	-	A14	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A27	A13	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
128M × 32b	ROW	A28	A13	A12	-	-	A14	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A28	A13	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
256M × 32b	ROW	A29	A13	A12	-	A14	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A29	A13	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
512M × 32b	ROW	A30	A13	A12	A14	A29	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A30	A13	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0

- 【注】
1. A31～A0 はバイト単位の論理アドレスビットであり、A31 が MSB 側、A0 が LSB 側を示します。
 2. AP はオートプリチャージオプションを示します。
 3. \overline{BC} : パーストチョップはサポートしていません。

表 12.13 アドレス端子と論理アドレスの関係(BKADM=10)
(16bit 幅 SDRAM は 2 個、8bit 幅 SDRAM は 4 個接続時)

種類		BA2	BA1	BA0	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
32M × 32b (A26=0)	ROW	A26	A25	A12	-	-	-	-	A14	A13	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A26	A25	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
32M × 32b (A26=1)	ROW	A26	A13	A12	-	-	-	-	A14	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A26	A13	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
64M × 32b (A26=0)	ROW	A27	A26	A12	-	-	-	A14	A13	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A27	A26	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
64M × 32b (A26=1)	ROW	A27	A13	A12	-	-	-	A14	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A27	A13	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
128M × 32b (A26=0)	ROW	A28	A27	A12	-	-	A14	A13	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A28	A27	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
128M × 32b (A26=1)	ROW	A28	A13	A12	-	-	A14	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A28	A13	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
256M × 32b (A26=0)	ROW	A29	A28	A12	-	A14	A13	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A29	A28	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
256M × 32b (A26=1)	ROW	A29	A13	A12	-	A14	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A29	A13	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
512M × 32b (A26=0)	ROW	A30	A29	A12	A14	A13	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A30	A29	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
512M × 32b (A26=1)	ROW	A30	A13	A12	A14	A29	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A30	A13	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0

- 【注】
1. A31～A0 はバイト単位の論理アドレスビットであり、A31 が MSB 側、A0 が LSB 側を示します。
 2. AP はオートプリチャージオプションを示します。
 3. \overline{BC} : バーストチョップはサポートしていません。

表 12.14 アドレス端子と論理アドレスの関係(BKADM=11)
(16bit 幅 SDRAM は 2 個、8bit 幅 SDRAM は 4 個接続時)

種類		BA2	BA1	BA0	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA	MA
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
32M × 32b (A[26:25]=00)	ROW	A26	A25	A24	-	-	-	-	A14	A13	A12	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A26	A25	A24	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
32M × 32b (A[26:25]=01)	ROW	A26	A25	A12	-	-	-	-	A14	A13	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A26	A25	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
32M × 32b (A26=1)	ROW	A26	A13	A12	-	-	-	-	A14	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A26	A13	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
64M × 32b (A[26:25]=00)	ROW	A27	A26	A25	-	-	-	A14	A13	A12	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A27	A26	A25	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
64M × 32b (A[26:25]=01)	ROW	A27	A26	A12	-	-	-	A14	A13	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A27	A26	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
64M × 32b (A26=1)	ROW	A27	A13	A12	-	-	-	A14	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A27	A13	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
128M × 32b (A[26:25]=00)	ROW	A28	A27	A26	-	-	A14	A13	A12	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A28	A27	A26	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
128M × 32b (A[26:25]=01)	ROW	A28	A27	A12	-	-	A14	A13	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A28	A27	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
128M × 32b (A26=1)	ROW	A28	A13	A12	-	-	A14	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A28	A13	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
256M × 32b (A[26:25]=00)	ROW	A29	A28	A27	-	A14	A13	A12	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A29	A28	27	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
256M × 32b (A[26:25]=01)	ROW	A29	A28	A12	-	A14	A13	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A29	A28	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
256M × 32b (A26=1)	ROW	A29	A13	A12	-	A14	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A29	A13	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
512M × 32b (A[26:25]=00)	ROW	A30	A29	A28	A14	A13	A12	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A30	A29	A28	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
512M × 32b (A[26:25]=01)	ROW	A30	A29	A12	A14	A13	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A30	A29	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0
512M × 32b (A26=1)	ROW	A30	A13	A12	A14	A29	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A30	A13	A12	-	-	-	\overline{BC}	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	0	0

- 【注】
1. A31～A0 はバイト単位の論理アドレスビットであり、A31 が MSB 側、A0 が LSB 側を示します。
 2. AP はオートプリチャージオプションを示します。
 3. \overline{BC} : バーストチョップはサポートしていません。

12.5.7 SDRAM アクセスとタイミング制約について

本節では、SDRAM の基本アクセスと観測される波形の関係を示した後、SDRAM アクセスと SDRAM タイミングレジスタ 0~17 (DBTR0~DBTR17) の設定による CAS レイテンシ (CL)、tRAS、tRFC、tRCD、tRP、tRRD、tWR、tRTP、tRC、READ-WRITE 間最小間隔、WRITE-READ 間最小間隔の制約の対応を示します。

(1) SDRAM 基本アクセス

本節では基本的な SDRAM アクセスであるリード、ライト、オートリフレッシュ、セルフリフレッシュ動作時に外部バスで観測される波形について説明します。

1/2/4/8/16/32 バイトリードを行った場合の波形を、図 12.5 に示します。この図の例では、バンク A に対するリードアクセス処理が ACT コマンド発行から開始されていますが、もし、ページヒットしている場合には、READ コマンド発行からアクセスが開始されます。

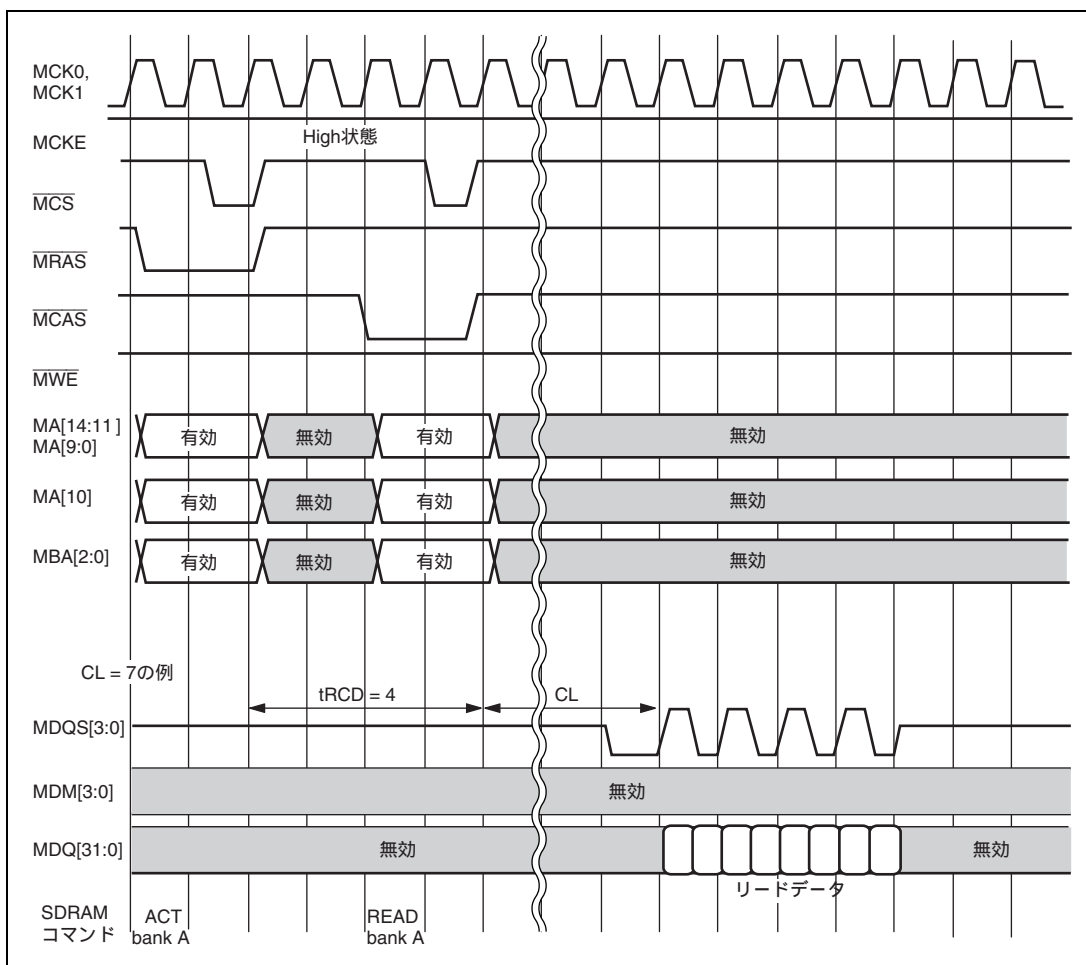


図 12.5 1/2/4/8/16/32 バイトリード

1/2/4/8/16/32 バイトライトを行った場合の波形を、図 12.6 に示します。この図の例では、バンク A に対するライトアクセス処理が ACT コマンド発行から開始されていますが、もし、ページヒットしている場合には WRITE コマンド発行からアクセスが開始されます。

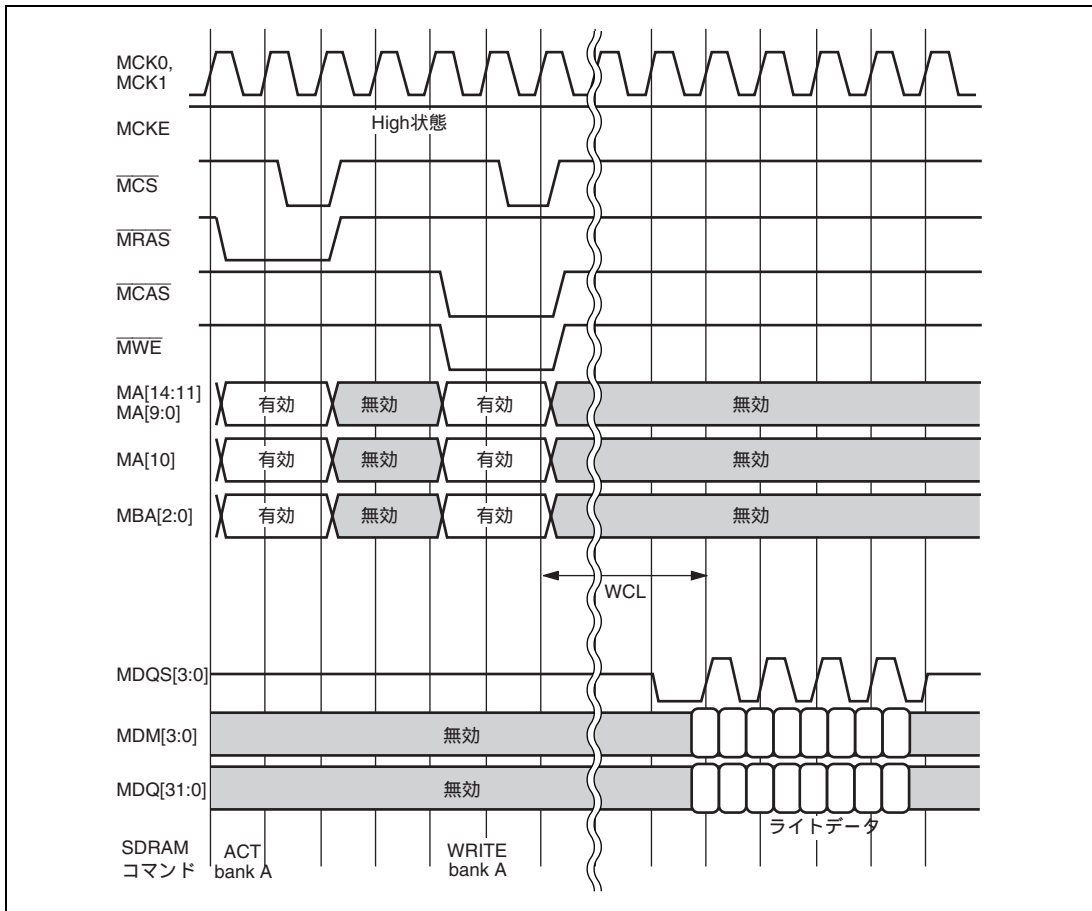


図 12.6 1/2/4/8/16/32 バイトライト

図 12.7 に SDRAM リフレッシュ制御レジスタ 0,1,2 の設定により発生したオートリフレッシュ動作時の波形を示します。本メモリコントローラは、REF コマンド発行前に SDRAM のバンクが一つでもアクティベートされている場合、PALL コマンドを発行してから REF コマンド発行を自動的に行います。そのため、オートリフレッシュ動作のために、バンクがすべてプリチャージされていることをソフトウェアで管理する必要はありません。

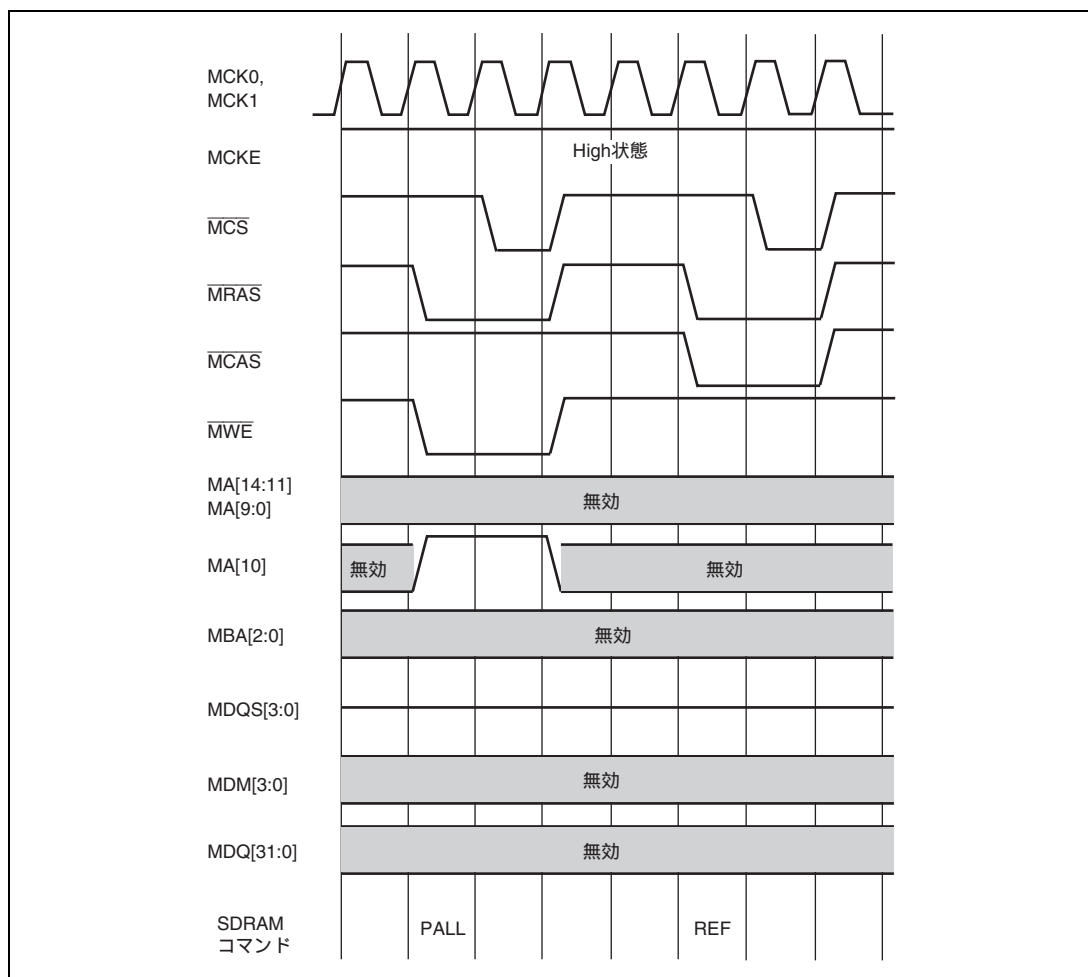


図 12.7 オートリフレッシュ動作

図 12.8 にセルフリフレッシュ動作を示します。セルフリフレッシュ動作を行うためには、シーケンスを守る必要があり、詳細は「12.5.4 セルフリフレッシュ動作について」に記載がありますので参照してください。

「12.5.4 セルフリフレッシュ動作について」のシーケンスとおりに処理を行うと、SDRAM に対して与えるコマンドは図 12.10 のようになります。セルフリフレッシュへ遷移させる前に、PREA コマンドをソフトウェアにて発行します。その後、ソフトウェアで REF コマンドを発行し、ソフトウェアで SRE (セルフリフレッシュ) コマンドを発行します。ソフトウェアでセルフリフレッシュ解除を行うまで SDRAM はセルフリフレッシュ状態になります。ソフトウェアでの SRX (セルフリフレッシュ解除) コマンド発行後、REF コマンド発行までの時間には SDRAM が要求する制約があり、時間 t_{XSNR} だけ待つ必要があります。

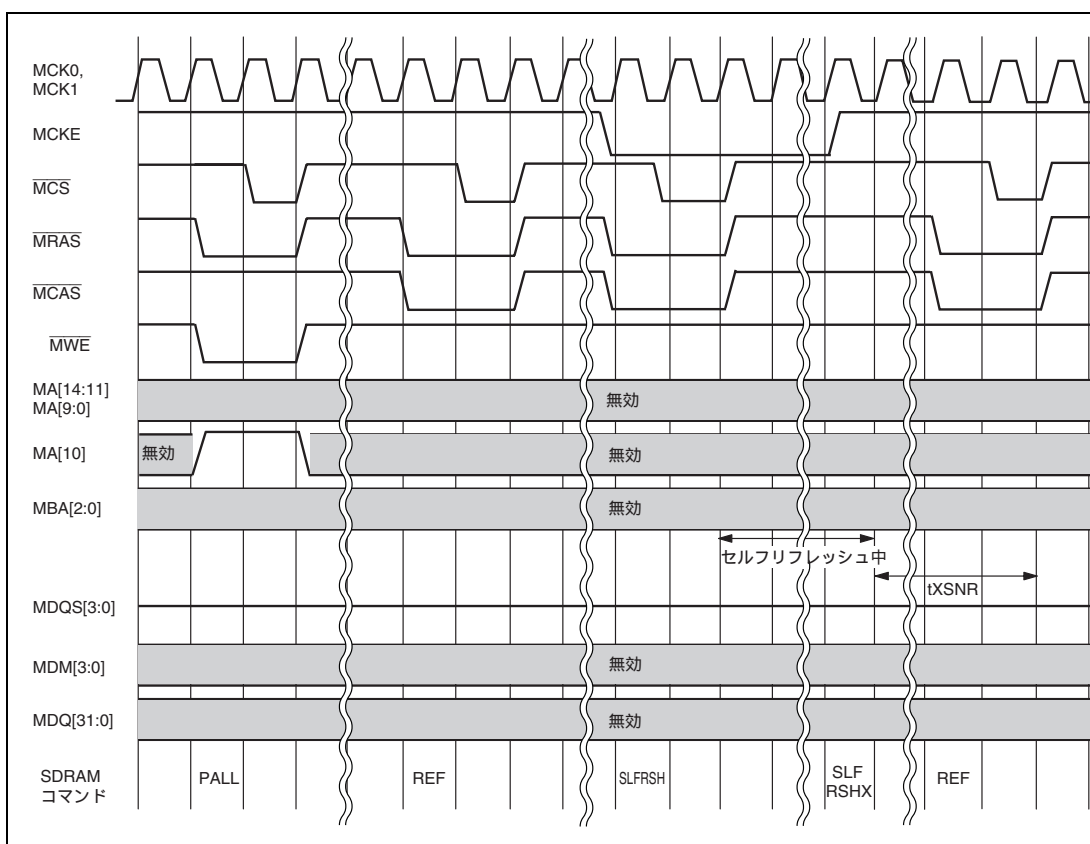


図 12.8 セルフリフレッシュ動作

(2) タイミング制約について

図 12.9 に CL、tRAS、tRCD、tRP の設定値とコマンド発行の関係を示します。図 12.10 には tRRD、tRTP の関係、図 12.11 には tWR の関係、図 12.12 には tRC の関係、図 12.13 には READ-WRITE 間の関係、図 12.14 には WRITE-READ 間の関係、図 12.15 には tRFC の関係を示しています。

図 12.9 は、バンク A が開かれている状態で同じバンク A に対するリードアクセスがありページミスが発生した場合の動作に対応しています。PRE コマンドと ACT コマンド間の制約 tRP、ACT コマンドと READ コマンド間の制約 tRCD、ACT コマンドと PRE コマンド間の制約 tRCD が関係します。本メモリコントローラは各制約を満たすまでコマンドの発行を延期します。

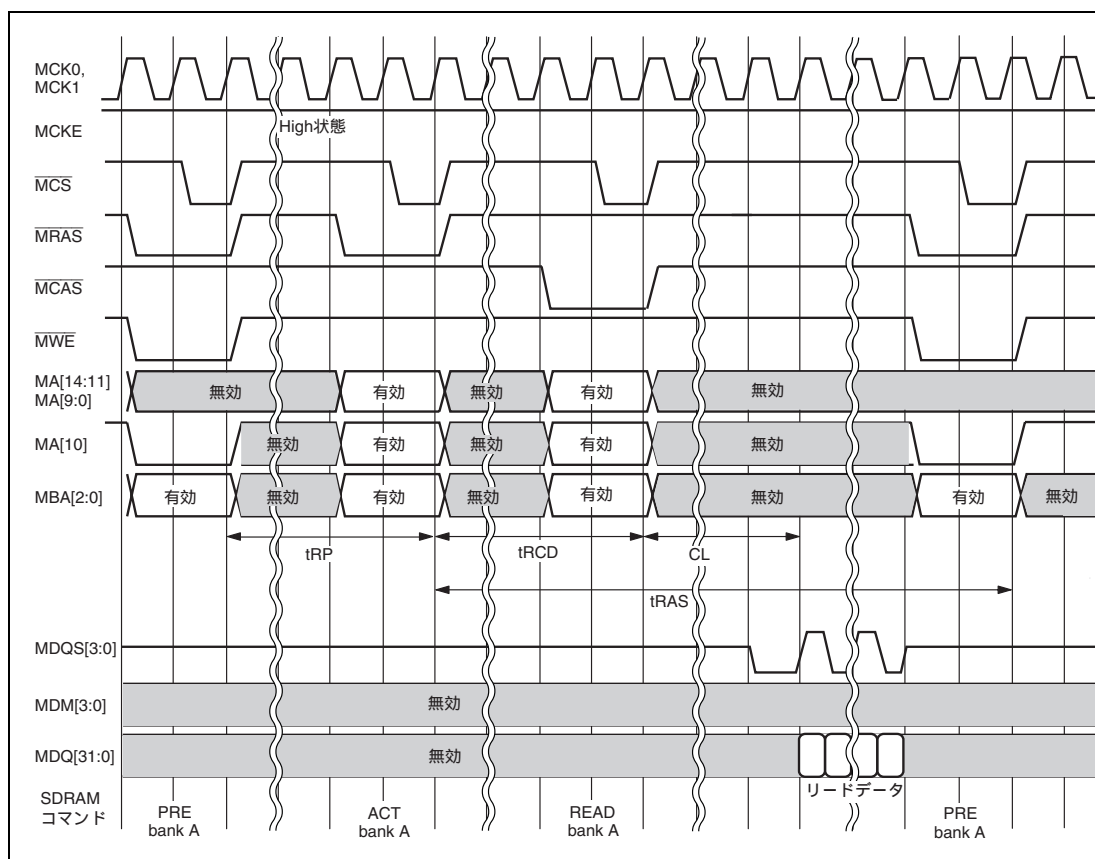


図 12.9 tRP、tRCD、CL、tRAS について

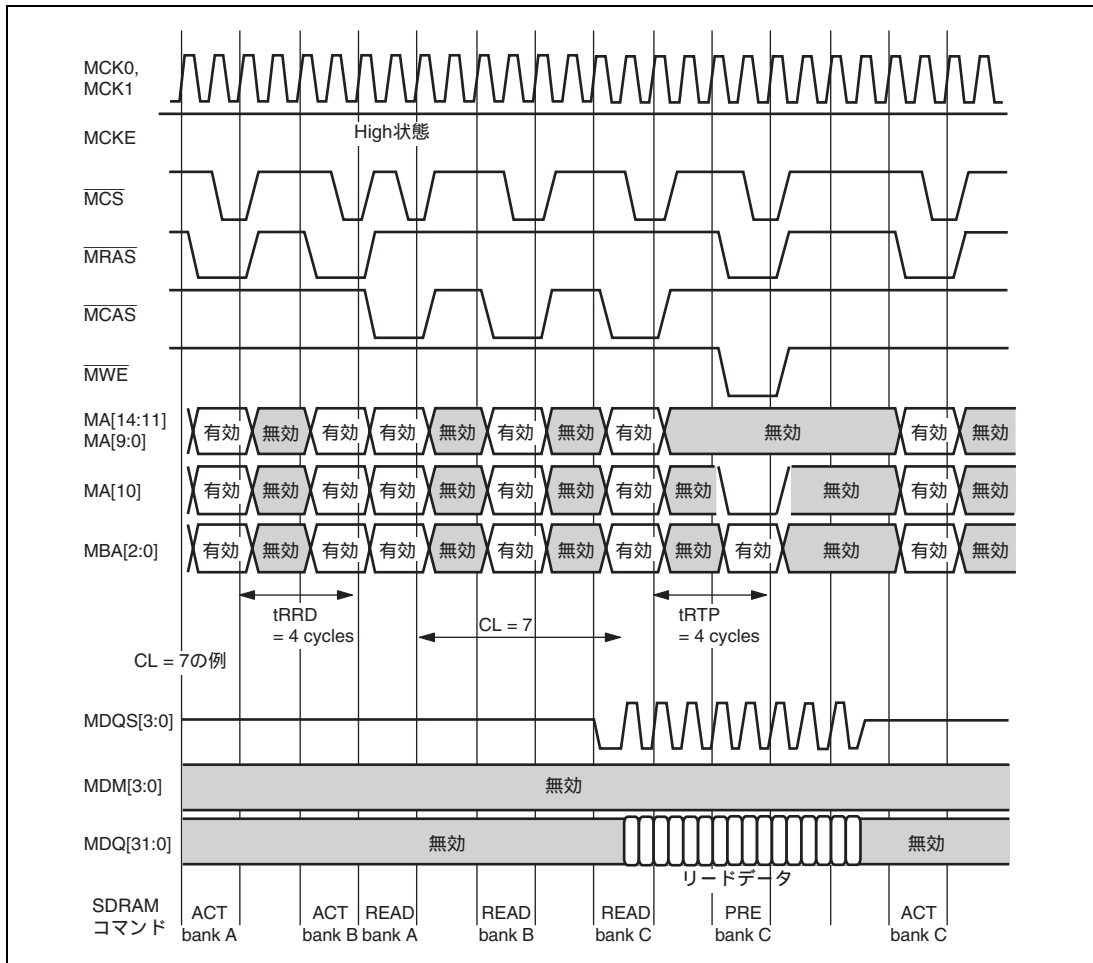


図 12.10 tRRD、tRTP について

図 12.10 は、バンク A、B のページがともに閉じており、バンク C のページが開かれてページヒットしている場合を示しています。まずバンク A の ACT コマンド発行から開始し、tRRD 時間制約を満たした後、バンク B の ACT コマンドを発行します。バンク A の ACT コマンド発行から tRCD 時間経過したため、READ コマンド発行が可能になります。さらに 2 サイクル後、バンク C に対する READ コマンドを発行します。ただし、次のリクエストはバンク C を閉じる必要のあるアクセスなので、tRTP 時間経過後に PRE コマンドを発行しています。

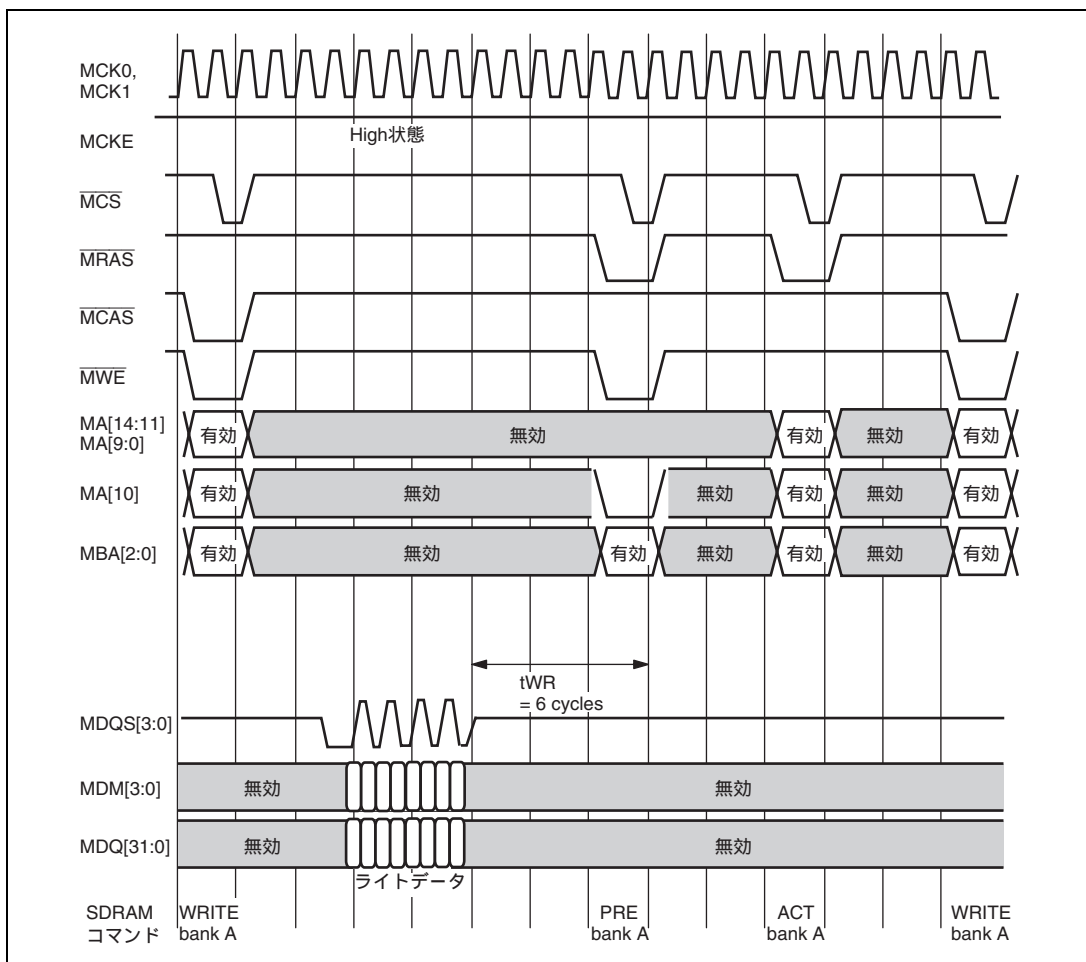


図 12.11 tWR について

図 12.11 は、ライトリクエスト後にバンク B を閉じる必要のあるアクセスが生じた場合を示しています。WRITE コマンド発行後に、PRE コマンド発行のためには、ライトデータが出力されてから t_{WR} 時間以上経過を待つ必要があります。

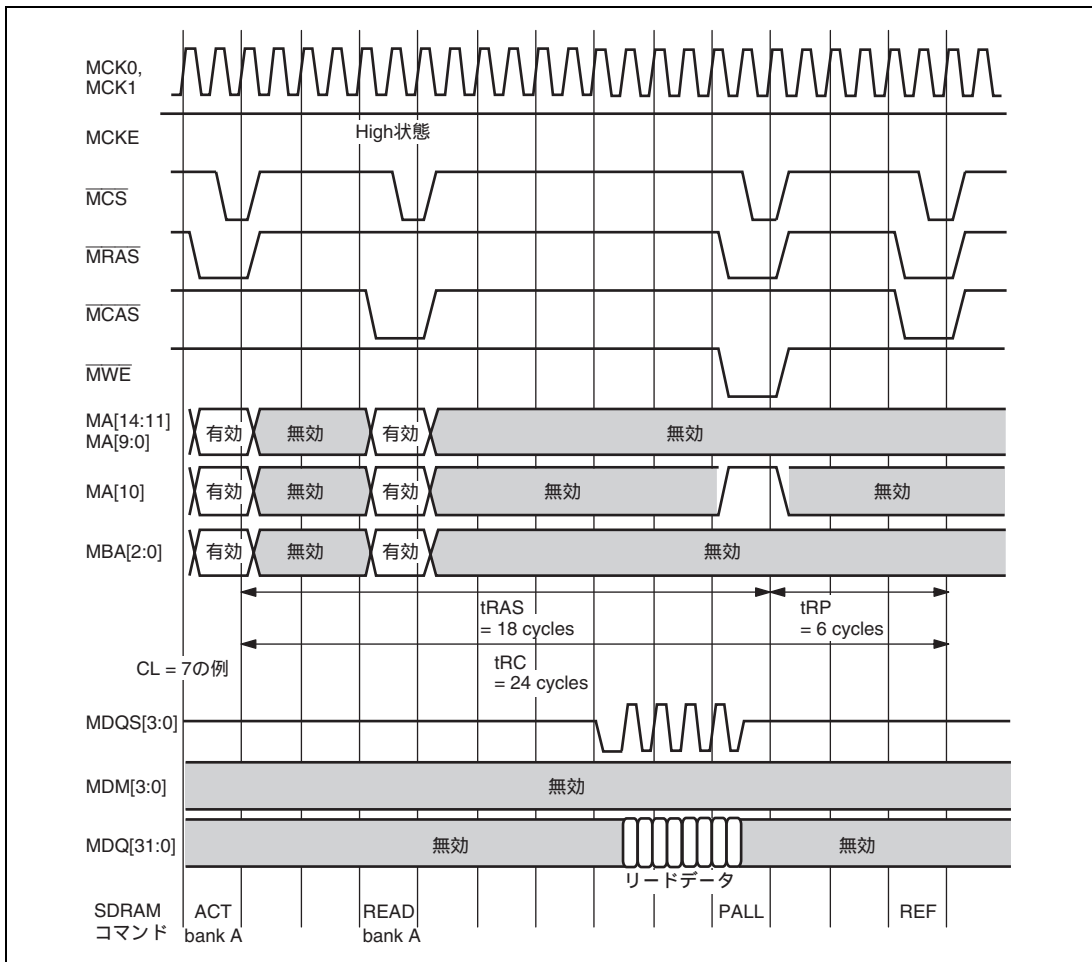
図 12.12 t_{RC} について

図 12.12 は、ページが閉じられていたバンク A のリードアクセスの後、オートリフレッシュを行う場合の例です。バンク A に対して ACT コマンドと READ コマンドを発行してデータリードを行った後、オートリフレッシュを行うため、PALL コマンドを使いすべてのバンクを閉じる必要があります。PREA コマンド発行のためには、 t_{RAS} 時間制約を満たす必要があり、それまで PREA コマンド発行が延期されます。その後、REF コマンドを発行する際、 t_{RP} と t_{RC} 時間を同時に満たす必要があり、それらの制約がすべて満たされた際に、REF コマンドが発行されオートリフレッシュが行われます。

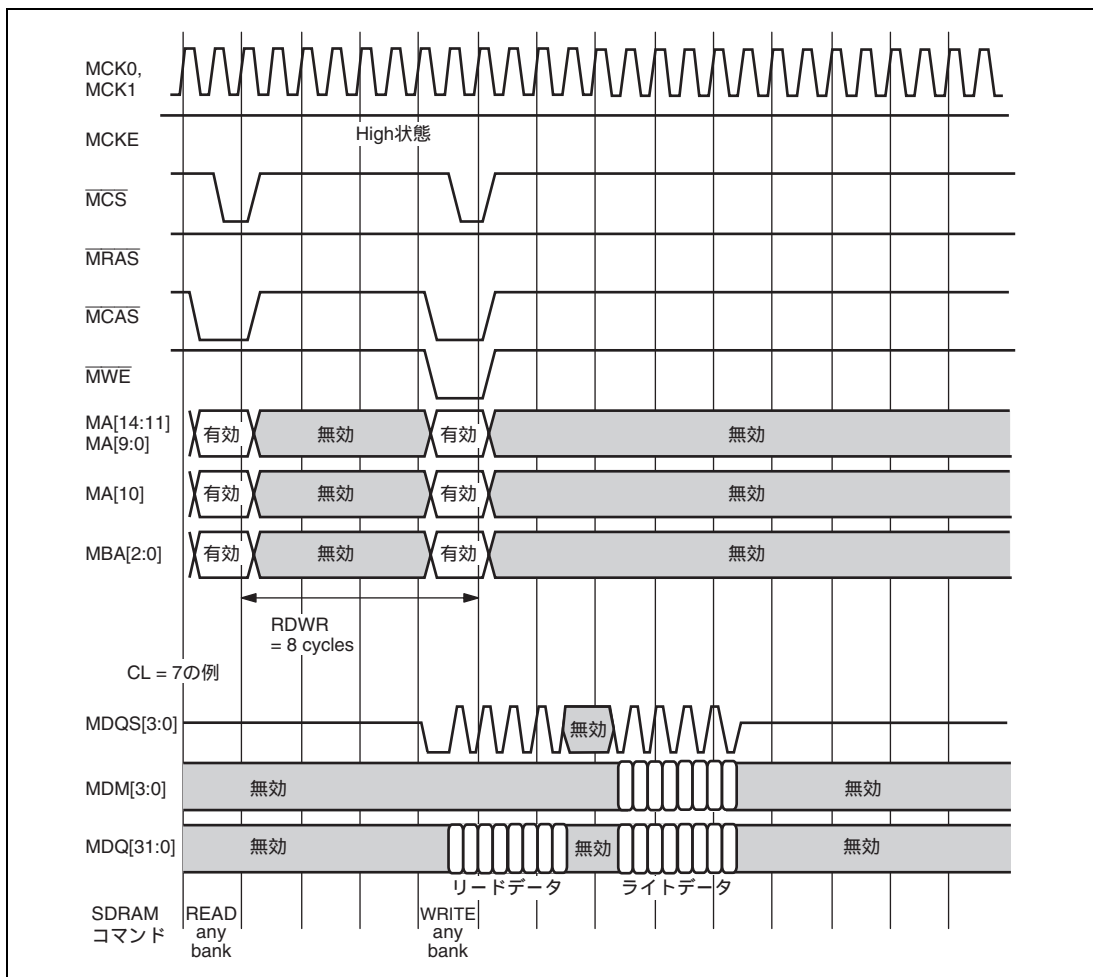


図 12.13 READ-WRITE 間最小間隔について

図 12.13 は READ コマンド発行後、WRITE コマンドを発行した場合の例です。本メモリコントローラは、READ コマンド発行後、WRITE コマンド発行のために、最低 RDWR で規定した時間分経過するのを待ちます。

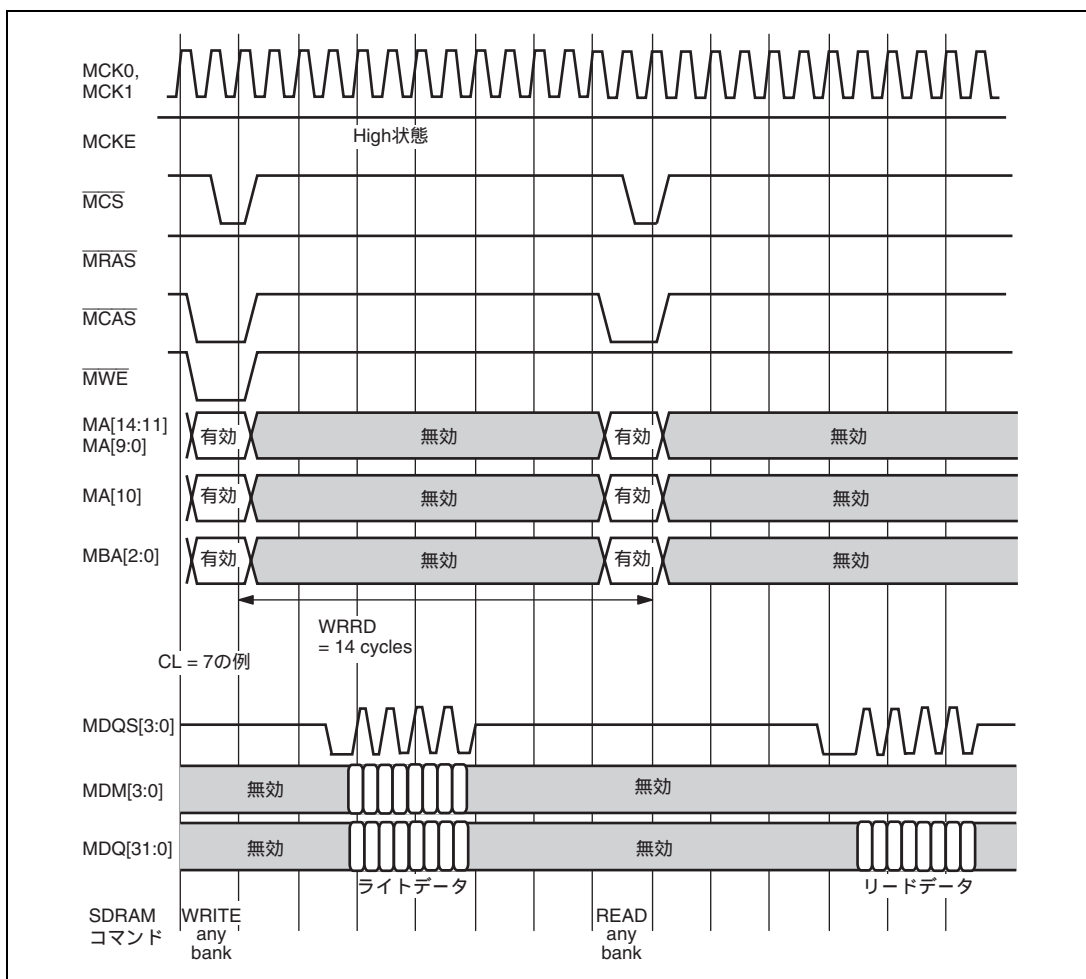


図 12.14 WRITE-READ 間最小間隔について

図 12.14 は WRITE コマンド発行後、READ コマンドを発行した場合の例です。本メモリコントローラは、WRITE コマンド発行後、READ コマンド発行のために、最低 WRRD で規定した時間分経過するのを待ちます。

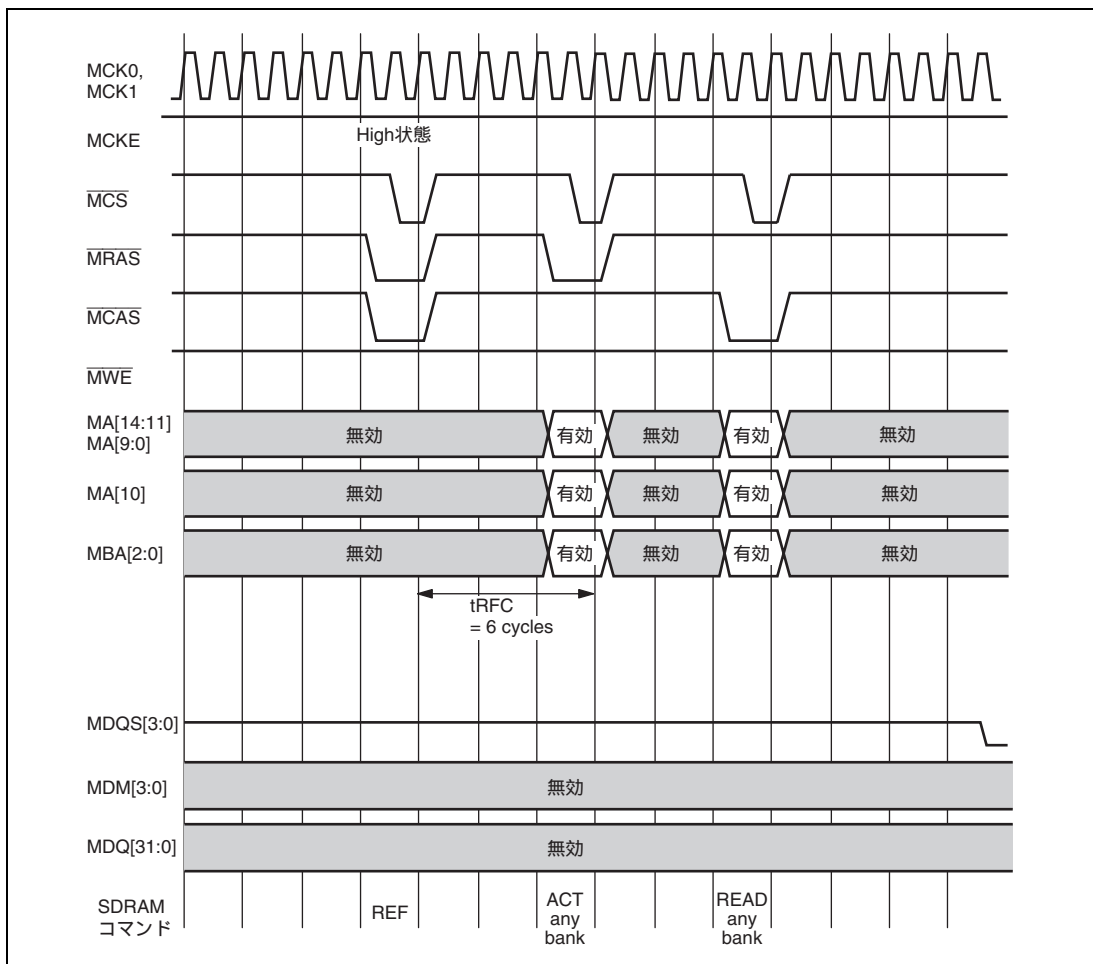


図 12.15 tRFC について

図 12.15 は REF コマンド発行後、READ リクエストが発生した場合の動作例です。本コントローラは REF コマンド発行後、tRFC で規定した時間分、ACT コマンド発行を待ちます。

12.5.8 SDRAM 電源バックアップ機能

SDRAM 電源バックアップ機能とは、SDRAM のセルフリフレッシュ状態を利用して、SDRAM のデータを保持しつつ、本メモリコントローラのコア電源部分 (1.2V) を OFF する機能です。本機能によりシステムの消費電力削減が可能になるだけでなく、SDRAM 内に有効データが保存されているので再度データを SDRAM に転送する時間が削減できます (図 12.16 参照)。なお、本機能を実現するためには、本メモリコントローラを含むチップ以外に、チップとメモリの状態を監視する外部素子 (マイコンなど) などが別途必要です。

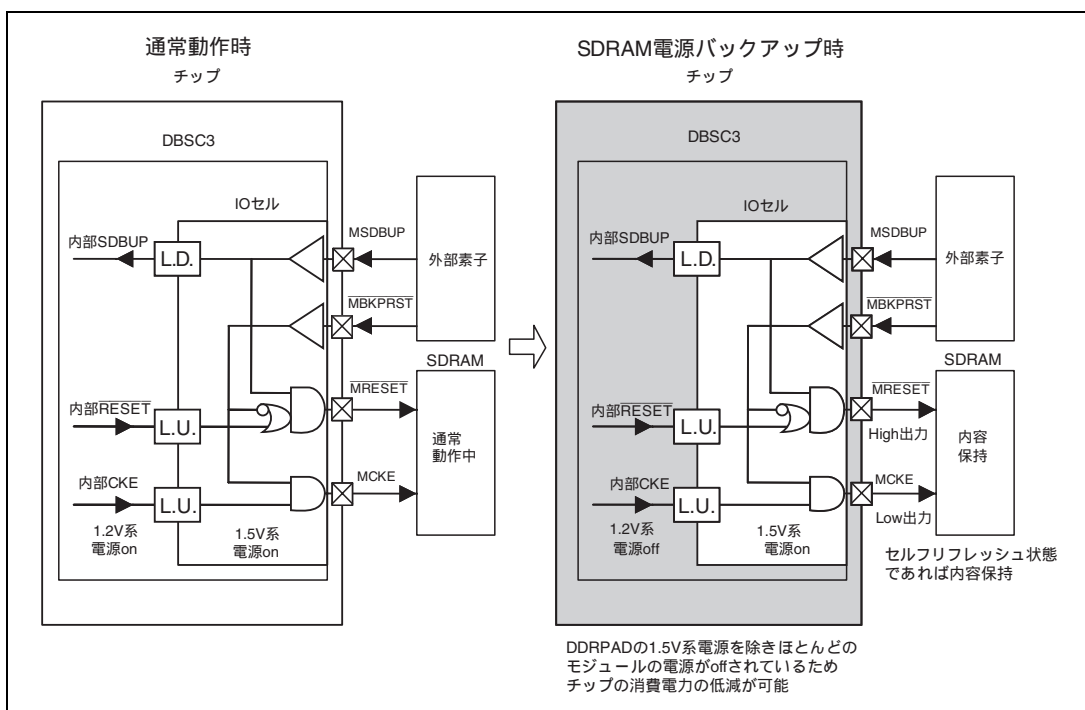


図 12.16 SDRAM 電源バックアップ機能

電源バックアップ機能実現のためには、1.5V I/O 以外の電源 OFF 時でも MCKE をロー (Low) レベルに保持する制御信号 $\overline{\text{MBKPRST}}$ が必要です。本信号がローレベルにあるとき、チップ内部の電源が OFF 状態でも MCKE 端子はローを保持することができます。SDRAM を DBSC3 でセルフリフレッシュ状態にした後、この $\overline{\text{MBKPRST}}$ 信号を使い MCKE 信号をローレベルに保てば、チップ内部の電源が OFF になっても、SDRAM のセルフリフレッシュ状態を保持できます。

電源バックアップ状態の解除は、パワーオンリセットにより行います。これにより、本メモリコントローラのレジスタは初期化が行われるため、セルフリフレッシュの制御論理も初期化されます。内部 CKE 信号が不定になるパワーオンリセット前やパワーオンリセット期間中も SDRAM をセルフリフレッシュ状態にしておくため、 $\overline{\text{MBKPRST}}$ 信号はローレベルを保持しておく必要があります。なお、パワーオンリセットによりメモリコントローラは内部 CKE 信号をローレベルに確定しますので、パワーオンリセット解除後は $\overline{\text{MBKPRST}}$ をハイ (High) レベルにします。(電源バックアップ状態ではない場合には $\overline{\text{MBKPRST}}$ は常にハイレベルで問題ありません。)

このように、電源バックアップ状態の解除をパワーオンリセットにより行うため、ソフトウェアは通常のSDRAMの初期化シーケンスが必要なのか、それとも電源バックアップ状態の解除からなのかを判断する必要があります。この判断のために、外部素子はSDBUP端子にバックアップ状態を示す信号をチップに与えます。なお、SDBUP端子は1.5V I/Oの端子です。またSDBUP端子がハイレベルの間、SDRAMへのMRESET端子もハイレベルが保持されます。SDBUP端子の状態はdbsc3ステータスレジスタ1 (DBSTATE1) をリードすることで確認できます。

パワーオンリセット後に、ソフトウェアは、SDBUP状態信号をモニタし、電源バックアップ状態であったのかSDRAMの初期化が必要なのかを判断します。なお、MCKEをレジスタ設定によりハイレベルにする前に、状態信号は非電源バックアップ状態を意味するようしておく必要があります。(MCKE端子をハイにした後、パワーオンリセットが入るとSDRAM内部のデータが破壊されます。そのため、先に状態信号を非電源バックアップ状態にしておかないと、破壊されたデータを正しいデータとして扱う恐れがあります。)

このように、SDRAM電源バックアップモードへの遷移や解除には手順があり、この手順を守らないとSDRAM内部のデータが破壊されます。

以下では、その手順を説明します。

(1) SDRAM電源バックアップモードへの遷移

下記のフローで行います。

1. 本コントローラへのアクセスが行われていないことを確認し、割り込みなどにより処理が中断しないようにして、SDRAMが要求するオートリフレッシュの間隔を超えないようにしてください。
2. SDRAM動作許可レジスタ (DBACEN) のACCENビットを0 (アクセス不許可) に設定します。
3. 手動コマンド発行レジスタ (DBCMD) によりPREA (プリチャージオール) コマンドを発行します。レジスタに書き込む値は、opc = PreA, arg = 0 とします。
4. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Entry コマンドを発行します。レジスタに書き込む値は、opc = SREn, arg = 0 とします。
5. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを0に設定します。
6. 手動コマンド発行レジスタ (DBCMD) を利用してクロックを停止するまでの待ち時間を挿入します。レジスタに書き込む値は、opc = Wait, arg = tCKSRE (通常、max{5, 10ns}) とします。
7. 操作完了待ちレジスタ (DBWAIT) をリードし、応答が返るまで待ちます。
8. 外部素子に汎用ポートなどの手段を使いSDRAMがセルフリフレッシュ状態になったことを伝えます。外部素子はその連絡を受け、 $\overline{\text{MBKPRST}}$ 信号をハイレベルからローレベルに、SDBUP信号をハイレベルに保持します。
9. DBSC3の1.5V I/Oを除き不要な電源をOFFします。

(2) SDRAM 電源バックアップモードからの復帰

下記のフローで行います。

1. チップの電源をON状態にします。
2. パワーオンリセットをチップに与えます。
3. パワーオンリセットの解除後、外部素子は $\overline{\text{MBKPRST}}$ 信号をローレベルからハイレベルにします。
4. dbsc3ステータスレジスタ1 (DBSTATE1) を用いてSDRAMの初期化シーケンスなのか、電源バックアップモードからの復帰なのかを判定します。SDRAMの初期化シーケンスであった場合は「12.5.3 初期化シーケンス」を参照してください。
5. SDRAM種類設定レジスタ (DBKIND) によりメモリの種類を設定します。
6. SDRAM構成設定レジスタ (DBCONF)、SDRAMタイミングレジスタ0~17 (DBTR0~DBTR17) の設定を行います。
7. PHY部内部レジスタアドレス (DBPDRGA)、PHY部内部レジスタアクセス (DBPDRGD) よりリードイネーブル設定レジスタ0およびリードイネーブル設定レジスタ1の設定を行います。
8. PHY部制御レジスタ3 (DBPDCNT3) より自動キャリブレーションを選択します。
9. PHY部制御レジスタ1 (DBPDCNT1) より自動キャリブレーションを起動します。
10. 10 μ s以上ソフトウェアで待ちます。
11. PHY部制御レジスタ0 (DBPDCNT1) よりDLLのリセットを解除します。
12. 50 μ s以上ソフトウェアで待ちます。
13. 手動コマンド発行レジスタ (DBCMD) を利用して、セルフリフレッシュ解除までの待ち時間を挿入します (同時に、dbsc3にセルフリフレッシュ中であることを認識させます)。レジスタに書き込む値は、opc = SREn, arg = tCKSRX (通常、max{5, 10ns}) とします。
14. リフレッシュ設定レジスタ0~2 (DBRFCNF0~DBRFCNF2) の設定を行います。
15. 自動リフレッシュ許可レジスタ (DBRFEN) のARFENビットを1に設定します。
16. 手動コマンド発行レジスタ (DBCMD) によりSelf-Refresh Exit コマンドを発行します。レジスタに書き込む値は、opc = SRXt, arg = 0 とします。
17. 手動コマンド発行レジスタ (DBCMD) を利用してSDRAMへのアクセスが可能になるまでの待ち時間を挿入します。レジスタに書き込む値は、opc = Wait, arg = tXSDLL (通常、512) とします。
18. SDRAMアクセス許可レジスタ (DBACEN) のACCENビットを1 (アクセス許可) に設定します。
19. 操作完了待ちレジスタ (DBWAIT) をリードし、応答が返るまで待ちます。以降、通常アクセスが可能になります。

13. PCI Express コントローラ (PCIEC)

本モジュール(PCIEC:PCI Express コントローラ)は、PCI Express の制御を行い、本 LSI の内部バス(SuperHyway バス)と PCI Express に接続される PCI デバイス間のデータ転送を行います。本モジュールにより、PCI Express を用いたシステム設計が容易になると同時に、コンパクトなシステムで高速なデータ転送を可能にします。

本 LSI は、最大 4 レーン(x4)に対応する PCI Express の物理モジュールと、1 レーン(x1)に対応する PCI Express の物理モジュールを搭載しています。このうち、4 レーン対応(x4)のモジュールは、レーンを 2 レーン+1 レーンの構成に分割して使用することができます。モードピンによる設定により、PCIEC0(4 レーン)/PCIEC1(1 レーン)の 2 モジュールを使用するか、PCIEC0(2 レーン)/PCIEC1(1 レーン)/PCIEC2(1 レーン)の 3 モジュールを使用するかを選択することができます。

それぞれの PCIEC モジュールは、ルートポート、エンドポイントの 2 つのモードを持ち、PCI Express で規定されているルートポートまたはエンドポイントとして動作が可能です。

13.1 特長

PCI Express コントローラには以下の特長があります。

- PCI ExpressとSuperHywayバスをつなぐブリッジとして動作
 - PCI Express空間へのSuperHywayトランザクションからのPCI Expressパケットを生成
 - PCI ExpressパケットからのSuperHywayトランザクションの生成
- 内蔵DMACによるPCI Expressデバイス / SuperHywayバス間の高速データ転送をサポート
- PCI Express Base Specification Revision 1.1のサブセットをサポート (未サポート項目は【注】を参照)
- 「PCI Express Endpoint」または「PCI Express Root Port」として動作
- PCI Expressトランザクションのリクエスト、コンプリータとしての機能をサポート
- コンフィグレーションレジスタおよび以下のCapability Structureを内蔵
 - Power Management Capability Structure
 - MSI Capability Structure
 - PCI Express Capability Structure
 - Virtual Channel Capability Structure
- INTx/MSIによる割り込みをサポート
- ハードウェアによるエラーハンドリングをサポート
- 4レーン(x4) / 2レーン(x2) / 1レーン(x1)に対応。(PCIEC1/2は1レーンのみに対応)
- リンクトレーニング、リンクコンフィグレーションを自動で実施
- D+/D-線の自動スワップ機能(Lane Polarity Inversion)をサポート
- Ack/Nak機構による自動リトライ(再送)、LCRC生成/チェックによるデータの完全性を保障
- クレジット管理によるハードウェアのフローコントロールをサポート

- 1レーンあたり最大250MByte/secの転送レートをサポート
- リンクパワー制御機能 (L0、L0s、L1、L3ステート) をサポート

【注】 以下の PCI Express の機能はサポートしていません。

- 初期化、システムブート用拡張 ROM
- カードバス
- 拡張 8 ビットタグ ID 機能
- マルチファンクション / ファントムファンクション
- ハードウェアによるパワー・マネジメントイベント (PME) のハンドリング
- Hot Plug (MRL, Power Controller, Attention Button を含む) への対応
- L2 の低消費電力状態
- ECRC (TLP 層での CRC エラーチェック)

13.2 ブロック図

図 13.1 に PCIEC のブロック図を示します。

PCIEC はブリッジ部、PCIEC 制御部、PCIEC 物理部からなります。

ブリッジ部は、SuperHyway バスと PCI Express とを接続するブリッジの機能を持ち、主に送信する PCI Express パケットの生成や、受信した PCI Express パケットの処理を行います。PI/O 転送制御部では、SuperHyway バスのリクエストから PCI Express パケット生成を、ターゲット転送制御部では PCI Express パケットから SuperHyway リクエストの生成をそれぞれ行い、PCI Express/SuperHyway 間でのデータ通信を可能にします。また、高速データ通信の DMAC 部は、指定された転送設定から SuperHyway リクエストおよび PCI Express パケットを生成し、CPU に負荷をかけずにデータを転送する機能を持ちます。

PCIEC 制御部は、PCI Express のパケット送受信を制御するブロックで、PCI Express の規格で規定される TLP 層、データリンク層の機能を実装しています。PCI Express の規格により規定されるコンフィグレーションレジスタは、本ブロック内に実装されています。

PCIEC 物理部は、PCI Express の伝送路を制御するブロックで、PCI Express の規格で規定される物理層の機能を実装しています。

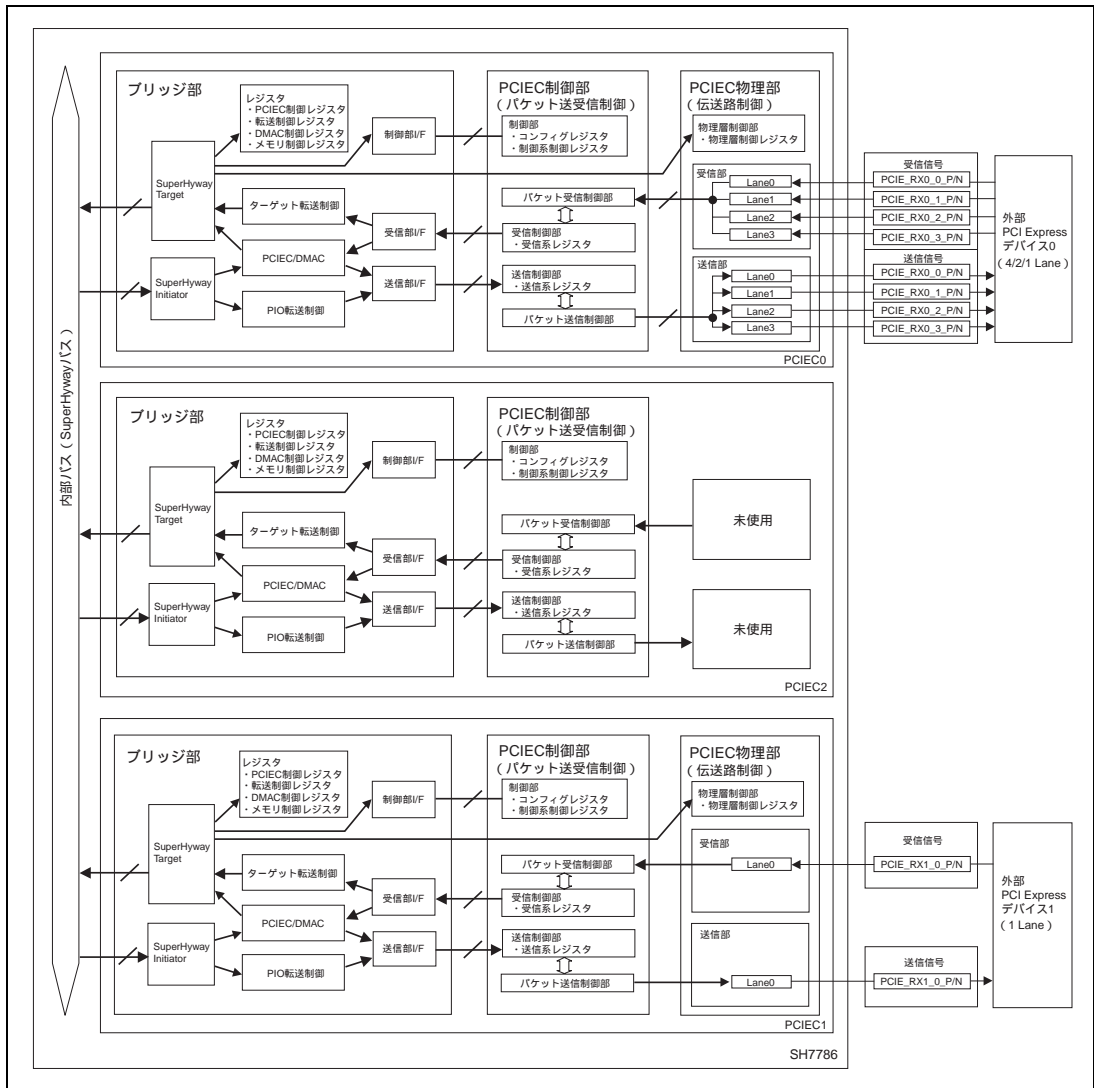


図 13.1 PCIEC ブロック図 (a) (x4 使用時)

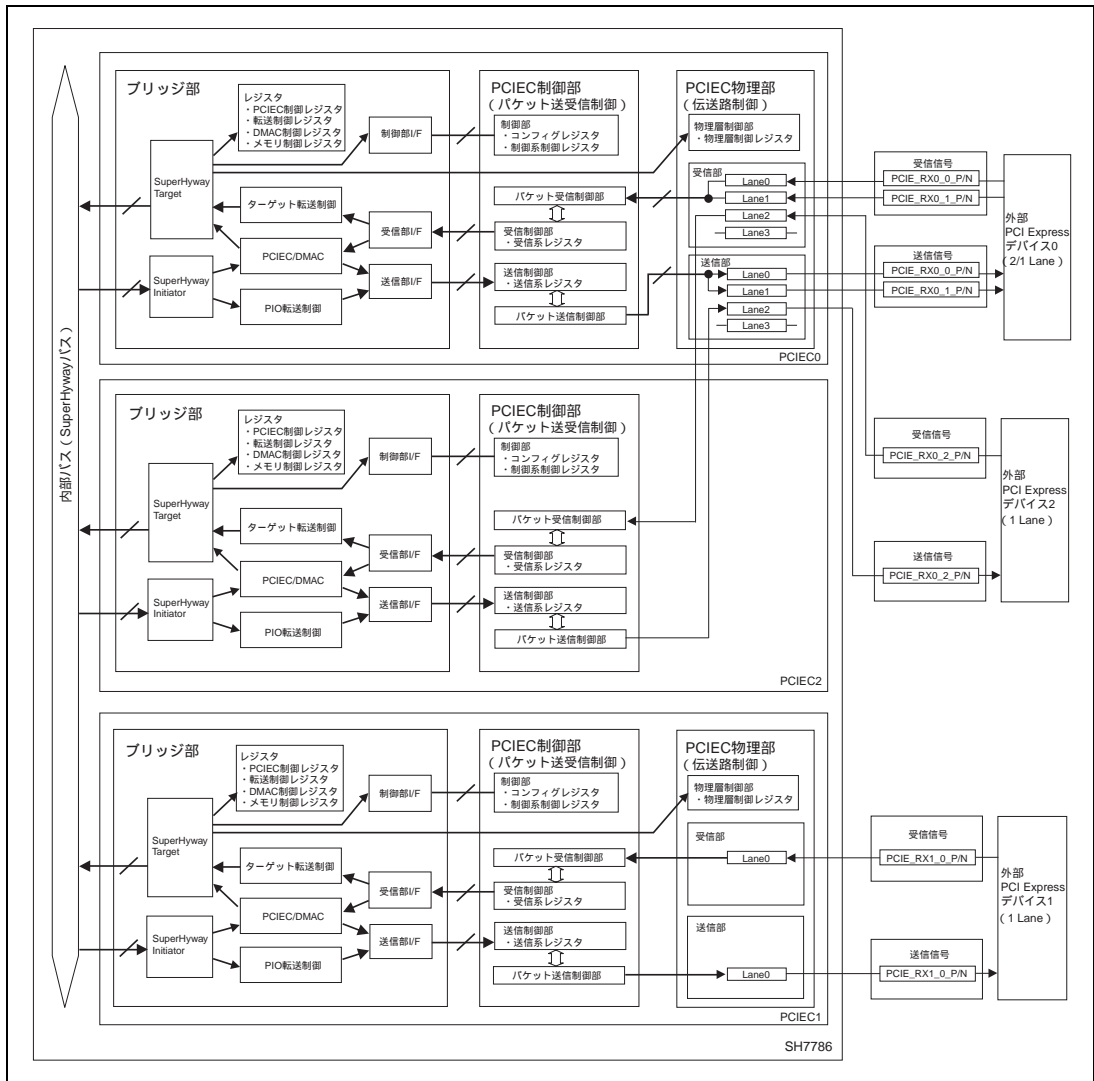


図 13.1 PCIEC ブロック図 (b) (x2/x1 分割時)

13.3 入出力端子

表 13.1 に端子構成を示します。

表 13.1 端子構成

信号名	PCI 規格 信号	入出力	説 明
GCLKP GCLKN	REFCLK+ REFCLK-	IN	PCI Express モジュールに内蔵されている PLL へのリファレンスクロック入力です。(差動入力)。100MHz のクロックを印加してください。
PCIE_TX0_0_P PCIE_TX0_0_N PCIE_TX0_1_P PCIE_TX0_1_N PCIE_TX0_2_P PCIE_TX0_2_N PCIE_TX0_3_P PCIE_TX0_3_N	PETp0 PETn0 PETp1 PETn1 PETp2 PETn2 PETp3 PETn3	OUT	物理モジュール (×4) が使用する送信データ端子です。2.5GHz の信号が伝播します。(差動出力)。 物理モジュール (×4) を 4 レーンとして使用する場合、これらのすべての端子が、4 レーンを構成する端子として使用されます。 物理モジュール (×4) を 2 レーン + 1 レーンに分割する場合、PCIE_TX0_0_P、PCIE_TX0_0_N、PCIE_TX0_1_P、PCIE_TX0_1_N が 2 レーンを構成し、PCIE_TX0_2_P、PCIE_TX0_2_N が 1 レーンを構成し、他のポートは未使用となります。
PCIE_RX0_0_P PCIE_RX0_0_N PCIE_RX0_1_P PCIE_RX0_1_N PCIE_RX0_2_P PCIE_RX0_2_N PCIE_RX0_3_P PCIE_RX0_3_N	PERp0 PERn0 PERp1 PERn1 PERp2 PERn2 PERp3 PERn3	IN	物理モジュール (×4) が使用する受信データ端子です。2.5GHz の信号が伝播します。(差動入力) 物理モジュール (×4) を 4 レーンとして使用する場合、これらのすべての端子が、PCIEC0 の 4 レーンを構成します。 物理モジュール (×4) を 2 レーン + 1 レーンに分割する場合、PCIE_RX0_0_P、PCIE_RX0_0_N、PCIE_RX0_1_P、PCIE_RX0_1_N が 2 レーンを構成し、PCIE_RX0_2_P、PCIE_RX0_2_N が 1 レーンを構成し、他のポートは未使用となります。
PCIE_TX1_0_P PCIE_TX1_0_N	PETp0 PETn0	OUT	物理モジュール (×1) が使用する送信データ端子です。2.5GHz の信号が伝播します。(差動出力)
PCIE_RX1_0_P PCIE_RX1_0_N	PERp0 PERn0	IN	物理モジュール (×1) が受信データ端子です。2.5GHz の信号が伝播します。(差動入力)
MODE11		IN	PCI Express 動作モード選択 0 : ルートポート PCIEC を PCI Express RootPort として動作させることを指定します。 1 : エンドポイント PCIEC を PCI Express Endpoint として動作させることを指定します。 本信号の指定は、PCIEC0/1/2 に対して有効です。

信号名	PCI 規格 信号	入出力	説 明
MODE12		IN	PCI Express レーン分割選択 0 : 4 レーン対応物理モジュール (x4) を、4 レーンとして使用します。 PCIEC0 を 4 レーン対応のモジュールとし、PCIEC2 は未使用とします。 1 : 4 レーン対応物理モジュール (x4) を、2+1 レーンに分割します。 PCIEC0 を 2 レーン対応、PCIEC2 を 1 レーン対応として、使用します。 どちらの設定であっても、1 レーン対応物理モジュール (x1) は、PCIEC1 として、1 レーン用として使用されます。

13.4 レジスタの説明

表 13.3 に PCIEC レジスタ一覧を、表 13.5 に各処理状態におけるレジスタの状態を示します。表中のアドレスオフセット欄には、PCIEC0/1/2 のベースアドレスからの、各レジスタへのオフセットを示しています。実際のアドレスは、PCIEC0/1/2 のベースアドレスにオフセットを加算したものとなります。PCIEC0/1/2 のベースアドレスを、表 13.2 に示します。これらのレジスタは、SuperHyway バスを介してアクセスします。PCI コンフィグレーションレジスタのアドレスおよびオフセットは、リトルエンディアンの場合の値です。アクセスサイズは各レジスタの最大のアクセスサイズを示しています。PCI コンフィグレジスタ空間のレジスタは、32 ビット / 16 ビット / 8 ビットでアクセス可能です。

また、表 13.4 に PCIEC 物理層制御レジスタ一覧を、表 13.6 に各処理状態における物理層制御レジスタの状態を示します。これらのレジスタは、PCIEC のレジスタを介してアクセスします。アクセス方法の詳細は、「13.5.14 物理層制御レジスタへのアクセス」を参照してください。

レジスタ名称に予約と記載されているレジスタには、アクセスしないでください。

表 13.2 PCIEC ベースアドレス

	PCIEC0	PCIEC1	PCIEC2
ベースアドレス	H'FE00_0000	H'FE20_0000	H'FCC0_0000

表 13.3 PCIEC レジスタ一覧

レジスタ名称	略称	SH*	PCI*	アドレス オフセット	PCIEC0	PCIEC1	PCIEC2	アクセス サイズ
		R/W	R/W		初期値	初期値	初期値	
PCIEC 制御レジスタ								
イネーブルレジスタ	PCIEENBLR	R/W	-	H'00_0008	H'0000 0001	H'0000 0001	H'0000 0001	32
イネーブルコントロールレジスタ	PCIEECCR	R/W	-	H'00_000C	H'0000 0000	H'0000 0000	H'0000 0000	32
PI/O アドレスレジスタ	PCIEPAR	R/W	-	H'00_0010	H'0000 0000	H'0000 0000	H'0000 0000	32
PI/O コントロールレジスタ	PCIEPCTLR	R/W	-	H'00_0018	H'0000 0000	H'0000 0000	H'0000 0000	32
PI/O データレジスタ	PCIEPDR	R/W	-	H'00_0020	-	-	-	32
メッセージアドレス下位レジスタ	PCIEMSGALR	R/W	-	H'00_0030	H'0000 0000	H'0000 0000	H'0000 0000	32
メッセージアドレス上位レジスタ	PCIEMSGAHR	R/W	-	H'00_0034	H'0000 0000	H'0000 0000	H'0000 0000	32
メッセージ制御レジスタ	PCIEMSGCTLR	R/W	-	H'00_0038	H'0000 0000	H'0000 0000	H'0000 0000	32
メッセージデータレジスタ	PCIEMSGD	W	-	H'00_0040	-	-	-	32
アンロック制御レジスタ	PCIEUNLOCKCR	R/W	-	H'00_0048	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI-ID レジスタ	PCIEIDR	R	-	H'00_0060	H'0101 1101	H'0101 1101	H'0101 1101	32
デバッグ制御レジスタ	PCIEDBGCTLR	R/W	-	H'00_0100	H'0000 0000	H'0000 0000	H'0000 0000	32
INTx レジスタ	PCIEINTXR	R/W	-	H'00_4000	H'0000 0000	H'0000 0000	H'0000 0000	32

レジスタ名称	略称	SH* R/W	PCI* R/W	アドレス オフセット	PCIEC0 初期値	PCIEC1 初期値	PCIEC2 初期値	アクセス サイズ
受信 Message レジスタ	PCIERMSGR	R/W1C	-	H'00_4010	H'0000 0000	H'0000 0000	H'0000 0000	32
受信 Message 割り込み許可 レジスタ	PCIERMSGIER	R/W	-	H'00_4040	H'0000 0000	H'0000 0000	H'0000 0000	32
リセット制御レジスタ 0	PCIERSTR0	R/W	-	H'00_8000	H'0000 0000	H'0000 0000	H'0000 0000	32
リセット制御レジスタ 1	PCIERSTR1	R/W	-	H'00_8004	H'0000 0000	H'0000 0000	H'0000 0000	32
リセット制御レジスタ 2	PCIERSTR2	R/W	-	H'00_8008	H'0000 0000	H'0000 0000	H'0000 0000	32
リセット制御レジスタ 3	PCIERSTR3	R/W	-	H'00_800C	H'0000 0000	H'0000 0000	H'0000 0000	32
ソフトリセット制御レジスタ	PCIESRSTR	R/W	-	H'00_8040	H'0000 0000	H'0000 0000	H'0000 0000	32
物理層制御レジスタ								
物理層制御レジスタ	PCIEPHYCTLR	R/W	-	H'010000	H'0000 0000	H'0000 0000	H'0000 0000	32
物理層アドレスレジスタ	PCIEPHYADDR	R/W	-	H'010004	H'0000 0000	H'0000 0000	H'0000 0000	32
物理層データ入力レジスタ	PCIEPHYDINR	R	-	H'010008	H'0000 0000	H'0000 0000	H'0000 0000	32
物理層データ出力レジスタ	PCIEPHYDOUTR	R/W	-	H'01000C	H'0000 0000	H'0000 0000	H'0000 0000	32
物理層ステータスレジスタ	PCIEPHYSR	R	-	H'010010	H'0000 0001	H'0000 0001	H'0000 0001	32
PCIEC 転送制御レジスタ								
転送コントロールレジスタ	PCIETCTLR	R/W	-	H'02_0000	H'0000 0008	H'0000 0008	H'0000 0008	32
転送ステータスレジスタ	PCIETSTR	R	-	H'02_0004	H'0000 0000	H'0000 0000	H'0000 0000	32
割り込みレジスタ	PCIEINTR	R/W1C	-	H'02_0008	H'0000 0000	H'0000 0000	H'0000 0000	32
割り込み許可レジスタ	PCIEINTER	R/W	-	H'02_000C	H'0000 0000	H'0000 0000	H'0000 0000	32
エラーヘッダ 0 レジスタ	PCIEEH0R	R	-	H'02_0010	H'0000 0000	H'0000 0000	H'0000 0000	32
エラーヘッダ 1 レジスタ	PCIEEH1R	R	-	H'02_0014	H'0000 0000	H'0000 0000	H'0000 0000	32
エラーヘッダ 2 レジスタ	PCIEEH2R	R	-	H'02_0018	H'0000 0000	H'0000 0000	H'0000 0000	32
エラーヘッダ 3 レジスタ	PCIEEH3R	R	R	H'02_001C	H'0000 0000	H'0000 0000	H'0000 0000	32
エラー要因レジスタ	PCIEERRFR	R/W	R/W	H'02_0020	H'0000 0000	H'0000 0000	H'0000 0000	32
エラー割り込みレジスタ	PCIEERRFER	R/W	R/W	H'02_0024	H'0000 0000	H'0000 0000	H'0000 0000	32
エラー要因レジスタ 2	PCIEERRFR2	R/W	R/W	H'02_0028	H'0000 0000	H'0000 0000	H'0000 0000	32
MSI レジスタ	PCIEMSIR	R/W	-	H'02_0040	H'0000 0000	H'0000 0000	H'0000 0000	32
MSIF レジスタ	PCIEMSIFR	R/W	R/W	H'02_0044	H'0000 0000	H'0000 0000	H'0000 0000	32
パワーダウン制御レジスタ	PCIEPWRCTLR	R/W	-	H'02_0100	H'0000 0000	H'0000 0000	H'0000 0000	32
パケット結合制御レジスタ	PCIEPCCTLR	R/W	-	H'02_0180	H'0000 0000	H'0000 0000	H'0000 0000	32
ローカル (SuperHyway) ア ドレスレジスタ 0	PCIELAR0	R/W	R/W	H'02_0200	H'0000 0000	H'0000 0000	H'0000 0000	32
ローカル (SuperHyway) ア ドレスマスクレジスタ 0	PCIELAMR0	R/W	R/W	H'02_0208	H'0000 0000	H'0000 0000	H'0000 0000	32
ローカル (SuperHyway) ア ドレスレジスタ 1	PCIELAR1	R/W	R/W	H'02_0220	H'0000 0000	H'0000 0000	H'0000 0000	32

レジスタ名称	略称	SH* R/W	PCI* R/W	アドレス オフセット	PCIEC0 初期値	PCIEC1 初期値	PCIEC2 初期値	アクセス サイズ
ローカル (SuperHyway) アドレスマスクレジスタ 1	PCIELAMR1	R/W	R/W	H'02_0228	H'0000 0000	H'0000 0000	H'0000 0000	32
ローカル (SuperHyway) アドレスレジスタ 2	PCIELAR2	R/W	R/W	H'02_0240	H'0000 0000	H'0000 0000	H'0000 0000	32
ローカル (SuperHyway) アドレスマスクレジスタ 2	PCIELAMR2	R/W	R/W	H'02_0248	H'0000 0000	H'0000 0000	H'0000 0000	32
ローカル (SuperHyway) アドレスレジスタ 3	PCIELAR3	R/W	R/W	H'02_0260	H'0000 0000	H'0000 0000	H'0000 0000	32
ローカル (SuperHyway) アドレスマスクレジスタ 3	PCIELAMR3	R/W	R/W	H'02_0268	H'0000 0000	H'0000 0000	H'0000 0000	32
ローカル (SuperHyway) アドレスレジスタ 4	PCIELAR4	R/W	R/W	H'02_0280	H'0000 0000	H'0000 0000	H'0000 0000	32
ローカル (SuperHyway) アドレスマスクレジスタ 4	PCIELAMR4	R/W	R/W	H'02_0288	H'0000 0000	H'0000 0000	H'0000 0000	32
ローカル (SuperHyway) アドレスレジスタ 5	PCIELAR5	R/W	R/W	H'02_02A0	H'0000 0000	H'0000 0000	H'0000 0000	32
ローカル (SuperHyway) アドレスマスクレジスタ 5	PCIELAMR5	R/W	R/W	H'02_02A8	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI アドレス下位レジスタ 0	PCIEPALR0	R/W	-	H'02_0400	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI アドレス上位レジスタ 0	PCIEPAHR0	R/W	-	H'02_0404	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI アドレスマスクレジスタ 0	PCIEPAMR0	R/W	-	H'02_0408	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI 変換制御レジスタ 0	PCIEPTCLR0	R/W	-	H'02_040C	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI アドレス下位レジスタ 1	PCIEPALR1	R/W	-	H'02_0420	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI アドレス上位レジスタ 1	PCIEPAHR1	R/W	-	H'02_0424	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI アドレスマスクレジスタ 1	PCIEPAMR1	R/W	-	H'02_0428	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI 変換制御レジスタ 1	PCIEPTCLR1	R/W	-	H'02_042C	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI アドレス下位レジスタ 2	PCIEPALR2	R/W	-	H'02_0440	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI アドレス上位レジスタ 2	PCIEPAHR2	R/W	-	H'02_0444	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI アドレスマスクレジスタ 2	PCIEPAMR2	R/W	-	H'02_0448	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI 変換制御レジスタ 2	PCIEPTCLR2	R/W	-	H'02_044C	H'0000 0000	H'0000 0000	H'0000 0000	32

レジスタ名称	略称	SH* R/W	PCI* R/W	アドレス オフセット	PCIEC0 初期値	PCIEC1 初期値	PCIEC2 初期値	アクセス サイズ
PCI アドレス下位レジスタ3	PCIEPALR3	R/W	-	H'02_0460	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI アドレス上位レジスタ3	PCIEPAHR3	R/W	-	H'02_0464	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI アドレスマスクレジスタ3	PCIEPAMR3	R/W	-	H'02_0468	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI 変換制御レジスタ3	PCIEPTCLR3	R/W	-	H'02_046C	H'0000 0000	H'0000 0000	H'0000 0000	32
PCIEC-DMAC 制御レジスタ								
PCI DMAC DMA オペレーションレジスタ	PCIEDMAOR	R/W	-	H'02_1000	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC PCI アドレス下位レジスタ0	PCIEDMPALR0	R/W	-	H'02_1100	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC PCI アドレス上位レジスタ0	PCIEDMPAHR0	R/W	-	H'02_1104	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC SuperHyway アドレス下位レジスタ0	PCIEDMSALR0	R/W	-	H'02_1108	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC バイトカウントレジスタ0	PCIEDMBCNTR0	R/W	-	H'02_1110	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC ストライドカウントレジスタ0	PCIEDMSBCNTR0	R/W	-	H'02_1114	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC ストライドレジスタ0	PCIEDMSTRR0	R/W	-	H'02_1118	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC コマンドチェーンアドレスレジスタ0	PCIEDMCCAR0	R/W	-	H'02_1120	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC チャンネルコントロールレジスタ0	PCIEDMCHCR0	R/W	-	H'02_1128	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC チャンネルステータスレジスタ0	PCIEDMCHSR0	R/W	-	H'02_112C	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC PCI アドレス下位レジスタ1	PCIEDMPALR1	R/W	-	H'02_1140	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC PCI アドレス上位レジスタ1	PCIEDMPAHR1	R/W	-	H'02_1144	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC SuperHyway アドレス下位レジスタ1	PCIEDMSALR1	R/W	-	H'02_1148	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC バイトカウントレジスタ1	PCIEDMBCNTR1	R/W	-	H'02_1150	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC ストライドカウントレジスタ1	PCIEDMSBCNTR1	R/W	-	H'02_1154	H'0000 0000	H'0000 0000	H'0000 0000	32

レジスタ名称	略称	SH* R/W	PCI* R/W	アドレス オフセット	PCIEC0 初期値	PCIEC1 初期値	PCIEC2 初期値	アクセス サイズ
PCI DMAC ストライドレジスタ 1	PCIEDMSTRR1	R/W	-	H'02_1158	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC コマンドチェーンアドレスレジスタ 1	PCIEDMCCAR1	R/W	-	H'02_1160	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC チャンネルコントロールレジスタ 1	PCIEDMCHCR1	R/W	-	H'02_1168	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC チャンネルステータスレジスタ 1	PCIEDMCHSR1	R/W	-	H'02_116C	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC PCI アドレス下位レジスタ 2	PCIEDMPALR2	R/W	-	H'02_1180	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC PCI アドレス上位レジスタ 2	PCIEDMPAHR2	R/W	-	H'02_1184	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC SuperHyway アドレス下位レジスタ 2	PCIEDMSALR2	R/W	-	H'02_1188	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC バイトカウントレジスタ 2	PCIEDMBCNTR2	R/W	-	H'02_1190	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC ストライドカウントレジスタ 2	PCIEDMSBCNTR2	R/W	-	H'02_1194	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC ストライドレジスタ 2	PCIEDMSTRR2	R/W	-	H'02_1198	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC コマンドチェーンアドレスレジスタ 2	PCIEDMCCAR2	R/W	-	H'02_11A0	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC チャンネルコントロールレジスタ 2	PCIEDMCHCR2	R/W	-	H'02_11A8	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC チャンネルステータスレジスタ 2	PCIEDMCHSR2	R/W	-	H'02_11AC	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC PCI アドレス下位レジスタ 3	PCIEDMPALR3	R/W	-	H'02_11C0	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC PCI アドレス上位レジスタ 3	PCIEDMPAHR3	R/W	-	H'02_11C4	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC SuperHyway アドレス下位レジスタ 3	PCIEDMSALR3	R/W	-	H'02_11C8	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC バイトカウントレジスタ 3	PCIEDMBCNTR3	R/W	-	H'02_11D0	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC ストライドカウントレジスタ 3	PCIEDMSBCNTR3	R/W	-	H'02_11D4	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC ストライドレジスタ 3	PCIEDMSTRR3	R/W	-	H'02_11D8	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC コマンドチェーンアドレスレジスタ 3	PCIEDMCCAR3	R/W	R/W	H'02_11E0	H'0000 0000	H'0000 0000	H'0000 0000	32

レジスタ名称	略称	SH* R/W	PCI* R/W	アドレス オフセット	PCIEC0 初期値	PCIEC1 初期値	PCIEC2 初期値	アクセス サイズ
PCI DMAC チャンネルコントロールレジスタ 3	PCIEDMCHCR3	R/W	R/W	H'02_11E8	H'0000 0000	H'0000 0000	H'0000 0000	32
PCI DMAC チャンネルステータスレジスタ 3	PCIEDMCHSR3	R/W	R/W	H'02_11EC	H'0000 0000	H'0000 0000	H'0000 0000	32
コンフィグレーションレジスタ								
PCI コンフィグレーションレジスタ 0	PCIEPCICONF0	R	R	H'04_0000	H'0010_1912	H'0010_1912	H'0010_1912	8/16/32
PCI コンフィグレーションレジスタ 1	PCIEPCICONF1	R/W	R/W	H'04_0004	H'0010 0000	H'0010 0000	H'0010 0000	8/16/32
PCI コンフィグレーションレジスタ 2	PCIEPCICONF2	R/W	R/W	H'04_0008	H'FF00 0000	H'FF00 0000	H'FF00 0000	8/16/32
PCI コンフィグレーションレジスタ 3	PCIEPCICONF3	R/W	R/W	H'04_000C	H'0001 0000	H'0001 0000	H'0001 0000	8/16/32
PCI コンフィグレーションレジスタ 4	PCIEPCICONF4	R/W	R/W	H'04_0010	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
PCI コンフィグレーションレジスタ 5	PCIEPCICONF5	R/W	R/W	H'04_0014	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
PCI コンフィグレーションレジスタ 6	PCIEPCICONF6	R/W	R/W	H'04_0018	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
PCI コンフィグレーションレジスタ 7	PCIEPCICONF7	R/W	R/W	H'04_001C	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
PCI コンフィグレーションレジスタ 8	PCIEPCICONF8	R/W	R/W	H'04_0020	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
PCI コンフィグレーションレジスタ 9	PCIEPCICONF9	R/W	R/W	H'04_0024	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
PCI コンフィグレーションレジスタ 10	PCIEPCICONF10	R/W	R/W	H'04_0028	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
PCI コンフィグレーションレジスタ 11	PCIEPCICONF11	R/W	R/W	H'04_002C	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
PCI コンフィグレーションレジスタ 12	PCIEPCICONF12	R/W	R/W	H'04_0030	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
PCI コンフィグレーションレジスタ 13	PCIEPCICONF13	R/W	R/W	H'04_0034	H'0000 0040	H'0000 0040	H'0000 0040	8/16/32
PCI コンフィグレーションレジスタ 14	PCIEPCICONF14	R/W	R/W	H'04_0038	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
PCI コンフィグレーションレジスタ 15	PCIEPCICONF15	R/W	R/W	H'04_003C	H'0000 00FF	H'0000 00FF	H'0000 00FF	8/16/32
PCI パワーマネージメントケイパビリティレジスタ 0	PCIEPMCAPO	R/W	R	H'04_0040	H'0003 5001	H'0003 5001	H'0003 5001	8/16/32

レジスタ名称	略称	SH* R/W	PCI* R/W	アドレス オフセット	PCIEC0 初期値	PCIEC1 初期値	PCIEC2 初期値	アクセス サイズ
PCI パワーマネージメント ケイバビリティレジスタ1	PCIEPMCAP1	R/W	R/W	H'04_0044	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
MSI ケイバビリティレジスタ0	PCIEMSICAP0	R/W	R/W	H'04_0050	H'0180 7005	H'0180 7005	H'0180 7005	8/16/32
MSI ケイバビリティレジスタ1	PCIEMSICAP1	R/W	R/W	H'04_0054	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
MSI ケイバビリティレジスタ2	PCIEMSICAP2	R/W	R/W	H'04_0058	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
MSI ケイバビリティレジスタ3	PCIEMSICAP3	R/W	R/W	H'04_005C	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
MSI ケイバビリティレジスタ4	PCIEMSICAP4	R/W	R/W	H'04_0060	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
MSI ケイバビリティレジスタ5	PCIEMSICAP5	R/W	R/W	H'04_0064	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
PCIe ケイバビリティレジスタ0	PCIEEXPCAP0	R/W	R/W	H'04_0070	H'0041 0010	H'0041 0010	H'0041 0010	8/16/32
PCIe ケイバビリティレジスタ1	PCIEEXPCAP1	R/W	R	H'04_0074	H'0000_8000	H'0000_8000	H'0000_8000	8/16/32
PCIe ケイバビリティレジスタ2	PCIEEXPCAP2	R/W	R/W	H'04_0078	H'0000 0810	H'0000 0810	H'0000 0810	8/16/32
PCIe ケイバビリティレジスタ3	PCIEEXPCAP3	R/W	R	H'04_007C	H'0002_0441	H'0002_0411	H'0002_0411	8/16/32
PCIe ケイバビリティレジスタ4	PCIEEXPCAP4	R/W	R/W	H'04_0080	H'0011 0000	H'0011 0000	H'0011 0000	8/16/32
PCIe ケイバビリティレジスタ5	PCIEEXPCAP5	R/W	R/W	H'04_0084	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
PCIe ケイバビリティレジスタ6	PCIEEXPCAP6	R/W	R/W	H'04_0088	H'0000 03C0	H'0000 03C0	H'0000 03C0	8/16/32
PCIe ケイバビリティレジスタ7	PCIEEXPCAP7	R/W	R/W	H'04_008C	H'0001 0000	H'0001 0000	H'0001 0000	8/16/32
PCIe ケイバビリティレジスタ8	PCIEEXPCAP8	R/W	R/W	H'04_0090	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
VC ケイバビリティレジスタ0	PCIEVCCAP0	R/W	R	H'04_0100	H'0001 0002	H'0001 0002	H'0001 0002	8/16/32
VC キャバビリティレジスタ1	PCIEVCCAP1	R	R	H'04_0104	H'0000 0001	H'0000 0001	H'0000 0001	8/16/32
VC ケイバビリティレジスタ2	PCIEVCCAP2	R	R	H'04_0108	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
VC ケイバビリティレジスタ3	PCIEVCCAP3	R	R/W	H'04_010C	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32

レジスタ名称	略称	SH* R/W	PCI* R/W	アドレス オフセット	PCIEC0 初期値	PCIEC1 初期値	PCIEC2 初期値	アクセス サイズ
VC ケイパビリティレジスタ 4	PCIEVCCAP4	R/W	R/W	H'04_0110	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
VC ケイパビリティレジスタ 5	PCIEVCCAP5	R/W	R/W	H'04_0114	H'8000 00FF	H'8000 00FF	H'8000 00FF	8/16/32
VC ケイパビリティレジスタ 6	PCIEVCCAP6	R/W	R	H'04_0118	H'0002 0000	H'0002 0000	H'0002 0000	8/16/32
VC ケイパビリティレジスタ 7	PCIEVCCAP7	R/W	R/W	H'04_011C	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
VC ケイパビリティレジスタ 8	PCIEVCCAP8	R/W	R/W	H'04_0120	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
VC ケイパビリティレジスタ 9	PCIEVCCAP9	R/W	R	H'04_0124	H'0002 0000	H'0002 0000	H'0002 0000	8/16/32
デバイスシリアルナンバケイパビリティレジスタ 0	PCIENUMCAP0	R	R	H'04_01B0	H'0001 0003	H'0001 0003	H'0001 0003	8/16/32
デバイスシリアルナンバケイパビリティレジスタ 1	PCIENUMCAP1	R	R	H'04_01B4	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
デバイスシリアルナンバケイパビリティレジスタ 2	PCIENUMCAP2	R	R	H'04_01B8	H'0000 0000	H'0000 0000	H'0000 0000	8/16/32
PCI Express 制御系レジスタ								
ID 設定レジスタ 1	PCIEIDSETR1	R/W	-	H'04_1004	H'FF00 0000	H'FF00 0000	H'FF00 0000	16/32
ID 設定レジスタ 2	PCIEIDSETR2	R/W	-	H'04_1024	H'0000 0000	H'0000 0000	H'0000 0000	16/32
Device シリアルナンバ設定レジスタ 0	PCIEDSERSETR0	R/W	-	H'04_102C	H'0000 0000	H'0000 0000	H'0000 0000	16/32
Device シリアルナンバ設定レジスタ 1	PCIEDSERSETR1	R/W	-	H'04_1030	H'0000 0000	H'0000 0000	H'0000 0000	16/32
TL ステータスレジスタ	PCIETLSR	R/W1C	-	H'04_1044	H'0000 0000	H'0000 0000	H'0000 0000	16/32
TL コントロールレジスタ	PCIETLCTLR	R/W	-	H'04_1048	H'0000 3200	H'0000 3200	H'0000 3200	16/32
DL ステータスレジスタ	PCIEDLSR	R/W1C	-	H'04_104C	H'4003 0000	H'4003 0000	H'4003 0000	16/32
DL コントロールレジスタ	PCIEDLCTLR	R	-	H'04_1050	H'0000 0000	H'0000 0000	H'0000 0000	16/32
MAC ステータスレジスタ	PCIEMACSR	R/W1C	-	H'04_1054	H'0041 0000	H'0041 0000	H'0041 0000	16/32
MAC コントロールレジスタ	PCIEMACCTLR	R/W	-	H'04_1058	H'80FF 0000	H'80FF 0000	H'80FF 0000	16/32
PM ステータスレジスタ	PCIEPMSR	R/W1C	-	H'04_105C	H'0000 0000	H'0000 0000	H'0000 0000	16/32
PM コントロールレジスタ	PCIEPCTRL	R/W	-	H'04_1060	H'0000 0000	H'0000 0000	H'0000 0000	16/32
TL 割り込みマスクレジスタ	PCIETLINTENR	R/W	-	H'04_1064	H'0000 0000	H'0000 0000	H'0000 0000	16/32
DL 割り込みマスクレジスタ	PCIEDLINTENR	R/W	-	H'04_1068	H'0000 0000	H'0000 0000	H'0000 0000	16/32
MAC 割り込みマスクレジスタ	PCIEMACINTENR	R/W	-	H'04_106C	H'0000 0000	H'0000 0000	H'0000 0000	16/32

レジスタ名称	略称	SH*	PCI*	アドレス オフセット	PCIEC0	PCIEC1	PCIEC2	アクセス サイズ
		R/W	R/W		初期値	初期値	初期値	
PM 割り込みマスクレジスタ	PCIEPMINTENR	R/W	-	H'04_1070	H'0000 0000	H'0000 0000	H'0000 0000	16/32
PCI Express 送信系レジスタ								
送信ステータスレジスタ	PCIETXSR	R	-	H'04_4028	H'8000 0000 00000000	H'8000 0000 00000000	H'8000 0000 00000000	32/64
送信 VC0 ステータスレジスタ	PCIETXVC0SR	R/W	-	H'04_4108	H'00888000 00000000	H'00888000 00000000	H'00888000 00000000	32/64

【注】 * SH : SuperHyway バス (内部バス)、PCI : PCI ローカルバス。R/W 欄の「-」はアクセス禁止 (アクセス不可)、R/W1C は 1 書き込みによるクリアを示します。
上記アドレス以外はリザーブ領域となります。リザーブ領域はアクセス禁止です。

表 13.4 PCIEC 物理層制御レジスタ一覧

レジスタ名称	略称	R/W	アドレス オフセット*	PCIEC0 初期値	PCIEC1 初期値	PCIEC2 初期値	アクセス サイズ
物理層制御レジスタ							
物理層制御レジスタ	PCIEPLCTLR	R/W	H'67	H'0000 0480	H'0000 0480	-	32

【注】 * 物理層制御レジスタのアドレスは、SuperHyway 上の空間にはマッピングされていません。詳細は、「13.5.14 物理層制御レジスタへのアクセス」を参照してください。

表 13.5 各処理状態におけるレジスタの状態

レジスタ名称	略称	パワーオンリセット			マニュアル リセット	スリープ	ライト スリープ
		PCIEC0	PCIEC1	PCIEC2			
PCIEC 制御レジスタ							
イネーブルレジスタ	PCIEENBLR	H'0000 0001	H'0000 0001	H'0000 0001	保持	保持	保持
イネーブルコントロールレジスタ	PCIEECR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
P/I/O アドレスレジスタ	PCIEPAR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
P/I/O コントロールレジスタ	PCIEPCTLR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
P/I/O データレジスタ	PCIEPDR	-	-	-	保持	保持	保持
メッセージアドレス下位レジスタ	PCIEMSGALR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
メッセージアドレス上位レジスタ	PCIEMSGAHR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
メッセージ制御レジスタ	PCIEMSGCTLR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
メッセージデータレジスタ	PCIEMSGD	-	-	-			
アンロック制御レジスタ	PCIEUNLOCKCR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCH/D レジスタ	PCIEIDR	H'0101 1101	H'0101 1101	H'0101 1101	保持	保持	保持
デバッグ制御レジスタ	PCIEDBGCTLR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
INTx レジスタ	PCIEINTXR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
受信 Message レジスタ	PCIERMSGR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
受信 Message 割り込み許可レジスタ	PCIERMSGIER	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
リセット制御レジスタ 0	PCIERSTR0	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
リセット制御レジスタ 1	PCIERSTR1	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
リセット制御レジスタ 2	PCIERSTR2	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
リセット制御レジスタ 3	PCIERSTR3	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
ソフトリセット制御レジスタ	PCIESRSTR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
物理層制御レジスタ							
物理層制御レジスタ	PCIEPHYCTLR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
物理層アドレスレジスタ	PCIEPHYADDR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
物理層データ入力レジスタ	PCIEPHYDINR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
物理層データ出力レジスタ	PCIEPHYDOUTR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
物理層ステータスレジスタ	PCIEPHYSR	H'0000 0001	H'0000 0001	H'0000 0001	保持	保持	保持
PCIEC 転送制御レジスタ							
転送コントロールレジスタ	PCIECTCLR	H'0000 0008	H'0000 0008	H'0000 0008	保持	保持	保持
転送ステータスレジスタ	PCIESTR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
割り込みレジスタ	PCIEINTR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
割り込み許可レジスタ	PCIEINTER	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
エラーヘッダ 0 レジスタ	PCIEEH0R	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
エラーヘッダ 1 レジスタ	PCIEEH1R	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持

レジスタ名称	略称	パワーオンリセット			マニュアル リセット	スリープ	ライト スリープ
		PCIEC0	PCIEC1	PCIEC2			
エラーヘッダ 2 レジスタ	PCIEEH2R	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
エラーヘッダ 3 レジスタ	PCIEEH3R	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
エラー要因レジスタ	PCIEERRFR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
エラー割り込みレジスタ	PCIEERRFER	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
エラー要因レジスタ 2	PCIEERRFR2	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
MSI レジスタ	PCIEMSIR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
MSIF レジスタ	PCIEMSIFR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
パワーダウン制御レジスタ	PCIEPWRCTRLR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
パケット結合制御レジスタ	PCIEPCCTRLR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
ローカル (SuperHyway) アドレスレジスタ 0	PCIELAR0	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
ローカル (SuperHyway) アドレスマスクレジスタ 0	PCIELAMR0	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
ローカル (SuperHyway) アドレスレジスタ 1	PCIELAR1	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
ローカル (SuperHyway) アドレスマスクレジスタ 1	PCIELAMR1	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
ローカル (SuperHyway) アドレスレジスタ 2	PCIELAR2	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
ローカル (SuperHyway) アドレスマスクレジスタ 2	PCIELAMR2	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
ローカル (SuperHyway) アドレスレジスタ 3	PCIELAR3	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
ローカル (SuperHyway) アドレスマスクレジスタ 3	PCIELAMR3	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
ローカル (SuperHyway) アドレスレジスタ 4	PCIELAR4	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
ローカル (SuperHyway) アドレスマスクレジスタ 4	PCIELAMR4	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI アドレス下位レジスタ 0	PCIEPALR0	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI アドレス上位レジスタ 0	PCIEPAHR0	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI アドレスマスクレジスタ 0	PCIEPAMR0	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI 変換制御レジスタ 0	PCIEPTCTRL0	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI アドレス下位レジスタ 1	PCIEPALR1	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI アドレス上位レジスタ 1	PCIEPAHR1	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI アドレスマスクレジスタ 1	PCIEPAMR1	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI 変換制御レジスタ 1	PCIEPTCTRL1	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI アドレス下位レジスタ 2	PCIEPALR2	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持

レジスタ名称	略称	パワーオンリセット			マニュアル リセット	スリープ	ライト スリープ
		PCIEC0	PCIEC1	PCIEC2			
PCI アドレス上位レジスタ 2	PCIEPAHR2	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI アドレスマスクレジスタ 2	PCIEPAMR2	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI 変換制御レジスタ 2	PCIEPTCLR2	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI アドレス下位レジスタ 3	PCIEPALR3	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI アドレス上位レジスタ 3	PCIEPAHR3	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI アドレスマスクレジスタ 3	PCIEPAMR3	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI 変換制御レジスタ 3	PCIEPTCLR3	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCIEC-DMAC 制御レジスタ							
PCI DMAC DMA オペレーションレジスタ	PCIEDMAOR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC PCI アドレス下位レジスタ 0	PCIEDMPALR0	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC PCI アドレス上位レジスタ 0	PCIEDMPAHR0	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC SuperHyway アドレス下位レジスタ 0	PCIEDMSALR0	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC バイトカウントレジスタ 0	PCIEDMBCNTR0	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC ストライドカウントレジスタ 0	PCIEDMSBCNTR0	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC ストライドレジスタ 0	PCIEDMSTRR0	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC コマンドチェーンアドレスレジスタ 0	PCIEDMCCAR0	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC チャンネルコントロールレジスタ 0	PCIEDMCHCR0	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC チャンネルステータスレジスタ 0	PCIEDMCHSR0	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC PCI アドレス下位レジスタ 1	PCIEDMPALR1	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC PCI アドレス上位レジスタ 1	PCIEDMPAHR1	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC SuperHyway アドレス下位レジスタ 1	PCIEDMSALR1	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC バイトカウントレジスタ 1	PCIEDMBCNTR1	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC ストライドカウントレジスタ 1	PCIEDMSBCNTR1	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC ストライドレジスタ 1	PCIEDMSTRR1	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持

レジスタ名称	略称	パワーオンリセット			マニュアル リセット	スリープ	ライト スリープ
		PCIEC0	PCIEC1	PCIEC2			
PCI DMAC コマンドチェーンアドレスレジスタ 1	PCIEDMCCR1	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC チャンネルコントロールレジスタ 1	PCIEDMCHR1	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC チャンネルステータスレジスタ 1	PCIEDMCHR1	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC PCI アドレス下位レジスタ 2	PCIEDMPALR2	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC PCI アドレス上位レジスタ 2	PCIEDMPAHR2	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC SuperHyway アドレス下位レジスタ 2	PCIEDMSALR2	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC バイトカウントレジスタ 2	PCIEDMBCNTR2	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC ストライドカウントレジスタ 2	PCIEDMSBCNTR2	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC ストライドレジスタ 2	PCIEDMSTRR2	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC コマンドチェーンアドレスレジスタ 2	PCIEDMCCR2	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC チャンネルコントロールレジスタ 2	PCIEDMCHR2	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC チャンネルステータスレジスタ 2	PCIEDMCHR2	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC PCI アドレス下位レジスタ 3	PCIEDMPALR3	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC PCI アドレス上位レジスタ 3	PCIEDMPAHR3	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC SuperHyway アドレス下位レジスタ 3	PCIEDMSALR3	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC バイトカウントレジスタ 3	PCIEDMBCNTR3	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC ストライドカウントレジスタ 3	PCIEDMSBCNTR3	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC ストライドレジスタ 3	PCIEDMSTRR3	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC コマンドチェーンアドレスレジスタ 3	PCIEDMCCR3	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI DMAC チャンネルコントロールレジスタ 3	PCIEDMCHR3	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持

レジスタ名称	略称	パワーオンリセット			マニュアル リセット	スリープ	ライト スリープ
		PCIEC0	PCIEC1	PCIEC2			
PCI DMAC チャネルステータスレジスタ 3	PCIEDMCHSR3	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
コンフィグレーションレジスタ							
PCI コンフィグレーションレジスタ 0	PCIEPCICONF0	H'0010_1912	H'0010_1912	H'0010_1912	保持	保持	保持
PCI コンフィグレーションレジスタ 1	PCIEPCICONF1	H'0010 0000	H'0010 0000	H'0010 0000	保持	保持	保持
PCI コンフィグレーションレジスタ 2	PCIEPCICONF2	H'FF00 0000	H'FF00 0000	H'FF00 0000	保持	保持	保持
PCI コンフィグレーションレジスタ 3	PCIEPCICONF3	H'0001 0000	H'0001 0000	H'0001 0000	保持	保持	保持
PCI コンフィグレーションレジスタ 4	PCIEPCICONF4	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI コンフィグレーションレジスタ 5	PCIEPCICONF5	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI コンフィグレーションレジスタ 6	PCIEPCICONF6	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI コンフィグレーションレジスタ 7	PCIEPCICONF7	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI コンフィグレーションレジスタ 8	PCIEPCICONF8	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI コンフィグレーションレジスタ 9	PCIEPCICONF9	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI コンフィグレーションレジスタ 10	PCIEPCICONF10	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI コンフィグレーションレジスタ 11	PCIEPCICONF11	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI コンフィグレーションレジスタ 12	PCIEPCICONF12	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI コンフィグレーションレジスタ 13	PCIEPCICONF13	H'0000 0040	H'0000 0040	H'0000 0040	保持	保持	保持
PCI コンフィグレーションレジスタ 14	PCIEPCICONF14	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI コンフィグレーションレジスタ 15	PCIEPCICONF15	H'0000 00FF	H'0000 00FF	H'0000 00FF	保持	保持	保持
PCI パワーマネージメントケイパビリティレジスタ 0	PCIEPMCA0	H'0003 5001	H'0003 5001	H'0003 5001	保持	保持	保持
PCI パワーマネージメントケイパビリティレジスタ 1	PCIEPMCA1	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持

レジスタ名称	略称	パワーオンリセット			マニュアル リセット	スリープ	ライト スリープ
		PCIEC0	PCIEC1	PCIEC2			
MSI ケイバリティレジスタ 0	PCIEMSCAP0	H'0180 7005	H'0180 7005	H'0180 7005	保持	保持	保持
MSI ケイバリティレジスタ 1	PCIEMSCAP1	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
MSI ケイバリティレジスタ 2	PCIEMSCAP2	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
MSI ケイバリティレジスタ 3	PCIEMSCAP3	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
MSI ケイバリティレジスタ 4	PCIEMSCAP4	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
MSI ケイバリティレジスタ 5	PCIEMSCAP5	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCIe ケイバリティレジスタ 0	PCIEEXPCAP0	H'0041 0010	H'0041 0010	H'0041 0010	保持	保持	保持
PCIe ケイバリティレジスタ 1	PCIEEXPCAP1	H'0000_8000	H'0000_8000	H'0000_8000	保持	保持	保持
PCIe ケイバリティレジスタ 2	PCIEEXPCAP2	H'0000 0810	H'0000 0810	H'0000 0810	保持	保持	保持
PCIe ケイバリティレジスタ 3	PCIEEXPCAP3	H'0002_0441	H'0002_0411	H'0002_0411	保持	保持	保持
PCIe ケイバリティレジスタ 4	PCIEEXPCAP4	H'0011 0000	H'0011 0000	H'0011 0000	保持	保持	保持
PCIe ケイバリティレジスタ 5	PCIEEXPCAP5	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCIe ケイバリティレジスタ 6	PCIEEXPCAP6	H'0000 03C0	H'0000 03C0	H'0000 03C0	保持	保持	保持
PCIe ケイバリティレジスタ 7	PCIEEXPCAP7	H'0001 0000	H'0001 0000	H'0001 0000	保持	保持	保持
PCIe ケイバリティレジスタ 8	PCIEEXPCAP8	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
VC ケイバリティレジスタ 0	PCIEVCCAP0	H'0001 0002	H'0001 0002	H'0001 0002	保持	保持	保持
VC ケイバリティレジスタ 1	PCIEVCCAP1	H'0000 0001	H'0000 0001	H'0000 0001	保持	保持	保持
VC ケイバリティレジスタ 2	PCIEVCCAP2	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
VC ケイバリティレジスタ 3	PCIEVCCAP3	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
VC ケイバリティレジスタ 4	PCIEVCCAP4	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
VC ケイバリティレジスタ 5	PCIEVCCAP5	H'8000 00FF	H'8000 00FF	H'8000 00FF	保持	保持	保持
VC ケイバリティレジスタ 6	PCIEVCCAP6	H'0002 0000	H'0002 0000	H'0002 0000	保持	保持	保持
VC ケイバリティレジスタ 7	PCIEVCCAP7	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
VC ケイバリティレジスタ 8	PCIEVCCAP8	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
VC ケイバリティレジスタ 9	PCIEVCCAP9	H'0002 0000	H'0002 0000	H'0002 0000	保持	保持	保持
デバイスシリアルナンバケイバリティレジスタ 0	PCIENUMCAP0	H'0001 0003	H'0001 0003	H'0001 0003	保持	保持	保持
デバイスシリアルナンバケイバリティレジスタ 1	PCIENUMCAP1	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
デバイスシリアルナンバケイバリティレジスタ 2	PCIENUMCAP2	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI Express 制御系レジスタ							
ID 設定レジスタ 1	PCIEIDSETR1	H'FF00 0000	H'FF00 0000	H'FF00 0000	保持	保持	保持
ID 設定レジスタ 2	PCIEIDSETR2	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
Device シリアルナンバ設定レジスタ 0	PCIEDSERSETR0	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持

レジスタ名称	略称	パワーオンリセット			マニュアル リセット	スリープ	ライト スリープ
		PCIEC0	PCIEC1	PCIEC2			
Device シリアルナンバ設定レジスタ 1	PCIEDSERSETR1	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
TL ステータスレジスタ	PCIETLSR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
TL コントロールレジスタ	PCIETLCTLR	H'0000 3200	H'0000 3200	H'0000 3200	保持	保持	保持
DL ステータスレジスタ	PCIEDLSR	H'4003 0000	H'4003 0000	H'4003 0000	保持	保持	保持
DL コントロールレジスタ	PCIEDLCTLR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
MAC ステータスレジスタ	PCIEMACSR	H'0041 0000	H'0041 0000	H'0041 0000	保持	保持	保持
MAC コントロールレジスタ	PCIEMACCTLR	H'80FF 0000	H'80FF 0000	H'80FF 0000	保持	保持	保持
PM ステータスレジスタ	PCIEPMSR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PM コントロールレジスタ	PCIEPMCTLR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
TL 割り込みマスクレジスタ	PCIETLINTENR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
DL 割り込みマスクレジスタ	PCIEDLINTENR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
MAC 割り込みマスクレジスタ	PCIEMACINTENR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PM 割り込みマスクレジスタ	PCIEPMINTENR	H'0000 0000	H'0000 0000	H'0000 0000	保持	保持	保持
PCI Express 送信系レジスタ							
送信ステータスレジスタ	PCIETXSR	H'8000 0000 00000000	H'8000 0000 00000000	H'8000 0000 00000000	保持	保持	保持
送信 VC0 ステータスレジスタ	PCIETXVC0SR	H'00888000 0000 0000	H'00888000 0000 0000	H'00888000 0000 0000	保持	保持	保持

表 13.6 各処理状態における物理層制御レジスタの状態

レジスタ名称	略称	パワーオンリセット			マニュアル リセット	スリープ	ライト スリープ
		PCIEC0	PCIEC1	PCIEC2			
物理層制御レジスタ							
物理層制御レジスタ	PCIPLCTLR	H'0000 0480	H'0000 0480	-	保持	保持	保持

13.4.1 PCIEC 制御レジスタ

PCIEC 制御レジスタは、PCIEC モジュールの制御に使用するレジスタです。

これらのレジスタは、SuperHyway バスからのみアクセスできます。PCI Express 側からターゲット転送により本レジスタにアクセスした場合、PCIEC はコンプリータアポートとしてエラー処理を行います。

(1) イネーブルレジスタ (PCIEENBLR)

本レジスタは、本モジュール内のブリッジ部の動作 / 停止を指定します。ブリッジ部を用いてパケット生成やパケット受信を行う場合は、該当するビットを 1 (初期値) として使用してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ENBL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~1	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
0	ENBL	1	-	R/W	PCIEC モジュールのイネーブルビットです。PCIEC モジュールを使用する場合には、1 をセットしてください。

(2) イネーブルコントロールレジスタ (PCIEECR)

本レジスタにより、特定の事象が発生した際に PCIEENBLR レジスタをクリアし、ブリッジ部の動作を停止することが指定できます。特定の事象が発生した後に、次パケットの処理を行わず、その事象の原因究明などを行う場合に使用します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	STP DMACE	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	STP FERR	STPN FERR	STP CERR	—	—	—	—	—	—	—	STP SERR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~25	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
24	STPDMACE	0	-	R/W	DMAC エラーによるモジュール機能停止を指定します。 本ビットが1のとき、DMAC エラー発生時に PCIEENBLR.ENBL ビットを0とし、パケット送受信を停止します。
23~11	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
10	STPFERR	0	-	R/W	PCI 側の Fatal エラーによるモジュール機能停止を指定します。 本ビットが1のとき、PCI 側で Fatal Error 発生時に PCIEENBLR.ENBL ビットを0とし、パケット送受信を停止します。
9	STPNFERR	0	-	R/W	PCI 側の NonFatal エラーによるモジュール機能停止を指定します。 本ビットが1のとき、PCI 側で Non-Fatal Error 発生時に、PCIEENBLR.ENBL ビットを0とし、パケット送受信を停止します。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
8	STPCERR	0	-	R/W	PCI 側の Correctable エラーによるモジュール機能停止を指定します。 本ビットが 1 のとき、PCI 側で Correctable Error 発生時に PCIEENBLR.ENBL ビットを 0 とし、パケット送受信を停止します。
7~1	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
0	STPSERR	0	-	R/W	システムエラーによるモジュール機能停止を指定します。 本ビットが 1 のとき、SERR 発生時に PCIEENBLR.ENBL ビットを 0 とし、パケット送受信を停止します。

(3) PI/O アドレスレジスタ (PCIEPAR)

本レジスタは、PCIEC モジュールからコンフィグレーションリクエストを発行する場合に使用します。コンフィグレーションリクエストの発行の詳細は、「13.5.4 (1) コンフィグレーションアクセスの発生」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BN							DN					FN			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	EREGNO				REGNO					—	—	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~24	BN	すべて 0	-	R/W	コンフィグレーションサイクル発生時の、アクセス先のバス番号を指定します。
23~19	DN	すべて 0	-	R/W	コンフィグレーションサイクル発生時の、デバイス番号を指定します。
18~16	FN	すべて 0	-	R/W	コンフィグレーションサイクル発生時の、アクセス先のファンクション番号を指定します。
15~12	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
11~8	EREGNO	すべて 0	-	R/W	コンフィグレーションサイクル発生時の、アクセス先の拡張レジスタ番号を指定します。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
7~2	REGNO	すべて0	-	R/W	コンフィグレーションサイクル発生時の、アクセス先のレジスタ番号を指定します。
1, 0	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。

(4) PI/O コントロールレジスタ (PCIEPCTLR)

本レジスタは、PCIEC モジュールからコンフィグレーションリクエストを発行する場合に使用します。コンフィグレーションリクエストの発行の詳細は、「13.5.4 (1) コンフィグレーションアクセスの発生」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CCIE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CRS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W1C
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TYPE	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31	CCIE	0	-	R/W	コンフィグレーションリクエスト発行許可を指定します。 PCI Express PI/O アドレスレジスタ、PCI Express PI/O データレジスタを用いてコンフィグレーションサイクルを発行する場合は、1 をセットしてください。
30~17	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
16	CRS	0	-	R/W1C	CRS (Configuration Retry Status) を受信したことを示します。 CRS を受信した場合に、1 がセットされます。
15~9	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
8	TYPE	0	-	R/W	PCIEPDR レジスタへの書き込み時に発行する、コンフィグレーションリクエストのタイプを指定します。 0 : Type 0 コンフィグレーションリクエストを発行します。 1 : Type 1 コンフィグレーションリクエストを発行します。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
7~0	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。

(5) PI/O データレジスタ (PCIEPDR)

本レジスタは、PCIEC モジュールからコンフィグレーションリクエストを発行する場合に使用します。コンフィグレーションリクエストの発行の詳細は、「13.5.4 (1) コンフィグレーションアクセスの発生」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PDR															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDR															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~0	PDR	(不定)	-	R/W	コンフィグレーションリクエストの発行を指示します。 本フィールドへのライトアクセスにより、本フィールドへの書き込み内容をデータとしたコンフィグレーションライトリクエストが発行されます。 本フィールドへのリードアクセスにより、コンフィグレーションリードリクエストが発行され、レスポンスに含まれるデータが読み出されます。

(6) メッセージアドレス下位レジスタ (PCIEMSGALR)

本レジスタは、PCIEC モジュールからメッセージを発行する場合に使用します。メッセージの発行の詳細は、「13.5.8 メッセージの送受信」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MSGADRL															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSGADRL															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~0	MSGADRL	すべて0	-	R/W	メッセージ発行時のアドレス (下位 32 ビット) を指定します。

(7) メッセージアドレス上位レジスタ (PCIEMSGAHR)

本レジスタは、PCIEC モジュールからメッセージを発行する場合に使用します。メッセージの発行の詳細は、「13.5.8 メッセージの送受信」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MSGADRH															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSGADRH															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~0	MSGADRH	すべて0	-	R/W	メッセージ発行時のアドレス (上位 32 ビット) を指定します。

(8) メッセージ制御レジスタ (PCIEMSGCTLR)

本レジスタは、PCIEC モジュールからメッセージを発行する場合に使用します。メッセージの発行の詳細は、「13.5.8 メッセージの送受信」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MSGIE	—	—	—	—	—	—	—	—	—	—	MTYPE	—	MROUTE		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCODE								—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31	MSGIE	0	-	R/W	メッセージリクエストの発行許可を指定します。 1: メッセージリクエストの発行を許可します。 0: メッセージリクエストの発行を許可しません。
30~21	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
20	MTYPE	0	-	R/W	メッセージリクエスト発行時の、メッセージタイプを指定します。 0: Msg を発行します。 1: MsgD を発行します。
19	-	0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
18~16	MROUTE	000	-	R/W	メッセージリクエスト発行時の、ルーティング方式を指定します。 000: ルートコンプレックスヘルレーティングします。 001: アドレスによりルーティングします。 010: ID によりルーティングします。 011: ルートコンプレックスからブロードキャストします。 100: ローカル (レシーバでルーティングを終了します) 101: 収集し、ルートコンプレックスヘルレーティングします。 上記以外は指定できません。
15~8	MCODE	すべて0	-	R/W	メッセージリクエスト発行時のメッセージコードを指定します。
7~0	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。

(9) メッセージデータレジスタ (PCIEMSGD)

本レジスタは、PCIEC モジュールからメッセージを発行する場合に使用します。メッセージの発行の詳細は、「13.5.8 メッセージの送受信」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MDATA															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MDATA															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	MDATA	すべて0	-	R/W	メッセージの発行を指示します。 本フィールドへのライトアクセスにより、メッセージが発行されます。メッセージ送信時に、メッセージに付加するデータを書き込んでください。 リードアクセスを行っても、読み出される結果は不定です。

(10) アンロック制御レジスタ (PCIEUNLOCKCR)

本レジスタは、PCIEC モジュールから Unlock メッセージを発行し、ロックを解除する場合に使用します。ロック転送の詳細は、「13.5.5 (6) ロックリクエスト」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AST UNLOCK
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~1	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
0	ASTUNLOCK	0	-	R/W	アンロックメッセージの発行を指示します。 本ビットに 1 を書き込むことにより、Unlock Message (Message Code=B'0000_0000, Routing=B'011) を発行します。 読み出した場合には、常に 0 が読み出されます。 本ビットへのライトによる Unlock Message の送信は、RootPort の場合のみ使用できます。Endpoint からの Unlock Message 送信は規格により許可されていません。 接続先との通信が確立されていない状態では、本ビットに 1 を書き込まないでください。

(11) PCI-ID レジスタ (PCIEIDR)

本レジスタは、PCIEC モジュールを構成するサブブロックの ID 番号を示します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BRIDGE-ID								CTRL-ID							
初期値 :	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
SH-R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PHY-ID															
初期値 :	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	1
SH-R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~24	BRIDGE-ID	H'01	-	R	PCIEC ブリッジ部の ID を示します。
23~16	CTRL-ID	H'01	-	R	PCIEC 制御部の ID を示します。
15~0	PHY-ID	H'1101	-	R	PCIEC 物理部の ID を示します。

(12) デバッグ制御レジスタ (PCIEDBGCTLR)

本レジスタは、モジュールのデバッグに使用します。通常は、初期値のまま値を変更せずに使用してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	USEX4IF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1/0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~17	-	すべて0	-	R/W	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
16	USEX4IF	PCIEC0:1 PCIEC1/2:0	-	R/W	リザーブビットです。初期値のまま使用してください。
15, 14	-	すべて0	-	R/W	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
13, 12	-	すべて0	-	R/W	リザーブビットです。初期値のまま使用してください。
11~9	-	すべて0	-	R/W	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
8	-	0	-	R/W	リザーブビットです。初期値のまま使用してください。
7~5	-	すべて0	-	R/W	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
4	-	0	-	R/W	リザーブビットです。初期値のまま使用してください。
3~1	-	すべて0	-	R/W	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
0	-	0	-	R/W	リザーブビットです。初期値のまま使用してください。

(13) INTx レジスタ (PCIEINTXR)

本レジスタは、ルートポート時には INTx 割り込みの発生状況の確認、エンドポイント時には INTx 割り込みの発生指示に使用します。詳細は、「13.5.9 INTx 割り込み」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AST INTX
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	INTD	INTC	INTB	INTA
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~17	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
16	ASTINTX	0	-	R/W	INTx 割り込みの発生を指示します。 本ビットに1を書き込むことにより、PCICONF15[15:8].INTPIN で指定される種類の INTx 割り込みがアサートされ、0を書き込むことにより、INTx 割り込みがディアサートされます。 本ビットは、Endpoint の場合のみ有効です。RootPort 時には、書き込みは無効となり、読み出しは常に0となります。 また、MSI 使用時には INTx 割り込みは使用できません。そのため、MSICAP0[16].MSI Enable ビットが1のときには、本ビットは無効となります。 本ビットにより、INTx 割り込みを発生させるためには、PCICONF1[10].Interrupt Disable ビットを0とする必要があります。また、本ビットが1のときに、PCICONF1[10].Interrupt Disable ビットが1となった場合、本ビットはクリアされます。
15~4	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
3	INTD	0	-	R	PCIEC 上の割り込みで、INTD がアサートされていることを示します。 このビットは、Assert INTD メッセージによりアサートされ、Deassert INTD メッセージによりディアサートされます。 PCICONF15[7:0].INTLINE が H'FF 以外のとき、本ビットのアサートにより、INTC へ割り込みが発生します。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
2	INTC	0	-	R	PCIEC 上の割り込みで、INTC がアサートされていることを示します。 このビットは、Assert INTC メッセージによりアサートされ、Deassert INTC メッセージによりディアサートされます。 PCICONF15[7:0].INTLINE が H'FF 以外のとき、本ビットのアサートにより、INTC へ割り込みが発生します。
1	INTB	0	-	R	PCIEC 上の割り込みで、INTB がアサートされていることを示します。 このビットは、Assert INTB メッセージによりアサートされ、Deassert INTB メッセージによりディアサートされます。 PCICONF15[7:0].INTLINE が H'FF 以外のとき、本ビットのアサートにより、INTC へ割り込みが発生します。
0	INTA	0	-	R	PCIEC 上の割り込みで、INTA がアサートされていることを示します。 このビットは、Assert INTA メッセージによりアサートされ、Deassert INTA メッセージによりディアサートされます。 PCICONF15[7:0].INTLINE が H'FF 以外のとき、本ビットのアサートにより、INTC へ割り込みが発生します。

(14) 受信 Message レジスタ (PCIERMSGR)

本レジスタは、メッセージの受信状況を示します。詳細は、「13.5.8 メッセージの送受信」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PME_TO_ACK	PME_TOFF	PM_PME	PA_ASN	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R/W1C	R/W1C	R/W1C	R/W1C	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~12	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
11	PME_TO_ACK	0	-	R/W1C	PME_TO_Ack メッセージを受信したことを示します。
10	PME_TOFF	0	-	R/W1C	PME_Turn_Off メッセージを受信したことを示します。
9	PM_PME	0	-	R/W1C	PM_PME メッセージを受信したことを示します。
8	PA_ASN	0	-	R/W1C	PA_Active_State_Nak メッセージを受信したことを示します。
7~0	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。

(15) 受信 Message 割り込み許可レジスタ (PCIERMSGIER)

本レジスタにより、メッセージ受信時の割り込み発生を指定します。詳細は、「13.5.8 メッセージの送受信」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PME_TO_ACKE	PME_TOFFE	PM_PMEE	PA_ASNE	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~12	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
11	PME_TO_ACKE	0	-	R/W	PME_TO_Ack メッセージを受信した際の、割り込み発生を許可します。
10	PME_TOFFE	0	-	R/W	PME_Turn_Off メッセージを受信した際の、割り込み発生を許可します。
9	PM_PMEE	0	-	R/W	PM_PME メッセージを受信した際の、割り込み発生を許可します。
8	PA_ASNE	0	-	R/W	PA_Active_State_Nak メッセージを受信した際の、割り込み発生を許可します。
7~0	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。

(16) リセット制御レジスタ 0 (PCIERSTR0)

本レジスタは予約です。初期値のまま使用してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	rstpt2	rstpt1	rstpt0	—	—	purgepc	rstpc0	—	—	—	rstpm0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	rstdc0	—	—	—	—	—	—	rstcb1	rstcb0	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	-	すべて0	-	R	リザーブビットです。初期値のまま使用してください。

(17) リセット制御レジスタ 1 (PCIERSTR1)

本レジスタは予約です。初期値のまま使用してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	rstsi0	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	rstrr0	—	rsgrg2	rstgr1	rstgr0	—	—	—	rstre0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R	R	R	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	-	すべて0	-	R	リザーブビットです。初期値のまま使用してください。

(18) リセット制御レジスタ 2 (PCIERSTR2)

本レジスタは予約です。初期値のまま使用してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	rstdxp	rstdxp	—	—	rstxr	rstxrOr	—	—	rstxc	rstxOr
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	rsttr0	—	—	—	rstte0	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	-	すべて0	-	R	リザーブビットです。初期値のまま使用してください。

(19) リセット制御レジスタ 3 (PCIERSTR3)

本レジスタは予約です。初期値のまま使用してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	rststt0	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	rstdxp	rstdxp	—	—	rstdx0	rstdx0	—	—	rstdx0	rstdx0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	-	すべて0	-	R	リザーブビットです。初期値のまま使用してください。

(20) ソフトリセット制御レジスタ (PCIESRSTR)

本レジスタはソフトウェア制御により、本モジュールを初期化する場合に使用します。ソフトウェアリセットの詳細は、「13.5.15 ソフトウェアリセット」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SRST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~1	-	すべて 0	-	R	リザーブビットです。初期値のまま使用してください。
0	SRST	0	-	R/W	ソフトウェアリセットの印加を指示します。 ソフトウェアリセットによる初期化を行う場合、本ビットに 1 を書き込み初期化を行った後、必ず本ビットを 0 を書き込むことにより初期化を完了させてください。 また、本ビットによる初期化の対照は、ブリッジ部となります。他のブロックを含む PCIEC 全体のソフトウェアによる初期化の方法は、「13.5.15 ソフトウェアリセット」をご参照ください。

13.4.2 物理層制御レジスタ

物理層制御レジスタは、物理層の制御用のレジスタ空間へのアクセスを行うためのレジスタです。物理層制御レジスタの使用手順、物理層制御用レジスタ空間の詳細は、「13.5.14 物理層制御レジスタへのアクセス」を参照してください。

(1) 物理層制御レジスタ (PCIEPHYCTLR)

本レジスタにより、PHY 制御バスを制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PHY RST	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PHY CKE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31	PHYRST	0	-	R/W	PHY 制御バスの初期化を指示します。 初期化を行う場合、本ビットに 1 を書き込んだ後、0 クリアしてください。 0 : PHY 制御バスを初期化しません。(通常の状態) 1 : PHY 制御バスを初期化する。
30~1	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
0	PHYCKE	0	-	R/W	PHY 制御バスへ、クロック供給を行うことを指示します。 物理層レジスタ空間へのアクセスを行う場合、事前に本ビットによる指定により、クロックを供給してください。 0 : PHY 制御バスに、クロックを供給しません。 1 : PHY 制御バスに、クロックを供給します。

(2) 物理層アドレスレジスタ (PCIEPHYADDR)

本レジスタにより、PHY 制御バスを制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	PHY ACK	—	—	—	—	—	—	—	PHYCMD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PHYLANE				PHYADDR							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
30~25	-	すべて 0	-	R	リザーブビットです。
24	PHYACK	0	-	R	PHY 制御バスからの応答を示します。 0: アイドル状態、またはアクセス中を示します。 1: アクセス完了を示します。
23~18	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
17, 16	PHYCMD	0	-	R/W	PHY 制御バスのコマンドを指定します。 00: アイドル 01: ライト 10: リード 11: 予約。設定しないでください。
15~12	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
11~8	PHYLANE	すべて 0	-	R/W	PHY 制御バスのレーンを指定します。 ビット 0-3 が、レーン 0-3 に対応し、1 がセットされているレーンがアクセス対象となります。ライトの場合、複数ビットをセットし、複数のレーンに同時に書き込みを行うことができます。リードの場合、アクセス対象となるレーンにのみ 1 をセットしてください。
7~0	PHYADDR	すべて 0	-	R/W	PHY 制御バスのアドレスを指定します。 リードまたはライトアクセスを行う、物理層レジスタのアドレスを指定してください。

(3) 物理層データ入力レジスタ (PCIEPHYDINR)

本レジスタにより、PHY 制御バスを制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PHYDIN															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PHYDIN															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~0	PHYDIN	すべて0	-	R/W	PHY 制御バスへのライトデータを指定します。

(4) 物理層データ出力レジスタ (PCIEPHYDOUTR)

本レジスタにより、PHY 制御バスを制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PHYDOUT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PHYDOUT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~0	PHYDOUT	すべて0	-	R	PHY 制御バスからのリードデータを示します。

(5) 物理層ステータスレジスタ (PCI EPHYSR)

本レジスタは、物理層のステータスを示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PHY RDY
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~1	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
0	PHYRDY	0	-	R	物理層がレディ状態となっていることを示します。 0: 物理層はレディ状態ではない 1: 物理層はレディ状態

13.4.3 PCIEC 転送制御レジスタ

PCIEC 転送制御レジスタは、ターゲット転送、PI/O 転送などの PCI Express / SuperHyway バスをつなぐブリッジ部の制御のためのレジスタです。

これらのレジスタは、SuperHyway バスからアクセスすることができます。また、MSIF レジスタ (PCIEMSFIR)、ローカル (SuperHyway) アドレスレジスタ 0-5 (PCIELAR0-5)、ローカル (SuperHyway) アドレスマスクレジスタ 0-5 (PCIELAMR0-5) は PCI Express 側からのターゲット転送によりアクセスすることができます。上記以外のレジスタに PCIEC 側からターゲット転送により本レジスタにアクセスした場合、PCIEC はコンプリータアポートとしてエラー処理を行います。

(1) 転送コントロールレジスタ (PCIETCLR)

本レジスタは、PCIEC の転送制御を設定します。各種転送制御レジスタの設定を行った上、本レジスタの CFINIT ビットを 1 にセットし、PCIEC の初期化を開始してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	CPL TYPE	DL DOWN	—	—	CFINIT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
SH-R/W:	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W	R	R	R	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~14	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
13, 12	-	0	-	R/W	リザーブビットです。0 以外を書き込まないでください。
11~5	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
4	CPLTYPE	0	-	R/W	<p>ターゲット転送で PCI Express 側より受信したリードリクエストに対し、返信するコンプリージョンのタイプを指定します。</p> <p>0: 長データ長のコンプリージョン 1: 短データ長のコンプリージョン (128 バイトバウンダリ)</p> <p>本フィールドに 0 を指定したとき、本デバイスはなるべく長いデータ長のコンプリージョンを送信します。リードリクエストのデータ長が MPS より大きい場合、MPS バウンダリでマルチプルコンプリージョンを送信します。リードリクエストのデータ長が MPS 以下である場合、マルチプルコンプリージョンは送信しません。</p> <p>本フィールドに 1 を指定したとき、128 バイト以上、MPS 未満のリードリクエストに対して、128 バイトバウンダリでコンプリージョンを分割し、マルチプルコンプリージョンを返信します。</p>
3	DL_Down	1	-	R	<p>データリンク層がダウンしていることを示します。</p> <p>リセット解除後は 1 となり、接続先デバイスとの通信が確立されると 0 となります。通信障害などにより、データリンク層での接続がダウンすると 1 となります。</p>
2, 1	-	すべて 0	-	R	リザーブビットです。
0	CFINIT	0	-	R/W	<p>PCIEC 内部レジスタ初期化終了を指示します。</p> <p>PCIEC の以下のレジスタに適切な値をセットした後に、本フィールドを 1 にセットしてください。</p> <p>PCIELAR0~5 PCIELAMR0~5</p> <p>本ビットが 1 のとき、上記のレジスタに値を書き込むことはできません。</p> <p>このビットをセットすることにより、PCI Express の接続先とのリンク確立を開始します。</p> <p>0: 初期化中 1: 初期化終了</p>

(2) 転送ステータスレジスタ (PCIETSTR)

本レジスタは、PCIEC の転送状態を示します。PCIETCTLR レジスタにより初期化の起動後、本レジスタが転送可能を示した後に、PCIEC での通信が可能になります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DLL ACT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~1	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
0	DLLACT	0	-	R	Data Link Layer が Active であることを示します。

(3) 割り込みレジスタ (PCIEINTR)

本レジスタは、本モジュールから INTC に発生する割り込みの状態を示します。詳細は、「13.5.11 INTC への割り込み」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	INT_RX_ERP	INT_RX_CTRL	INT_TX_CTRL	INT_RX_VCX			INT_TX_VCX			INT_RX_VCX_ERR	INT_RX_VCO_ERR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INTTL	INTDL	INT_MAC	INTPM	INT_RX_VCO		INT_TX_VCO			INT_PCI_MES	INT_PCI_POWER	INT_PCI_CERR	INT_PCI_NFERR	INT_PCI_FERR	INT_PCI_SERR	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W1C	R/W1C	R/W1C	R/W1C	R	R	R	R	R	R	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~27	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
26	INT_RX_ERP	0	-	R/W1C	エラーパケット受信割り込みが発生したことを示します。
25	INT_RX_CTRL	0	-	R/W1C	受信制御割り込みが発生したことを示します。

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
24	INT_TX_CTRL	0	-	R/W1C	送信制御割り込みが発生したことを示します。
23~21	INT_RX_VCX	000	-	R	VCX 受信割り込みが発生したことを示します Bit[2] : Posted 受信 Full Bit[1] : Non-Posted 受信 Full Bit[0] : CPL 受信 Full
20~18	INT_TX_VCX	000	-	R	VCX 送信割り込みが発生したことを示します。 Bit[2] : Posted 受信 Full Bit[1] : Non-Posted 受信 Full Bit[0] : CPL 受信 Full
17	INT_RX_VCX_ERR	0	-	R/W1C	VCX のパケット受信時エラーによる割り込み発生を示します。
16	INT_RX_VC0_ERR	0	-	R/W1C	VC0 のパケット受信時のエラー発生による割り込みが発生したことを示します。
15	INTTL	0	-	R/W1C	TL 割り込みが発生したことを示します。
14	INTDL	0	-	R/W1C	DL 割り込みが発生したことを示します。
13	INTMAC	0	-	R/W1C	MAC 割り込みが発生したことを示します。
12	INTPM	0	-	R/W1C	PM 割り込みが発生したことを示します。
11~9	INT_RX_VC0	000	-	R	VC0 受信割り込みが発生したことを示します。 Bit[2] : Posted 受信 Full Bit[1] : Non-Posted 受信 Full Bit[0] : CPL 受信 Full
8~6	INT_TX_VC0	000	-	R	VC0 送信割り込みが発生したことを示します。 Bit[2] : Posted 受信 Full Bit[1] : Non-Posted 受信 Full Bit[0] : CPL 受信 Full
5	INT_PCIMES	0	-	R/W1C	PCIEC が、メッセージを受信したことを示します。 ただし、個々のメッセージに対する割り込み許可がされていない場合には、本割り込みは発生しません。メッセージ受信時には、ソフトウェアによりメッセージの処理を行ってください。
4	INT_PCIPOWER	0	-	R/W1C	パワーダウンシーケンスによる割り込みが発生したことを示します。
3	INT_PCICERR	0	-	R/W1C	Correctable Error による割り込みが発生したことを示します。
2	INT_PCINFERR	0	-	R/W1C	Nonfatal Error による割り込みが発生したことを示します。
1	INT_PCIFERR	0	-	R/W1C	Fatal Error による割り込みが発生したことを示します。

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
0	INT_PCISERR	0	-	R/W1C	システムエラーが発生したことを示します。 システムエラー発生時には、ソフトウェアにより、関連するレジスタをチェックし、エラー回復処理を行ってください。 システムエラーの内容は、以下のとおりです。 <ul style="list-style-type: none"> • CRS (Configuration Retry Status) を受信した。 • データリンク層がダウンした。(dl_down)

(4) 割り込み許可レジスタ (PCIEINTER)

本レジスタにより、本モジュールから INTC に発生する割り込みの許可を指定します。詳細は、「13.5.11 INTC への割り込み」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	INT_RX_ERPE	INT_RX_CTRLLE	INT_TX_CTRLLE	INT_RX_VCXE			INT_TX_VCXE			INT_RX_VCX_ERRE	INT_RX_VCX_ERRE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INT_TLE	INT_DLE	INT_MACE	INT_PME	INT_RX_VCOE			INT_TX_VCOEE			INT_PCI_MESE	INT_PCI_POWERE	INT_PCI_CERRE	INT_PCI_NFERRE	INT_PCI_FERRE	INT_PCI_SERRE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~27	-	すべて0	-	R/W	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
26	INT_RX_ERPE	0	-	R/W	エラーパケット受信割り込みの発生を許可します。
25	INT_RX_CTRLLE	0	-	R/W	受信制御割り込みの発生を許可します。
24	INT_TX_CTRLLE	0	-	R/W	送信制御割り込みの発生を許可します。
23~21	INT_RX_VCXE	000	-	R/W	VCX 受信割り込みの発生を許可します。 Bit[2]: Posted 受信 Full Bit[1]: Non-Posted 受信 Full Bit[0]: CPL 受信 Full
20~18	INT_TX_VCXE	000	-	R/W	VCX 送信割り込みの発生を許可します。 Bit[2]: Posted 受信 Full Bit[1]: Non-Posted 受信 Full Bit[0]: CPL 受信 Full
17	INT_RX_VCX_ERRE	0	-	R/W	VCX のパケット受信時エラーによる割り込みの発生を許可します。

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
16	INT_RX_VC0_ERRE	0	-	R/W	VC0 のパケット受信時のエラー発生による割り込みの発生を許可します。
15	INTTLE	0	-	R/W	TL 割り込みの発生を許可します。
14	INTDLE	0	-	R/W	DL 割り込みの発生を許可します。
13	INTMACE	0	-	R/W	MAC 割り込みの発生を許可します。
12	INTPME	0	-	R/W	PM 割り込みの発生を許可します。
11~9	INT_RX_VC0E	000	-	R/W	VC0 受信割り込みの発生を許可します。 Bit[2] : Posted 受信 Full Bit[1] : Non-Posted 受信 Full Bit[0] : CPL 受信 Full
8~6	INT_TX_VC0EE	000	-	R/W	VC0 送信割り込みの発生を許可します。 Bit[2] : Posted 受信 Full Bit[1] : Non-Posted 受信 Full Bit[0] : CPL 受信 Full
5	INT_PCIMESE	0	-	R/W	PCIEC が、メッセージ受信割り込みの発生を許可します。 ただし、個々のメッセージに対する割り込み許可がされていない場合には、本割り込みは発生しません。メッセージ受信時には、ソフトウェアによりメッセージの処理を行ってください。
4	INT_PCIPOWERE	0	-	R/W	パワーダウンシーケンスによる割り込みの発生を許可します。
3	INT_PCICERRE	0	-	R/W	Correctable Error による割り込みの発生を許可します。
2	INT_PCINFERRE	0	-	R/W	Nonfatal Error による割り込みの発生を許可します。
1	INT_PCIFERRE	0	-	R/W	Fatal Error による割り込みの発生を許可します。
0	INT_PCISERRE	0	-	R/W	システムエラーによる割り込みの発生を許可します。

(5) エラーヘッダ0 レジスタ (PCIEEH0R)

本レジスタは、PCIEC でのエラー発生時に、エラーの原因となったパケットのヘッダを示します。詳細は、「13.5.13 エラー処理」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EH0															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EH0															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	EH0	すべて0	-	R	受信した PCI パケットがエラーを引き起こした場合に、そのパケットのヘッダ (DW0) を格納します。

(6) エラーヘッダ1 レジスタ (PCIEEH1R)

本レジスタは、PCIEC でのエラー発生時に、エラーの原因となったパケットのヘッダを示します。詳細は、「13.5.13 エラー処理」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EH1															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EH1															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	EH1	すべて0	-	R	受信した PCI パケットがエラーを引き起こした場合に、そのパケットのヘッダ (DW1) を格納します。

(7) エラーヘッダ 2 レジスタ (PCIEEH2R)

本レジスタは、PCIEC でのエラー発生時に、エラーの原因となったパケットのヘッダを示します。詳細は、「13.5.13 エラー処理」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EH2															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EH2															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	EH2	すべて 0	-	R	受信した PCI パケットがエラーを引き起こした場合に、そのパケットのヘッダ (DW2) を格納します。

(8) エラーヘッダ 3 レジスタ (PCIEEH3R)

本レジスタは、PCIEC でのエラー発生時に、エラーの原因となったパケットのヘッダを示します。詳細は、「13.5.13 エラー処理」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EH3															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EH3															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	EH3	すべて 0	-	R	受信した PCI パケットがエラーを引き起こした場合に、そのパケットのヘッダ (DW3) を格納します。

(9) エラー要因レジスタ (PCIEERRFR)

本レジスタは、PCIEC でのエラー発生時に、エラーの原因となった要因を示します。詳細は、「13.5.13 エラー処理」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	Completer Abort Detected
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W1C
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	UNEXPECTED COMPLETION	—	—	—	CPL TIMEOUT	—	—	RECEIVE CACPL	RECEIVE UACPL	—	—	SEND CACPL	SEND URCPL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R/W1C	R	R	R	R/W1C	R	R	R/W1C	R/W1C	R	R	R/W1C	R/W1C
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~17	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
16	Completer Abort Detected	0	-	R/W1C	コンプリータアボートを検出したことを示します。
15~13	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
12	UNEXPECTED COMPLETION	0	-	R/W1C	アンエクペクテッドコンプリージョンを受信したことを示します。
11~9	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
8	CPL TIMEOUT	0	-	R/W1C	コンプリージョンタイムアウトが発生したことを示します。
7、6	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
5	RECEIVE CACPL	0	-	R/W1C	CA (Completer Abort) ステータスを持つコンプリージョンを受信したことを示します。
4	RECEIVE URCPL	0	-	R/W1C	UR (Unsupported Request) ステータスを持つコンプリージョンを受信したことを示します。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
3, 2	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
1	SEND CACPL	0	-	R/W1C	CA (Completer Abort) ステータスを持つコンプリージョンを送信したことを示します。
0	SEND URCPL	0	-	R/W1C	UR (Unsupported Request) ステータスを持つコンプリージョンを送信したことを示します。

(10) エラー割り込みレジスタ (PCIEERRFER)

本レジスタは、PCIEC でのエラー発生時に、INT_PCISERR 割り込みを発生させるかを、エラーの要因ごとに指定します。詳細は、「13.5.13 エラー処理」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	Completer Abort DetectedE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	UNEXPECTED COMPLETIONE	—	—	—	CPL TIMEOUTE	—	—	RECEIVE CACPLE	RECEIVE UACPLE	—	—	SEND CACPLE	SEND URCPLE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31 ~ 17	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
16	Completer Abort DetectedE	0	-	R/W	コンプリータアポートを検出したことによる、INT_PCISERR 割り込みの発生を許可します。
15 ~ 13	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
12	UNEXPECTED COMPLETIONE	0	-	R/W	アンエクペクテッドコンプリージョンを受信したことによる、INT_PCISERR 割り込みの発生を許可します。
11 ~ 9	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
8	CPL TIMEOUTE	0	-	R/W	コンプリージョンタイムアウトが発生したことによる、INT_PCISERR 割り込みの発生を許可します。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
7、6	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
5	RECEIVE CACPLE	0	-	R/W	CA (Completer Abort) ステータスを持つコンプリージョンを受信したことによる、INT_PCISERR 割り込みの発生を許可します。
4	RECEIVE URCPLE	0	-	R/W	UR (Unsupported Request) ステータスを持つコンプリージョンを受信したことによる、INT_PCISERR 割り込みの発生を許可します。
3、2	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
1	SEND CACPLE	0	-	R/W	CA (Completer Abort) ステータスを持つコンプリージョンを送信したことによる、INT_PCISERR 割り込みの発生を許可します。
0	SEND URCPLE	0	-	R/W	UR (Unsupported Request) ステータスを持つコンプリージョンを送信したことによる、INT_PCISERR 割り込みの発生を許可します。

(11) エラー要因レジスタ 2 (PCIEERRFR2)

本レジスタは、PCIEC のデータリンク層でのエラー発生時に、エラーの原因となった要因を示します。詳細は、「13.5.13 エラー処理」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	Data Link Layer Protol Error	Replay Timeout	Replay Number Rollover	BAD TLP	BAD DLLP	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Receiver Error	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W1C	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31、30	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
29	Data Link Layer Protol Error	0	-	R/W1C	Data Link Layer Protocol Error の発生を示します。
28	Replay Timeout	0	-	R/W1C	Replay Timeout の発生を示します。
27	Replay Number Rollover	0	-	R/W1C	Replay Number Rollover の発生を示します。
26	BAD TLP	0	-	R/W1C	BAD TLP の検出を示します。
25	BAD DLLP	0	-	R/W1C	BAD DLLP の検出を示します。
24 ~ 16	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 として ください。
15	Receiver Error	0	-	R/W1C	Receiver Error の検出を示します。 以下のエラーの検出を ReceiverError とみなし、本ビットにより 報告します。 <ul style="list-style-type: none"> • 8b/10b エラー • ディスパリティエラー • エラスティックバッファオーバーフロー • エラスティックバッファアンダフロー
14 ~ 0	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 として ください。

(12) MSI レジスタ (PCIEMSIR)

本レジスタは、MSI 割り込みを発生させるために使用します。MSI 割り込みは、エンドポイントで、かつ、ルートポートより MSI 割り込みの使用が許可されている場合に使用できます。詳細は、「13.5.10 MSI 割り込み」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—					—	—	MSIAST					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~5	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
4~0	MSIAST	00000	-	R/W	MSI 割り込みの発生を指示します。 本フィールドは、Endpoint で、かつ MSI が有効となっている場合のみ有効です。MSICAP0[16].MSI Enable ビットが0のときには、本フィールドは無効となります。 本フィールドへの書き込みにより、MSICAP5.MESsage Pending の該当するビットに1をセットします。その後、MSICAP4.MESsage Mask の該当するビットが0になっている割り込みの中で、番号の小さい順に順次 MSI 割り込みを発生させます。 本フィールドに書き込むことが許される要因番号の最大値は、MSICAP0[22:20].Multiple MESage Enable により、指定された要因数-1となります。 本フィールドからの読み出しは、常に0となります。 接続先デバイスとの通信が確立していないときには、本フィールドへの書き込みを行わないでください。

(13) MSIF レジスタ (PCIEMSIFR)

本レジスタは、MSI 割り込みの発生状況を示します。MSI 割り込みは、ルートポートで、かつ、MSI 割り込みの使用を選択した場合に使用できます。詳細は、「13.5.10 MSI 割り込み」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MSIF															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C
PCI-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSIF															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C
PCI-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~0	MSIF	すべて 0	R/W*	R/W1C	<p>MSI 割り込みが発生したことを示します。</p> <p>本フィールドは、RootPort で、かつ MSI が有効となっている場合のみ有効です。</p> <p>本フィールドへの PCI 側からの書き込みは、MSI 割り込みとして認識し、書き込みデータの Bit[5:0]と Bit[12:8]とを足し合わせたビットに 1 を立てます。</p> <p>本フィールドへの PCI 側からの読み出しは、通常のリードとして処理されます。</p> <p>SuperHyway 側からの書き込みは、割り込みの解除として認識し、1 が書き込まれたビットを 0 にクリアします。</p> <p>SuperHyway 側からの読み出しは、通常のリードとして処理されます。</p> <p>【注】* 本フィールドへの PCI 側からのアクセスは、上記のような MSI 特有の方式により処理されます。</p>

(14) パワーダウン制御レジスタ (PCIEPWCTLR)

本レジスタは、パワーダウンシーケンスの制御に使用します。詳細は、「13.5.12 パワーマネージメント」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RCPL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~1	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
0	RCPL	0	-	R/W	Powerdown シーケンスのため、ペンディングとなっているコンプリージョンの送信を解除します。 本ビットに1を書き込みことにより、パワーダウンシーケンスのためにペンディングとなっているコンプリージョンを送信します。 読み出した値は常に0です。 詳細は、パワーダウンシーケンスに関する説明をご参照ください。

(15) パケット結合制御レジスタ (PCIEPCCTLR)

本レジスタは、PI/O 転送でのパケット結合を制御します。詳細は、「13.5.5 (8) パケット結合」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STP CNCT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~1	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
0	STPCNCT	0	-	R/W	PI/O 転送でのパケット結合を停止します。 PI/O 転送でのパケット結合を停止する場合、本ビットに 1 を書き込んでください。本ビットに書き込むを行うことにより、それ以前に書き込んだデータを PCIe パケットとして送信します。 本ビットを読み出した場合、常に 0 が読み出されます。

(16) ローカル (SuperHyway) アドレスレジスタ 0~5 (PCIELAR0~5)

本レジスタは、ターゲット転送 (PCIEC から SuperHyway への転送) 時の、ローカルバス (SuperHyway) のアドレスを指定します。詳細は、「13.5.6 ターゲット転送 (外部デバイス PCIEC へのデータ転送)」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LAR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LAR										—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~8	LARn	すべて 0	-	R/W	PCI->SuperHyway へのトランザクション転送時の、ローカル (SuperHyway) アドレスを示します。 PCI Express の BARn が確保する空間へのアクセスを、SuperHyway 空間へ転送する際に、本フィールドをアドレスの上位ビットとして使用します。下位ビットは PCI Express パケットのアドレスの下位ビットを使用し、上位 / 下位ビットの境界は LAMRn により決定します。 PCIETCTLR.CFINITCFINIT が 1 のとき、本フィールドへの書き込みはできません。 RootPort のとき、PEICLAR2~5 の本ビットは無効となり、書き込みはできません。
7~0	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

(17) ローカル (SuperHyway) アドレスマスクレジスタ 0~5 (PCIELAMR0~5)

本レジスタは、ターゲット転送 (PCIEC から SuperHyway への転送) 時の、ローカルバス (SuperHyway) のアドレスのサイズを指定します。詳細は、「13.5.6 ターゲット転送 (外部デバイス PCIEC へのデータ転送)」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LAMR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LAMR								SPCSEL				—	—	—	LARE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~29	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
28~8	LAMRn	すべて0	-	R/W	PCI->SuperHyway へのトランザクション転送時の、ローカルアドレス (SuperHyway アドレス) のマスクを指定します。 BARn が確保する PCI Express の領域へアクセスするバケットを、SuperHyway のトランザクションへ変換する際に、LARn を上位ビット PCI バケット上のアドレスを下位ビットと使用しますが、LAMRn によりその境界を指定します。つまり、生成される SuperHyway 上のバケットのアドレス addr[31:0]は、 Addr[31:30] : LARn[31:30] Addr[29:20] : LAMRn[29:20]の対応するビットが0 なら LAR[29:20] LAMRn[29:20]の対応するビットが1 なら PCI-Addr[29:20] Addr[19:0] : PCI-Addr[19:0] となります。 また、PCIEC 空間上に確保する空間の広さも、本レジスタにより指定します。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
28~8	LAMRn	すべて 0	-	R/W	<p>B'0 0000 0000 0000 0000 0000 : 256byte B'0 0000 0000 0000 0000 0001 : 512byte B'0 0000 0000 0000 0000 0011 : 1Kbyte B'0 0000 0000 0000 0000 0111 : 2Kbyte B'0 0000 0000 0000 0000 1111 : 4Kbyte B'0 0000 0000 0000 0001 1111 : 8Kbyte B'0 0000 0000 0000 0011 1111 : 16Kbyte B'0 0000 0000 0000 0111 1111 : 32Kbyte B'0 0000 0000 0000 1111 1111 : 64Kbyte B'0 0000 0000 0001 1111 1111 : 128Kbyte B'0 0000 0000 0011 1111 1111 : 256Kbyte B'0 0000 0000 0111 1111 1111 : 512Kbyte B'0 0000 0000 1111 1111 1111 : 1Mbyte B'0 0000 0001 1111 1111 1111 : 2Mbyte B'0 0000 0011 1111 1111 1111 : 4Mbyte B'0 0000 0111 1111 1111 1111 : 8Mbyte B'0 0000 1111 1111 1111 1111 : 16Mbyte B'0 0001 1111 1111 1111 1111 : 32Mbyte B'0 0011 1111 1111 1111 1111 : 64Mbyte B'0 0111 1111 1111 1111 1111 : 128Mbyte B'0 1111 1111 1111 1111 1111 : 256Mbyte B'1 1111 1111 1111 1111 1111 : 512Mbyte</p> <p>上記以外の設定はしないでください。</p> <p>PCIETCTLR.CFINIT が 1 のとき、本フィールドへの書き込みはできません。</p> <p>RootPort のとき、PCIELAMR2~5 の本ビットは無効となり、書き込みはできません。</p>

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
7~4	SPCSEL [3:0]	0000	-	R/W	<p>PCI->SuperHyway へのトランザクション転送のために確保する、PCI 側の空間の種類を指定します。</p> <p>Memory 空間の確保 :</p> <p>SPCSEL[0] : 0 を指定してください。</p> <p>SPCSEL[2:1] : 確保するメモリの種類を指定してください。</p> <p>00 : 32 ビットアドレス空間にメモリを確保します。</p> <p>01 : 32 ビットアドレス空間の 1MB 以下の領域にメモリ空間を確保します。</p> <p>10 : 64 ビットアドレス空間にメモリを確保します。</p> <p>11 : 予約です。指定しないでください。</p> <p>SPCSEL[3] : メモリのプリフェッチを指定してください。</p> <p>0 : プリフェッチ不可のメモリを確保します。</p> <p>1 : プリフェッチ可能なメモリを確保します。</p> <p>PCIELAMRn で 64 ビットアドレスを使用する場合、PCIELAMRn+1 は、PCIELAMRn の上位アドレスとして使用されるため、独立な空間としては使用できません。0 としてください。</p> <p>I/O 空間の確保 :</p> <p>SPCSEL[3:0] : 0001 を指定してください。</p> <p>PCIETCTLR.CFINITCFINIT が 1 のとき、本フィールドへの書き込みはできません。</p> <p>RootPort のとき、PCIELAMR2~5 の本ビットは無効となり、書き込みはできません。</p>
3~1	-	すべて 0	-	R	<p>リザーブビットです。</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。</p>
0	LARE	0	-	R/W	<p>ローカルアドレスイネーブルを指定します。</p> <p>PCIELAMRn.LARE が 1 のとき、PCIELARn/PCIELAMRn により指定される領域でのトランザクションの転送が有効になります。</p> <p>LARn、LAMRn によるアドレス変換を有効にする場合は、1 をセットしてください。</p> <p>PCIETCTLR.CFINITCFINIT が 1 のとき、本フィールドへの書き込みはできません。</p> <p>RootPort のとき、PCIELAMR2-5 の本ビットは無効となり、書き込みはできません。</p>

(18) PCI アドレス下位レジスタ 0~3 (PCIEPALR0~3)

本レジスタにより、PI/O 転送 (SuperHyway から PCIEC への転送) 時の、PCIEC 側のアドレスの下位 32 ビットを設定します。詳細は、「13.5.5 PI/O 転送 (PCIEC 外部デバイスへのデータ転送)」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PAL														—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~18	PAL	すべて 0	-	R/W	PCI アドレス (下位) を指定します。
17~0	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

(19) PCI アドレス上位レジスタ 0~3 (PCIEPAHR0~3)

本レジスタにより、PI/O 転送 (SuperHyway から PCIEC への転送) 時の、PCIEC 側のアドレスの上位 32 ビットを設定します。詳細は、「13.5.5 PI/O 転送 (PCIEC 外部デバイスへのデータ転送)」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PAH															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PAH															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	PAH	すべて 0	-	R/W	PCI アドレス (上位) を指定します。

(20) PCI アドレスマスクレジスタ 0~3 (PCIEPAMR0~3)

本レジスタにより、PI/O 転送 (SuperHyway から PCIEC への転送) 時の、PCIEC 側のアドレスのサイズを設定します。詳細は、「13.5.5 PI/O 転送 (PCIEC 外部デバイスへのデータ転送)」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	PAM											—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~29	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
28~18	PAM	すべて 0	-	R/W	<p>PCI アドレスのマスクを指定します。</p> <p>SuperHyway 空間 n へアクセスするバケットを、PCI Express のバケットへ変換する際に、PCIEPALRn を上位ビット、SuperHyway バケット上のアドレスを下位ビットと使用しますが、PCIEPAMRn によりその境界を指定します。つまり、生成される SuperHyway 上のバケットのアドレス addr[31:0]は、</p> <p>Addr[31:30] : PCIEPALRn[31:29]</p> <p>Addr[28:18] : PCIEPAMRn[28:18]の対応するビットが 0 なら PCIEPALRn[28:18]</p> <p>PCIEPAMRn[28:18]の対応するビットが 1 なら SuperHyway-Addr[28:18]</p> <p>Addr[17:0] : SuperHyway-Addr[17:0]</p> <p>となります。</p> <p>PCI アドレスの上位 32 ビットは、PCIEPAHRn を使用します。</p> <p>本フィールドへの指定の結果、PCIEC 側のトランザクション転送先の空間は以下の広さとなります。</p> <p>0 0000 0000 00 : 256K バイト</p> <p>0 0000 0000 01 : 512K バイト</p> <p>0 0000 0000 11 : 1M バイト</p> <p>0 0000 0001 11 : 2M バイト</p> <p>0 0000 0011 11 : 4M バイト</p> <p>0 0000 0111 11 : 8M バイト</p> <p>0 0000 1111 11 : 16M バイト</p> <p>0 0001 1111 11 : 32M バイト</p> <p>0 0011 1111 11 : 64M バイト</p> <p>0 0111 1111 11 : 128M バイト</p> <p>0 1111 1111 11 : 256M バイト</p> <p>1 1111 1111 11 : 512M バイト</p> <p>上記以外は設定しないでください。</p>
17~0	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

(21) PCI 変換制御レジスタ 0~3 (PCIEPTCTRL0~3)

本レジスタにより、PI/O 転送 (SuperHyway から PCIEC への転送) 時の、PCIEC 側に発行するパケットの属性を設定します。詳細は、「13.5.5 PI/O 転送 (PCIEC 外部デバイスへのデータ転送)」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PARE	—	—	CONNECT	MAX PACKET SIZE				—	TC			—	—	—	—
初期値:	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	LOCK	—	—	—	SPC	—	—	—	—	—	EP	ATTR	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31	PARE	0	-	R/W	PAR が有効であることを示します。
30、29	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
28	CONNECT	0	-	R/W	<p>P/I/O 転送の際に、パケットの結合を行うことを指定します。</p> <p>本ビットに 1 をセットすることにより、連続したアドレスの PCI 領域への書き込みによる複数の P/I/O 転送結合し、内部バスからのアクセス長より長いデータ長を持つ PCIe パケットを生成します。パケットを結合し、長いデータ長のパケットを生成することにより、データ転送効率を向上します。</p> <p>パケットの結合は、以下の条件を満たしている場合に行われます。</p> <ul style="list-style-type: none"> • パケットの結合が許可されている。 本レジスタの CONNECT ビットに 1 がセットされている場合に、パケットの結合を行います。 ただし、PCIEC のレーン間転送の場合、CONNECT ビットの値によらずパケット結合を行います。 • ライトアクセスである。 リードリクエストに対するパケット結合は行いません。 • アクセスサイズが 4Byte 以上である。 1/2 バイトアクセスの場合、パケット結合は行いません。 • メモリ空間へ発行するパケットである。 I/O 空間へのパケットは結合しません。 • 同一の VC からのアクセスである。 異なる VC からのリクエストの場合、結合は行いません。 • 連続するリクエストのアドレスが連続している。 次のリクエストのアドレスが、現リクエストのアドレス + サイズとなっている場合に、これらのパケットの結合を行います。 • アドレスが、4Kbyte 境界をまたがない。 PCISIG の規格により、4Kbyte 境界をまたぐパケットの生成は禁止されています。 • データが連続している。 連続なデータ転送となるようなバイトイネーブルが設定されている場合にのみパケットの結合を行います。不連続なデータとなるバイトイネーブルがある場合、PCI Express では単一のパケットでの転送は行えません。 • 結合後のパケットサイズが上限を超えていない。 パケット結合の結果、データ長が MAX_PACKET_SIZE で指定される最大パケット長、または MPS を超えない場合に、パケットの結合を行います。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
27~24	MAX PACKET SIZE	1010	-	R/W	<p>PI/O 転送の packets 結合での、最大 packets サイズを指定します。</p> <p>本ビットは、PCIEPTCLR0-5[27].CONNECT ビットに 1 がセットされ、packets の結合が指示されている場合に有効です。</p> <p>0000 : 4Byte 0001 : 8Byte 0010 : 16Byte 0011 : 32Byte 0100 : 64Byte 0101 : 128Byte 0110 : 256Byte 0111 : 512Byte 1000 : 1024Byte 1001 : 2048Byte 1010 : 4096Byte</p> <p>マックスペイロードサイズ (MPS) より大きな packets 長を指定した場合、MPS が最大 packets 長として扱われます。</p> <p>内部バスからのリクエストのデータ長が、指定された最大 packets 長よりも長い場合でも、単一のリクエストの分解は行わず、リクエストにより指定されるデータ長での packets 生成が行われます。</p> <p>PCIe レーン間転送の場合でも、本フィールドで指定する packets 長が packets 長の上限となります。</p>
23	-	0	-	R	<p>リザーブビットです。</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。</p>
22~20	TC	000	-	R/W	転送先の PCIe packets のトラフィッククラス (TC) を指定します。
19~13	-	すべて 0	-	R	<p>リザーブビットです。</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。</p>
12	LOCK	0	-	R/W	<p>packets のロックの有無を指定します。</p> <p>(End Point は、ロックリクエストを発行することはできません)</p>
11~9	-	すべて 0	-	R	<p>リザーブビットです。</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。</p>
8	SPC	0	-	R/W	<p>転送先の空間を指定します。</p> <p>0 : Memory 1 : I/O</p> <p>(End Point は、I/O 空間へリクエストを発行することはできません)</p>

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
7~3	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
2	EP	0	-	R/W	送信パケットの EP を指定します。 本ビットを 1 にすると、送信する PCIe パケットの Poisoned 属性が 1 となります。
1、0	ATTR	0	-	R/W	送信パケットの属性を指定します。 本ビットにより、送信する PCIe パケットの ATTR 属性を指定します。属性の意味は下記のとおりです。 ATTR[0] : No Snoop ATTR[1] : Relaxed Ordering ATTR[0]の No Snoop ビットを 1 とすることにより、転送先でのスヌープを抑制します。(転送先デバイスのコンフィグレーションレジスタで、VCCAP4[15].ReJeCT Snoop Transactions が 1 となっている場合、本ビットを 1 として送信しない限り、転送先デバイスで Unsupported Request として処理されます)。 ATTR[1]の Relaxed Ordering を 1 とすることにより、転送先でのオーダリングを緩和します。

13.4.4 PCIEC-DMAC 制御レジスタ

PCIEC-DMAC 制御レジスタは、PCIEC モジュールに内蔵される PCI Express / SuperHyway バス間の転送を行う DMAC を制御するレジスタです。

これらのレジスタは、SuperHyway バスからのみアクセスできます。PCI Express 側からターゲット転送により本レジスタにアクセスした場合、PCIEC はコンプリータポートとしてエラー処理を行います。

(1) PCI DMAC DMA オペレーションレジスタ (PCIEDMAOR)

本レジスタにより、DMAC の全体制御を行います。詳細は、「13.5.7 DMA 転送」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DMAE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ABT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31	DMAE	0	-	R/W	DMA イネーブルを指定します。 DMAC 機能を使用する場合には、1 をセットしてください。
30~1	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
0	ABT	0	-	R	チャンネル間のアービトレーション方式を指定します。 0 : CH0 > CH1 > CH2 > CH3 1 : ラウンドロビンモード

(2) PCI DMAC PCI アドレス下位レジスタ 0~3 (PCIEDMPALR0~3)

本レジスタにより、DMA 転送の PCI 側のアドレスの下位 32 ビットを指定します。詳細は、「13.5.7 DMA 転送」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PADRL															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PADRL														—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~2	PADRL	すべて 0	-	R/W	DMA 転送時の PCI アドレスの下位 32 ビットを指定します。 4 バイト境界のみが指定可能であり、本フィールドには下位 2 ビットを除いた部分を指定します。
1, 0	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

(3) PCI DMAC PCI アドレス上位レジスタ 0~3 (PCIEDMPAHR0~3)

本レジスタにより、DMA 転送の PCI 側のアドレスの上位 32 ビットを指定します。詳細は、「13.5.7 DMA 転送」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PADRH															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PADRH															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	PADRH	すべて 0	-	R/W	DMA 転送時の PCI アドレスの上位 32 ビットを指定します。

(4) PCI DMAC SuperHyway アドレス下位レジスタ 0~3 (PCIEDMSALR0~3)

本レジスタにより、DMA 転送のローカルバス (SuperHyway) 側のアドレスを指定します。詳細は、「13.5.7 DMA 転送」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	SADR																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	SADR															—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~2	SADR	すべて0	-	R/W	DMA 転送時の SuperHyway アドレスを指定します。 4 バイト境界のみが指定可能であり、本フィールドには下位 2 ビットを除いた部分を指定します。
1, 0	-	すべて0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

(5) PCI DMAC バイトカウントレジスタ 0~3 (PCIEDMBCNTR0~3)

本レジスタにより、DMA 転送のバイトカウントを指定します。詳細は、「13.5.7 DMA 転送」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	BCNT													
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
SH-R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	BCNT															—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~29	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
28~2	BCNT	すべて 0	-	R/W	転送バイトカウントを指定します。 4 の倍数のみ指定可能であり、本フィールドには指定する数の 4 分の 1 (下位 2 ビットを除いた数字) を指定します。 0 を指定した場合は、2 ²⁹ バイトを転送します。
1~0	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

(6) PCI DMAC ストライドカウントレジスタ 0~3 (PCIEDMSBCNTR0~3)

本レジスタにより、DMA 転送のストライドカウントを指定します。詳細は、「13.5.7 DMA 転送」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SBCINI														—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SBCNT														—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~18	SBCINI	すべて 0	-	R/W	ストライドカウンタの初期値を指定します。 ストライド・gather/scatter 転送で一塊として転送されるデータ転送バイト数の初期値を設定します。 4 の倍数のみ指定可能であり、本フィールドには指定する数の 4 分の 1 (下位 2 ビットを除いた数字) を指定します。
17, 16	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
15~2	SBCNT	すべて 0	-	R/W	ストライドカウンタを指定します。 ストライド・gather/scatter 転送で一塊として転送されるデータ転送バイト数のカウンタとなります。データ転送中は、残りの転送バイト数を示しています。 BCNT≠0 かつ SBCNT=0 となったときは、SBINI の値をロードしてデータ転送を継続します。 4 の倍数のみ指定可能であり、本フィールドには指定する数の 4 分の 1 (下位 2 ビットを除いた数字) を指定します。
1, 0	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

(7) PCI DMAC ストライドレジスタ 0~3 (PCIEDMSTRR0~3)

本レジスタにより、DMA 転送のストライド幅を指定します。詳細は、「13.5.7 DMA 転送」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SS														—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI-R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PS														—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI-R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~18	SS	すべて 0	-	R/W	SuperHyway アドレスのストライド幅を指定します。 4 の倍数のみ指定可能であり、本フィールドには指定する数の 4 分の 1 (下位 2 ビットを除いた数字) を指定します。 SuperHyway 側でのストライドを行わない場合には、0 をセットしてください。
17, 16	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
15~2	PS	すべて 0	-	R/W	PCI アドレスのストライド幅を指定します。 4 の倍数のみ指定可能であり、本フィールドには指定する数の 4 分の 1 (下位 2 ビットを除いた数字) を指定します。 PCI 側でのストライドを行わない場合には、0 をセットしてください。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
1, 0	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

(8) PCI DMAC コマンドチェーンアドレスレジスタ 0 ~ 3 (PCIEDMCCAR0~3)

本レジスタにより、DMA 転送のコマンドチェーンのアドレスを指定します。詳細は、「13.5.7 DMA 転送」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	CCA																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	CCA												—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~5	CCA	すべて 0	-	R/W	次に実行するコマンドチェーンのアドレスを指定します。 32 バイト境界のみが指定可能であり、本フィールドには下位 5 ビットを除いた部分を指定します。
4~0	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

(9) PCI DMAC チャンネルコントロールレジスタ 0~3 (PCIEDMCHCR0~3)

本レジスタにより、DMA 転送のチャンネルの制御を行います。詳細は、「13.5.7 DMA 転送」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CHE	DIR	CCRE	—	—	—	PASRE	SASRE	—	—	ATTR	—	—	—	—	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	TC		Burst		—	—	—	—	—	Burst-Length		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31	CHE	0	-	R/W	チャンネルイネーブルを指定します。 本ビットを 1 にセットすると該当するチャンネルでのデータ転送を開始します。ただし、転送終了 (TE) や転送エラー (PE/SE) を示すビットが 1 となっている間は転送を行いません。 DMA 転送中に本ビットを 0 にクリアすると、転送を強制的に中止することができます。転送中止後は、中止したチャンネルのレジスタを初期化し直してください。 本ビットは転送終了や中断によって、0 クリアされることはありません。 0: データ転送を禁止 1: データ転送を許可
30	DIR	0	-	R/W	転送方向を指定します。 0: PCI -> SuperHyway 1: SuperHyway -> PCI
29	CCRE	0	-	R/W	コマンドチェーンイネーブルを指定します。 本ビットがセットされた状態でデータ転送要求が発生したとき、DCCAR に設定されたアドレスからコマンドを読み込んでデータ転送を実施します。 0: コマンドチェーンは無効です。 1: コマンドチェーンは有効です。
28~26	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
25	PASRE	0	-	R/W	PCI アドレスストライドレジスタイネーブルを指定します。 0: PCIEDMSTRR0~3.PS は無効です。 1: PCIEDMSTRR0~3.PS は有効です。

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
24	SASRE	0	-	R/W	SuperHyway アドレスストライドレジスタインペブルを指定します。 0 : PCIEDMSTRR0 ~ 3.SS は無効です。 1 : PCIEDMSTRR0 ~ 3.SS は有効です。
23, 22	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
21, 20	ATTR	00	-	R/W	送信パケットの属性を指定します。 本ビットにより、送信する PCIe パケットの ATTR 属性を指定します。 属性の意味は下記のとおりです。 ATTR[0] : No Snoop ATTR[1] : Relaxed Ordering ATTR[0]の No Snoop ビットを1とすることにより、転送先でのスヌープを抑制します。EXPCAP2[11].Enable No Snoop ビットが0のときには、本ビットを1としての転送を行うことはできず、DMA 転送はエラー終了します。 転送先デバイスのコンフィグレーションレジスタで、VCCAP4[15].ReJeCT Snoop Transactions が1となっている場合、本ビットを1として送信しない限り、転送先デバイスで Unsupported Request として処理されます。 ATTR[1]の Relaxed Ordering を1とすることにより、転送先でのオーダリングを緩和します。EXPCAP2[4].Enable Relax Ordering ビットが0のときには、本ビットを1としての転送を行うことはできず、DMA 転送はエラー終了します。
19~12	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
11~9	TC	000	-	R/W	PCI へのトランザクションの、TC (Traffic Class) を指定します。
8	Burst	0	-	R/W	DMA 転送のバースト長の設定を有効にします。 本ビットに1をセットしたとき、本レジスタの Burst-Length フィールドで指定されたサイズの転送を行った後にチャンネルの切り替えを行うよう、チャンネル間のアービトレーションを行います。 本ビットが0の場合、選択されたチャンネルの DMA 転送が終了した後にチャンネルの切り替えを行います。
7~3	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
2~0	Burst-Length	000	-	R/W	<p>DMA 転送のバースト長を指定します。</p> <p>複数のチャンネルを同時にイネーブルとした場合、本フィールドで指定されたサイズの転送が完了した後に、チャンネルの切り替えが発生します。</p> <p>本ビットの設定は、Burst ビットに 1 が設定されている場合に有効です。</p> <p>H0 : 32 バイト H1 : 64 バイト H2 : 128 バイト H3 : 256 バイト H4 : 512 バイト H5 : 1024 バイト H6 : 2048 バイト H7 : 4096 バイト</p>

(10) PCI DMAC チャンネルステータスレジスタ 0~3 (PCIEDMCHSR0~3)

本レジスタは、DMA 転送のチャンネルの状態を示します。詳細は、「13.5.7 DMA 転送」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	PEE	—	SEE	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W :	R	R	R	R	R/W	R	R/W	R	R	R	R	R	R	R	R	R
PCI-R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PE	—	SE	—	—	—	—	—	IE	—	—	TE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W :	R	R	R	R	R/W1C	R	R/W1C	R	R	R	R	R	R/W	R	R	R/W1C
PCI-R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~28	-	すべて 0	-	R	<p>リザーブビットです。</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。</p>
27	PEE	0	-	R/W	<p>PCI 側での転送エラーによる割り込みイネーブルを指定します。</p> <p>0 : 割り込み発生を禁止します。 1 : 割り込み発生を許可します。</p>
26	-	0	-	R	<p>リザーブビットです。</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。</p>

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
25	SEE	0	-	R/W	SuperHyway 側での転送エラーによる割り込みイネーブルを指定します。 0: 割り込み発生を禁止します。 1: 割り込み発生を許可します。
24~12	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
11	PE	0	-	R/W1C	PCI 側で転送エラーが発生したことを示します。 本エラーの要因には、以下のものがあります。 <ul style="list-style-type: none"> • コネクションが確立されていない状態で、DMA 転送を起動した。 • VCX が無効の状態で、VCX を用いた DMA 転送を起動した。 • VC0 (X) にマッピングされていない TC を設定し DMA 転送を起動した。 • Link-IP が Endpoint かつ PCICONF1[2]バスマスタイネーブルがディassertのときに DMA 転送を起動した。 • コンフィグレーションレジスタ中で許可されていないアトリビュート指定を行い、DMA 転送を起動した。
10	-	0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
9	SE	0	-	R/W1C	SuperHyway 側で転送エラーが発生したことを示します。
8~4	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
3	IE	0	-	R/W	インタラプトイネーブルを指定します。 本ビットを1にセットした場合、TE ビットがセットされると、割り込みを要求します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
2, 1	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
0	TE	0	-	R/W1C	<p>トランスファエンドフラグを示します。</p> <p>PCIEDMBCNTR0-3 の値が 0 になり、データ転送が終了すると、本ビットは 1 にセットされます。転送エラーによって転送が終了した場合、あるいは PCIEDMCHCR.CHE ビットをクリアして転送を強制終了させた場合には、本ビットは 1 にセットされません。</p> <p>また、転送が正常に終了した場合でも、コマンドチェーンを使用して (CCRE=1)、次の転送が指定されている場合は、本ビットは 1 にセットされません。</p> <p>本ビットがセットされていると、PCIEDMCHCR.CHE ビットを 1 にしても転送は行われません。</p> <p>0 : データ転送中またはデータ転送の転送中断 1 : (PCIEDMBCNTR0~3=0 により) データ転送終了</p>

13.4.5 コンフィグレーションレジスタ

コンフィグレーションレジスタは、PCI-SIG により規定されたコンフィグレーションレジスタを実装したものです。本モジュールに実装されているコンフィグレーションレジスタの概要については、「13.5.1 (3) コンフィグレーションレジスタのサポート」および、「13.5.1 (4) ケイパビリティストラクチャのサポート」を参照してください。

これらのレジスタは、内部バス (SuperHyway) および PCI Express 側からアクセスすることができます。PCI Express 側からアクセスする場合、コンフィグレーションリード/ライトによりアクセスを行ってください。ターゲット転送でのメモリリード/ライト、I/O リードライトにより本レジスタにアクセスすることはできません。アクセスした場合、PCIEC はコンプリータアポートとしてエラー処理を行います。

(1) PCI コンフィグレーションレジスタ 0 (PCIEPCICONF0)

本レジスタは、PCI Express で規定されている、Vendor-ID レジスタ、および Device-ID レジスタに対応します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Device ID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Vendor ID															
初期値:	0	0	0	1	1	0	0	1	0	0	0	1	0	0	1	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~16	DEvicelD	H'0010	R	R	Device ID を示します。 割り当てられたデバイス ID を示します。
15~0	VenDorID	H'1912	R	R	PCI デバイスベンダ ID を示します。H'1912 は、ルネサス エレクトロニクスに割り当てられた ID です。

(2) PCI コンフィグレーションレジスタ 1 (PCIEPCICONF1)

本レジスタは、PCI Express で規定されている、コマンドレジスタ、およびステータスレジスタに対応します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Detected Parity Error	Signaled System Error	Received Master Abort	Received Target Abort	Signaled Target Abort	—	—	Master Data Parity Error	—	—	—	CAParity List	INTerrupt Status	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
SH-R/W:	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R	R	R/W1C	R	R	R	R	R	R	R	R
PCI-R/W:	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R	R	R/W1C	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	INTerrupt DISable	—	SERR Enable	—	Parity Error ReSponse	—	—	—	Bus Master Enable	Memory Space Enable	IO Space Enable
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R/W	R	R/W	R	R/W	R	R	R	R/W	R/W	R/W
PCI-R/W:	R	R	R	R	R	R/W	R	R/W	R	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31	Detected Parity Error	0	R/W1C	R/W1C	パリティエラーを検出したことを示します。 Poisoned TLP (Request または Completion) を受信した場合に、1 がセットされます。(PCICONF0[6].Parity Error Response の値によらず、1 がセットされます。)
30	Signaled System Error	0	R/W1C	R/W1C	システムエラーを検出したことを示します。 RootPort : PCICONF1[8].SERR Enable=1 のときに、FATAL/NON_FATAL エラーを検出した場合、 または、PCICONF15[17].SERR Enable=1 のときに、FATAL/NON_FATAL エラーメッセージを受信した場合に 1 がセットされます。 EndPoint : PCICONF1[8].SERR Enable=1 のときに、FATAL/NON_FATAL エラーを検出し、ERR_FATAL/ERR_NONFATAL メッセージを送信した場合に 1 がセットされます。
29	Received Master Abort	0	R/W1C	R/W1C	マスター・アボートの受信を示します。 Unsupported Request Completion Status を持つコンプリージョンを受信した際に 1 がセットされます。
28	Received Target Abort	0	R/W1C	R/W1C	ターゲット・アボートの受信を示します。 Completer Abort Completion Status を持つコンプリージョンを受信した際に 1 がセットされます。
27	Signaled Target Abort	0	R/W1C	R/W1C	ターゲット・アボートの送信を示します。 Completer Abort Completion Status を持つコンプリージョンを送信した際に 1 がセットされます。

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
26、25	DEVSEL Timing	すべて 0	R	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。PCI Express には適用されません。
24	Master Data Parity Error	0	R/W1C	R/W1C	パリティエラーが発生したことを示します。 PCICONF1[6].Parity Error Response が 1 のときに、以下の動作によりセットされます。 1. リクエストが Poisoned コンプリションを受信した。 2. リクエストが Poisoned リクエストを送信した。 PCICONF1[6].PERS が 0 の場合、本ビットはセットされません。
23	Fast Back to Back Transaction CAPable	0	R	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。PCI Express には適用されません。
22	Reserved	0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
21	66Mhz CAPABLE	0	R	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。PCI Express には適用されません。
20	CAPability List	1	R	R	Extended Capability List が、PCI コンパチブルコンフィギュレーション空間に存在することを示します。 本モジュールは、Extended Capability List を持っているため、本フィールドは 1 となります。
19	INTerrupt Status	0	R	R	INTx メッセージがベンディングとなっていることを示します。 Endpoint のとき、INTx 割り込みを発生させた場合に 1 がセットされ、INTx 割り込みを解除すると 0 にクリアされます。 本ビットが 1 のときには、INTx 割り込みを発生させることはできません。 また、本ビットが 1 のときに、PCICONF1[10].INTerrupt DISable に 1 をセットした場合、Deassert INTx メッセージが送信され、本ビットは 0 にクリアされます。
18 ~ 11	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
10	INTerrupt DISable	0	R/W	R/W	INTx メッセージの送信禁止を指定します。 本ビットを 1 とすることにより、INTx メッセージの送信が禁止されます。INTx エミュレーションにより、すでにアサートされている INTx 割り込みがあった場合 (PCICONF1[19].INTerrupt Status=1 の場合)、本ビットを 1 にした段階で Deassert INTx メッセージが送信され、割り込みがディアサートされます。 (PCICONF1[19].INTerrupt Status は、0 にクリアされます。)

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
9	Fast Back to Back Transaction Enable	0	R	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。PCI Express には適用されません。
8	SERR Enable	0	R/W	R/W	システムエラーの報告の許可を指定します。 RootPort : 本ビットが 1 で、以下の信号が 1 のとき、NonFatal/Fatal エラー検出すると、該当する割り込みを発生させます。 EXPCAP7[2].System ERRor on Fatal Error ENable EXPCAP7[1].System ERRor on Non Fatal Error ENable NonFatal/Fatal エラーは、RootPort 内でのエラー検出と、Endpoint からのエラーメッセージの受信の両者により、検出します。 上記の割り込みの発生は、下記のレジスタへの 1 セットによっても指定できます。 EXPCAP2[2].Fatal Error RePorting Enable EXPCAP2[1].Non Fatal Error RePorting Enable Endpoint : 本ビットが 1 のとき、NonFatal/Fatal エラー検出すると、H/W が ERR_NONFATAL/ERR_FATAL メッセージを送信します。 上記メッセージは、下記のレジスタへの 1 セットによっても送信されます。 EXPCAP2[2].Fatal Error RePorting Enable EXPCAP2[1].Non Fatal Error RePorting Enable
7	IDSel Stepping/ Wait Cycle Control	0	R	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。PCI Express には適用されません。
6	Parity Error ReSponse	0	R/W	R/W	パリティエラーのレスポンスを指定します。 本ビットが 1 のとき、以下の動作により、PCICONF1[24].Master Data Parity Error ビットをセットします。 1. リクエストが Poisoned コンプリーションを受信した。 2. リクエストが Poisoned リクエストを送信した。
5	VGA Plate Snoop	0	R	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。PCI Express には適用されません。
4	Memory Write and Invalidate	0	R	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。PCI Express には適用されません。
3	SCE	0	R	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。PCI Express には適用されません。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
2	Bus Master Enable	0	R/W	R/W	メモリ / I/O リクエストの発行許可を指定します。 Root Port : 本ビットが 1 のとき、メモリ / I/O リクエストが受信できます。 0 のときには、受信したリクエストを Unsupported Request として扱います。 Endpoint : 本ビットが 1 のとき、メモリ / I/O リクエストが発行できます。 0 のときには、発行できません。
1	Memory Space Enable	0	R/W	R/W	メモリ空間へのアクセス許可を指定します。 本ビットが 0 のとき、メモリ空間へのアクセスは、Unsupported Request として処理されます。
0	I/O Space Enable	0	R/W	R/W	I/O 空間へのアクセス許可を指定します。 本ビットが 0 のとき、I/O 空間へのアクセスは、Unsupported Request として処理されます。

(3) PCI コンフィグレーションレジスタ 2 (PCIEPCICONF2)

本レジスタは、PCI Express で規定されている、リビジョン ID レジスタ、およびクラスコードレジスタに対応します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Class Code								Sub-Class Code							
初期値 :	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
SH-R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Prog IF								Revision ID							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31 ~ 24	Class Code	H'FF	R	R	Class Code を示します。 PCIEIDSETR1.Class Code に設定した値が反映されます。
23 ~ 16	Sub-Class Code	H'00	R	R	Sub Class Code を示します。 PCIEIDSETR1.Sub Class Code Set に設定した値が反映されます。
15 ~ 8	Prog IF	H'00	R	R	Prog IF を示します。 PCIEIDSETR1.PROG IF Set に設定した値が反映されます。
7 ~ 0	Revision ID	H'00	R	R	PCIERevision ID を示します。 PCIEIDSETR1.Revision ID Set に設定した値が反映されます。

(4) PCI コンフィグレーションレジスタ 3 (PCIEPCICNF3)

本レジスタは、PCI Express で規定されている、キャッシュラインレジスタ、マスターレイテンシタイムレジスタ、ヘッダータイプレジスタ、および BIST レジスタに対応します。

本モジュールは、BIST レジスタには対応していません。また、PCI Express では意味を持たないマスターレイテンシタイムレジスタ、およびキャッシュラインレジスタの機能をサポートしていません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BIST CAPable	Start BiST	—	—	BiST completion CODE				Single Function/Multi Function	HeaDer TYPE						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
SH-R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MASter Latency Timer								Cache Line Size							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31	BiST CAPable	0	R	R	BIST 機能のサポート状況を示します。 1: BIST 機能あり。 0: BIST 機能なし。 本モジュールは BIST をサポートしていません。
30	Start BiST	0	R	R	BIST の起動を指示します。 1: BIST 実行中 0: BIST 終了 本モジュールは BIST をサポートしていません。
29, 28	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
27~24	BiST completion CODE	H'0	R	R	BIST 終了時のステータスコードを示します。 H'1~H'F: 故障が発見された。 H'0: BIST はパスした。 本モジュールは BIST をサポートしていません。
23	Single Function / Multi Function	0	R	R	単機能デバイスか多機能デバイスを示します。 1: Multi Function Device 0: Single Function Device 本モジュールは Single Function のみをサポートしています。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
22～16	HeaDer TYPE	RootPort:H'01 Endpoint:H'00	R	R/W	コンフィグレーションレジスタのレイアウトを指定します。 H'00 : Type00 レイアウト H'01 : Type01 レイアウト H'02 : Type02 レイアウト (設定禁止) 本フィールドは、初期化時に、モードピンの設定に応じてセ ットされます。
15～8	MAStEr Latency Timer	H'00	R	R	読み出すと常に0が読み出されます。書き込む値も常に0と してください。PCI Express には適用されません。
7～0	Cache Line Size	H'00	R	R	読み出すと常に0が読み出されます。書き込む値も常に0と してください。PCI Express 機能には適用されません。

(5) PCI コンフィグレーションレジスタ 4 (PCIEPCICONF4)

本レジスタは、PCI Express で規定されている、ベースアドレスレジスタ 0 に対応します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAR0															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH-R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PCI-R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAR0															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH-R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PCI-R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31～0	BAR0	-	R/W*	R/W*	Base Address Register 0 の値を示します。 RootPort の場合、コンフィグレーションサイクル中に、ソフトウェア により値をセットしてください。 Endpoint の場合、コンフィグレーションサイクル中に、RootPort か らのコンフィグレーションリクエストにより、値がセットされます。 【注】* CFINIT のセット時の PCILAMR2 の値により初期値 / 周辺 バスへの R/W 属性が設定されます。

(6) PCI コンフィグレーションレジスタ 5 (PCIEPCICONF5)

本レジスタは、PCI Express で規定されている、ベースアドレスレジスタ 1 に対応します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAR1															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAR1															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	BAR1	-	R/W*	R/W*	<p>Base Address Register 1 の値を示します。</p> <p>RootPort の場合、コンフィグレーションサイクル中に、ソフトウェアにより値をセットしてください。</p> <p>Endpoint の場合、コンフィグレーションサイクル中に、RootPort からのコンフィグレーションリクエストにより、値がセットされます。</p> <p>【注】* CFINIT のセット時の PCILAMR2 の値により初期値 / 周辺バスへの R/W 属性が設定されます。</p>

(7) PCI コンフィグレーションレジスタ 6 (PCIEPCICONF6)

本レジスタは、エンドポイントとして使用する場合は、PCI Express で規定されているベースアドレスレジスタ 2 に、ルートポートとして使用する場合は、PCI Express で規定されているプライマリバスナンバレジスタ、セカンダリバスナンバレジスタ、サブオーディネートバスナンバレジスタ、およびセカンダリレイテンシタイマーレジスタに対応します。

本モジュールは、PCI Express では意味を持たない、セカンダリレイテンシタイマーレジスタの機能をサポートしていません。

プライマリバスナンバレジスタ、セカンダリバスナンバレジスタ、サブオーディネートバスナンバレジスタへの値の設定は、ソフトウェアにより行ってください。

- エンドポイントとして使用する場合

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAR2															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAR2															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	BAR2	-	R/W*	R/W*	Base Address Register 2 の値を示します。 コンフィグレーションサイクル中に、RootPort からのコンフィグレーションリクエストにより、値がセットされます。 【注】* CFINIT のセット時の PCILAMR2 の値により初期値 / 周辺バスへの R/W 属性が設定されます。

● ルートポートとして使用する場合

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SECOndary LATency Timer								SUBordinate BUS NUMBER							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SECOndary BUS NUMBER								PRIMary BUS NUMBER							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~24	SECOndary LATency Timer	H'00	R	R	読み出すと常に0が読み出されます。書き込む値も常に0としてください。PCI Express には適用されません。
23~16	SUBordinate BUS NUMBER	H'00	R/W	R/W	ダウンストリームリンクに接続されているデバイスの最大バスナンバを示します。
15~8	SECOndary BUS NUMBER	H'00	R/W	R/W	セカンダリ IF に直接 接続されているバスナンバを示します。
7~0	PRIMary BUS NUMBER	H'00	R/W	R/W	プライマリ IF に直接 接続されているバスナンバを示します。

(8) PCI コンフィグレーションレジスタ 7 (PCIEPCICONF7)

本レジスタは、エンドポイントとして使用する場合は、PCI Express で規定されているベースアドレスレジスタ 3 に、ルートポートとして使用する場合は、PCI Express で規定されている I/O ベースレジスタ、I/O リミットレジスタ、およびセカンダリステータスレジスタに対応します。

本モジュールは、I/O ベースレジスタ、I/O リミットレジスタの機能をサポートしていません。

- エンドポイントとして使用する場合

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAR3															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAR3															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	BAR3	-	R/W*	R/W*	Base Address Register 3 の値を示します。 コンフィグレーションサイクル中に、RootPort からのコンフィグレーションリクエストにより、値がセットされます。 【注】* CFINIT のセット時の PCILAMR3 の値により初期値 / 周辺バスへの R/W 属性が設定されます。

● ルートポートとして使用する場合

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Detected Parity Error	Received System Error	Received Master Abort	Received Target Abort	Signaled Target Abort	—	—	Master Data Parity Error	—	—	—	—	—	—	—	—
-----------------------	-----------------------	-----------------------	-----------------------	-----------------------	---	---	--------------------------	---	---	---	---	---	---	---	---

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

SH-R/W: R/W1C R/W1C R/W1C R/W1C R/W1C R R R/W1C R R R R R R R

PCI-R/W: R/W1C R/W1C R/W1C R/W1C R/W1C R R R/W1C R R R R R R R

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

IOLiMIT End Address				IOLiMIT TYPE				IOBaSe End Address				IOBaSe TYPE			
---------------------	--	--	--	--------------	--	--	--	--------------------	--	--	--	-------------	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

SH-R/W: R R R R R R R R R R R R R R R R

PCI-R/W: R R R R R R R R R R R R R R R R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31	Detected Parity Error	0	R/W1C	R/W1C	リンク先で Parity Error を検出したことを示します。 Poisoned TLP を送信した場合に 1 がセットされます。 (PCICONF15[16].Parity Error Response の値によらず、1 がセットされます。)
30	Received System Error	0	R/W1C	R/W1C	リンク先でシステムエラーを検出したことを示します。 ERR_FATAL/ERR_NONFATAL メッセージを受信した場合に 1 がセットされます。
29	Received Master Abort	0	R/W1C	R/W1C	リンク先でのマスター・アボートの受信を示します。 Unsupported Request Completion Status を持つコンプリージョンを送信した際に 1 がセットされます。
28	Received Target Abort	0	R/W1C	R/W1C	リンク先でのターゲット・アボートの受信を示します。 Completer Abort Completion Status を持つコンプリージョンを送信した際に 1 がセットされます。
27	Signaled Target Abort	0	R/W1C	R/W1C	リンク先でのターゲット・アボートの送信を示します。 Completer Abort Completion Status を持つコンプリージョンを受信した際に 1 がセットされます。
26、25	DEVSEL Timing	00	R	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。PCI Express には適用されません。
24	Master Data Parity Error	0	R/W1C	R/W1C	PCICONF15[16].Parity Error Response=1 のとき、以下の条件のうちどちらかを満たす場合セットされます。 1. コンプリータが Poisoned 属性を持つコンプリージョンを送信した。 2. コンプリータが Poisoned 属性を持つライトリクエストを受信した。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
23	Fast Back to Back Transaction CAPable	0	R	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。PCI Express には適用されません。
22	Reserved	0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
21	66Mhz CAPable	0	R	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。PCI Express には適用されません。
20 ~ 16	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
15 ~ 12	I/OLiMiT End Address	H'0	R	R	プライマリへ転送する I/O トランザクションの上限アドレスのうち Address[15 : 12]を指定します。 (未サポート)
11 ~ 8	I/OLiMiT TYPE	H'0	R	R	プライマリへ転送する I/O トランザクションの上限アドレスデコード形式を指定します。 H'0 : 16 ビット I/O アドレス H'1 : 32 ビット I/O アドレス (未サポート)
7 ~ 4	I/OBaSe End ADdress	H'0	R	R	プライマリへ転送する I/O トランザクションのベースアドレスのうち Address[15 : 12]を指定します。 (未サポート)
3 ~ 0	I/OBaSe TYPE	H'0	R	R	プライマリへ転送する I/O トランザクションのベースアドレスデコード形式を指定します。 H'0 : 16 ビット I/O アドレス H'1 : 32 ビット I/O アドレス (未サポート)

(9) PCI コンフィグレーションレジスタ 8 (PCIEPCICONF8)

本レジスタは、エンドポイントとして使用する場合は、PCI Express で規定されているベースアドレスレジスタ 4 に、ルートポートとして使用する場合は、PCI Express で規定されているメモリベースレジスタ、およびメモリリミットレジスタに対応します。

本モジュールは、メモリベースレジスタ、メモリリミットレジスタの機能をサポートしていません。

- エンドポイントとして使用する場合

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAR4															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAR4															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	BAR4	-	R/W*	R/W*	Base Address Register 4 の値を示します。 コンフィグレーションサイクル中に、RootPort からのコンフィグレーションリクエストにより、値がセットされます。 【注】* CFINIT のセット時の PCILAMR4 の値により初期値 / 周辺バスへの R/W 属性が設定されます。

● ルートポートとして使用する場合

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MEMory LiMiT												—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MEMory BASE												—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~20	MEMory LiMiT	H'000	R	R	プライマリIFとセカンダリIF間を転送するメモリマップドI/Oの上限アドレスを指定します。本フィールドはAddress[31:20]に相当します。 (未サポート)
19~16	Reserved	すべて0	R	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
15~4	MEMory BASE	H'000	R	R	プライマリIFとセカンダリIF間を転送するメモリマップドI/Oのベースアドレスを指定します。本フィールドはAddress[31:20]に相当します。 (未サポート)
3~0	Reserved	すべて0	R	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。

(10) PCI コンフィグレーションレジスタ 9 (PCIEPCICONF9)

本レジスタは、エンドポイントとして使用する場合は、PCI Express で規定されているベースアドレスレジスタ 5 に、ルートポートとして使用する場合は、PCI Express で規定されているプリフェッチャブルメモリベースレジスタ、およびプリフェッチャブルメモリリミットレジスタに対応します。

本モジュールは、プリフェッチャブルメモリベースレジスタ、プリフェッチャブルメモリリミットレジスタの機能をサポートしていません。

- エンドポイントとして使用する場合

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAR5															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAR5															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	BAR5	-	R/W*	R/W*	Base Address Register 5 の値を示します。 コンフィグレーションサイクル中に、RootPort からのコンフィグレーションリクエストにより、値がセットされます。 【注】* CFINIT のセット時の PCILAMR5 の値により初期値 / 周辺バスへの R/W 属性が設定されます。

● ルートポートとして使用する場合

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PRefetchable MEMory LiMiT												PRefetchable Memory address decode TYPE			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PRefetchable MEMory BASE												PPRefetchable Memory BaSe TYPE			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31 ~ 20	PRefetchable MEMory LiMiT	H'000	R	R	プライマリIFとセカンダリIF間を転送するプリフェッチャブルメモリの上限アドレスを指定します。本フィールドは Address[31 : 20]に相当します。 (未サポート)
19 ~ 16	Prefetchable Memory address decode TYPE	H'0	R	R	プライマリIFとセカンダリIF間を転送するプリフェッチャブルメモリの上限アドレスのデコード形式を指定します。 H'0 : 32 ビット アドレス H'1 : 64 ビット アドレス (未サポート)
15 ~ 4	PRefetchable MEMory BASE	H'000	R	R	プライマリIFとセカンダリIF間を転送するプリフェッチャブルメモリのベースアドレスを指定します。本フィールドは Address[31 : 20]に相当します。 (未サポート)
3 ~ 0	PPRefetchable Memory BaSe TYPE	H'0	R	R	プライマリIFとセカンダリIF間を転送するプリフェッチャブルメモリのベースアドレスのデコード形式を指定します。 H'0 : 32 ビット アドレス H'1 : 64 ビット アドレス (未サポート)

(11) PCI コンフィグレーションレジスタ 10 (PCIEPCICONF10)

本レジスタは、エンドポイントとして使用する場合は、PCI Express で規定されているカードバス CIS ポインタレジスタに、ルートポートとして使用する場合は、PCI Express で規定されているプリフェッチャブルベースレジスタ (上位 32 ビット) に対応します。

本モジュールは、カードバス CIS ポインタレジスタ、プリフェッチャブルベースレジスタの機能をサポートしていません。

- エンドポイントとして使用する場合

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Card Bus CisPointer															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Card Bus CisPointer															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~0	Card Bus CisPointer	H'00000000	R	R	Card Bus CIS Pointer の値を示します。 CISSETR の値が設定されます。 本デバイスは、カードバスに対応していません。 (未サポート)

● ルートポートとして使用する場合

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Prefetchable memory BaSe UPper32															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Prefetchable memory BaSe UPper32															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	PRefetchable memory BaSe UPper32	H'00000000	R	R	プライマリIFとセカンダリIF間を転送するプリフェッチャブルメモリの上限アドレスを指定します。本フィールドは Address[63 : 32]に相当します。 PCICONF9.PMBSTYPE=1h (64ビットアドレスデコード形式) のとき本フィールドは有効です。 (未サポート)

(12) PCI コンフィグレーションレジスタ 11 (PCIEPCICONF11)

本レジスタは、エンドポイントとして使用する場合は、PCI Express で規定されているサブシステム ID レジスタに、ルートポートとして使用する場合は、PCI Express で規定されているプリフェッチャブルリミットレジスタ(上位 32 ビット)に対応します。

本モジュールは、プリフェッチャブルリミットレジスタの機能をサポートしていません。

- エンドポイントとして使用する場合

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Sub System ID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Sub System VenDor ID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31 ~ 16	Sub System ID	H'00000000	R	R	SubSystem ID を示します。 PCIEIDSETR2.SSIDSet の値が設定されます。
15 ~ 0	Sub System VenDor ID	H'00000000	R	R	SubSystem Vendor ID を示します。 PCIEIDSETR2.SSVIDS の値が設定されます。

● ルートポートとして使用する場合

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Prefetchable memory LiMit UPper32															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Prefetchable memory LiMit UPper32															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH* R/W	説明
31~0	PRefetchable memory LiMit UPper32	H'00000000	R	R	プライマリ IF とセカンダリ IF 間を転送するプリフェッチャブルメモリのベースを指定します。本フィールドは Address[63 : 32] に相当します。 PCICONF9.PMLMTTYPE =1h (64 ビットアドレスデコード形式) のとき本フィールドは有効です。 (未サポート)

(13) PCI コンフィグレーションレジスタ 12 (PCIEPCICONF12)

本レジスタは、エンドポイントとして使用する場合は、PCI Express で規定されているサブシステムベンダ ID レジスタに、ルートポートとして使用する場合は、PCI Express で規定されている I/O ベースレジスタ (上位 16 ビット)、および I/O リミットレジスタ (下位 16 ビット) に対応します。

本モジュールは、I/O ベースレジスタ、および I/O リミットレジスタの機能をサポートしていません。

- エンドポイントとして使用する場合

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Expansion ROM BAR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Expansion ROM BAR															Expansion ROM Enable
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31 ~ 11	Expansion ROM BAR	H'000000	R	R	Expansion ROM Base Address Register の値を示します。 EROMSETR 値により初期値 / 周辺バスへの R/W が設定されます。 本デバイスは、拡張 ROM に対応していません。(未対応)
10 ~ 1	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
0	Expansion ROM Enable	0	R	R	Expansion ROM へのアクセス許可を示します。 本デバイスは、拡張 ROM に対応していません。(未対応)

● ルートポートとして使用する場合

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IOLiMiT UPper Address															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IO BaSe Upper Address															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~16	IOLiMiT UPper ADdress	H'0000	R	R	プライマリへ転送する I/O トランザクションの上限アドレスのうち Address[31 : 16]を指定します。 PCICONF7. I/OLMTTYPE=1 (32 ビットアドレスデコード) のとき本フィールドは有効です。 (未サポート)
15~0	IO BaSe Upper Address	H'0000	R	R	プライマリへ転送する I/O トランザクションのベースアドレスのうち Address[31 : 16]を指定します。 PCICONF7. I/OBSTYPE=1 (32 ビットアドレスデコード) のときに、本機能は有効になります。 (未サポート)

(14) PCI コンフィグレーションレジスタ 13 (PCIEPCONF13)

本レジスタは、PCI Express で規定されているケイパビリティポインタレジスタに対応します。

● エンドポイントとして使用する場合

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CAPabilities Pointer							
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~8	Reserved	すべて0	R	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
7~0	CAPabilities Pointer	H'40	R	R/W	拡張 Capability List へのポインタです。 本 IP は拡張 Capability List を持ち、PCI PM Capability のポインタ H'40 を示します。

● ルートポートとして使用する場合

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CAPabilities Pointer							
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~8	Reserved	すべて0	R	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
7~0	CAPabilities Pointer	H'40	R	R/W	拡張 Capability List へのポインタです。 本 IP は拡張 Capability List を持ち、PCI PM Capability のポインタ H'40 を示します。

(15) PCI コンフィグレーションレジスタ 14 (PCIEPCONF14)

本レジスタは、ルートポートとして使用する場合は、PCI Express で規定されている拡張 ROM ベースアドレスレジスタに対応します。

本モジュールは、拡張 ROM ベースアドレスレジスタの機能をサポートしていません。

● エンドポイントとして使用する場合

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

● ルートポートとして使用する場合

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Expansion ROM BAR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Expansion ROM BAR															Expansion ROM Enable
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31 ~ 11	Expansion ROM BAR	H'000000	R	R	Expansion ROM Base Address Register の値を示します。 EROMSETR 値により初期値 / 周辺バスへの R/W が設定されます。 本デバイスは、拡張 ROM に対応していません。(未対応)
10 ~ 1	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
0	Expansion ROM Enable	0	R	R	Expansion ROM へのアクセス許可を示します。 本デバイスは、拡張 ROM に対応していません。(未対応)

(16) PCI コンフィグレーションレジスタ 15 (PCIEPICCONF15)

本レジスタは、エンドポイントとして使用する場合は、PCI Express で規定されているインタラプトラインレジスタ、インタラプトピンレジスタ、最小グラントレジスタ、および最大レイテンシレジスタに、ルートポートとして使用する場合は、PCI Express で規定されているインタラプトラインレジスタ、インタラプトピンレジスタ、最小グラントレジスタ、最大レイテンシレジスタ、およびブリッジコントロールレジスタに対応します。

本モジュールは、PCI Express では意味を持たない、最小グラントレジスタ、および最大レイテンシレジスタの機能をサポートしていません。

- エンドポイントとして使用する場合

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MAX LAT								MINGNT							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INTerrupt PIN								INTerrupt LINE							
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~24	MAX LAT	H'00	R	R	読み出すと常に0が読み出されます。書き込む値も常に0としてください。PCI Express には適用されません。
23~16	MINGNT	H'00	R	R	読み出すと常に0が読み出されます。書き込む値も常に0としてください。PCI Express には適用されません。
15~8	INTerrupt PIN	H'00	R	R/W	使用する INTx の種類を指定します。 本モジュールから INTx 割り込み出力する場合、本レジスタで指定される割り込みが使用されます。 H'00: PCI 割り込み端子を使用しない H'01: INTA を使用する H'02: INTB を使用する H'03: INTC を使用する H'04: INTD を使用する H'05~H'FF: リザーブ (設定禁止)
7~0	INTerrupt LINE	H'FF	R/W	R/W	INTx 割り込みの割り込み経路を指定します。 H'00~H'FE: INTx 割り込みを INTC に通知します。 H'FF: INTx 割り込みを INTC に通知しません。 Endpoint の場合には、本フィールドは意味を持ちません。

● ルートポートとして使用する場合

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	Discard Timer SErr Enable	Discard Timer STATUS	SECOndary Discard Timer	Primary Discard Timer	Fast Back to Back Transaction CAPable	SECOndary Bus ReSeT	Master Abort MoDe	VGA 16bit DECode	VGA Enable	ISA Enable	SErr Enable	Parity Error ReSpSe
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R/W	R/W
PCI-R/W:	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INTerrupt PIN								INTerrupt LINE							
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~28	Reserved	すべて0	R	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
27	Discard Timer SErr Enable	0	R	R	読み出すと常に0が読み出されます。書き込む値も常に0としてください。PCI Expressには適用されません。
26	Discard Timer STATUS	0	R	R	読み出すと常に0が読み出されます。書き込む値も常に0としてください。PCI Expressには適用されません。
25	SECOndary Discard Timer	0	R	R	読み出すと常に0が読み出されます。書き込む値も常に0としてください。PCI Expressには適用されません。
24	Primary Discard Timer	0	R	R	読み出すと常に0が読み出されます。書き込む値も常に0としてください。PCI Expressには適用されません。
23	Fast Back to Back Transaction CAPable	0	R	R	読み出すと常に0が読み出されます。書き込む値も常に0としてください。PCI Expressには適用されません。
22	SECOndary Bus ReSeT	0	R/W	R/W	セカンダリIFをリセットします。 1がセットされた場合、LTSSMへHotReset状態に遷移します。 クリアされた場合、LTSSMのHotReset状態を解除します。
21	Master ABort MoDe	0	R	R	読み出すと常に0が読み出されます。書き込む値も常に0としてください。PCI Expressには適用されません。
20	VGA 16bit DECode	0	R	R	VGA I/O デコードを許可します。 (未サポート)

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
19	VGA Enable	0	R	R	VGA アドレス変換をイネーブルします。 (未サポート)
18	ISA Enable	0	R	R	ISA I/O アドレス変換をイネーブルします。 (未サポート)
17	SERR Enable	0	R/W	R/W	プライマリ IF への ERR_FATAL/ERR_NONFATAL/ERR_COR メッセージの転送を許可します。 1: エラーメッセージの転送を許可します。 0: エラーメッセージの転送を許可しません。 本ビットが 0 の場合、Endpoint からの ERR_FATAL/ERR_NONFATAL/ERR_COR メッセージによるエラー通知を、RootPort 側で処理しません。
16	Parity Error ReSponse	0	R/W	R/W	パリティエラーのレスポンスを指定します。 本ビットが 1 のとき、以下の動作により、PCICONF7[24].Master Data Parity Error ビットをセットします。 1. コンプリータが Poisoned 属性を持つコンプリーションを送信した。 2. コンプリータが Poisoned 属性を持つライトリクエストを受信した。
15 ~ 8	INTerrupt PIN	H'00	R	R/W	使用する INTx の種類を指定します。 H'00: PCI 割り込み端子を使用しない H'01: INTA を使用する H'02: INTB を使用する H'03: INTC を使用する H'04: INTD を使用する H'05 ~ H'FF: リザーブ (設定禁止) RootPort 時には、INTx 割り込みを発生させることはできません。H'00 を指定してください。
7 ~ 0	INTerrupt LINE	H'FF	R/W	R/W	INTx 割り込みの割り込み経路を指定します。 H'00 ~ H'FE: INTx 割り込みを INTC に通知します。 H'FF: INTx 割り込みを INTC に通知しません。 RootPort 時には、H'FF 以外の値を指定することにより、INTx 割り込みの INTC への通知を許可します。

(17) PCI パワー管理ケイパビリティレジスタ 0 (PCIEPMCAPO)

本レジスタは、パワー管理ケイパビリティストラクチャの、パワー管理ケイパビリティレジスタに対応します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PME SuPport D3COLD	PME SuPport D3HOT	PME SuPport D2	PME SuPport D1	PME SuPport D0	D2 SuPport	D1 SuPport	AUX CURrent			Device Specific Initialization	—	PME Clock	PCI PM VERsion		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NEXT CAPability Pointer								CAPability ID							
初期値:	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	1
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31	PME SuPport D3COLD	0	R	R/W	D3Cold 状態で PME 生成のサポート状態を示します。 1 : D3Cold 時 PME 生成サポートする。 0 : D3Cold 時 PME 生成サポートしない。 Root Port : 初期化時に 1 を設定してください。 EndPoint : 初期化時にデバイス機能を設定してください。
30	PME SuPport D3HOT	0	R	R/W	D3HOT 状態で PME 生成のサポート状態を示します。 1 : D3Hot 時 PME 生成サポートする。 0 : D3Hot 時 PME 生成サポートしない。 Root Port : 初期化時に 1 を設定してください。 EndPoint : 初期化時にデバイス機能を設定してください。
29	PME SuPport D2	0	R	R/W	D2 状態で PME 生成のサポート状態を示します。 1 : D2 時 PME 生成サポートする。 0 : D2 時 PME 生成サポートしない。 初期化時にデバイス機能を設定してください。
28	PME SuPport D1	0	R	R/W	D1 状態で PME 生成サポート状態を示します。 1 : D1 時 PME 生成サポートする。 0 : D1 時 PME 生成サポートしない。 初期化時にデバイス機能を設定してください。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
27	PME SuPport D0	0	R	R/W	D0 状態で PME 生成サポート状態を示します。 1 : D0 時 PME 生成サポートする。 0 : D0 時 PME 生成サポートしない。 初期化時にデバイス機能を設定してください。
26	D2 SuPport	0	R	R/W	D2 パワーマネジメントステートのサポート状態を示します。 1 : D2 ステートサポートする。 0 : D2 ステートサポートしない。 初期化時にデバイス機能を設定してください。
25	D1 SuPport	0	R	R/W	D1 パワーマネジメントステートのサポート状態を示します。 1 : D1 ステートサポートする。 0 : D1 ステートサポートしない。 初期化時にデバイス機能を設定してください。
24 ~ 22	AUX CURrent	000	R	R/W	3.3V 補助電源の電流値を示します。 初期化時に設定してください。 111 : 375mA 110 : 320mA 101 : 270mA 100 : 220mA 011 : 160mA 010 : 100mA 001 : 55mA 000 : 0mA (補助電源なし)
21	Device Specific Initialization	0	R	R/W	D0 初期化後にデバイス固有初期化シーケンスの必要を示します。 1 : デバイス固有初期化シーケンスを必要とする。 0 : デバイス固有初期化シーケンスを必要としない。 初期化時に設定してください。
20	Reserved	0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
19	PME Clock	0	R	R	0 固定値です。PCI Express には適用されません。
18 ~ 16	PCI PM VERsion	H'3	R	R/W	対応している PCI PM Interface Spec のバージョンを示します。 本デバイスは PCI PM Interface Spec Ver1.2 に対応しています。
15 ~ 8	NEXT CAPability Pointer	H'50	R	R/W	拡張 Capability List へのポインタです。

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
7~0	CAPability ID	H'01	R	R/W	Capability List の ID です。 Power Management Capability (H'01) を示しています。

(18) PCI パワー・マネジメント・ケイパビリティレジスタ 1 (PCIEPMCAPP1)

本レジスタは、パワー・マネジメント・ケイパビリティストラクチャの、パワー・マネジメントステータス/コマンドレジスタに対応します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA								Bus Power Clock Control Enable	B2B3 SuPport	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PME Status	DaTa SCALE	DaTa SElect				PME Enable	—	—	—	—	—	NO Soft ReSet	—	PoWer STATE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R	R/W	R/W
PCI-R/W:	R/W1C	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~24	DATA	H'00	R	R/W	PMCAPP1.DTSEL で選択された値を示します。 PMCAPP1.DTSEL が更新した場合、指定された値をライトしてください。
23	Bus Power Clock Control Enable	0	R	R/W	PCI バスパワー/クロック 制御機能を許可します。 1: PCI バスパワー/クロック制御機能をイネーブルします。 0: PCI バスパワー/クロック制御機能をイネーブルしません。 初期化時にデバイス機能を設定してください。
22	B2B3 SuPport	0	R	R/W	D3Hot 状態でのバスステートを示します。 PMCAPP1.BPCC_EN=1 のとき 本フィールドは有効です。 1: D3Hot 状態時 セカンダリ IF のクロックは止まります。(B2) 0: D3Hot 状態時 セカンダリ IF のクロックはとまりません。(B3) 初期化時にデバイス機能を設定してください。
21~16	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
15	PME Status	0	R/W1C	R/W	PME をサポートしている場合 本フィールドは有効です。 PME 生成状態を示します。 1 : PME メッセージを送信しています。 0 : PME メッセージを送信していません。 PME メッセージ送信時に 1 セットしてください。 本フィールドに 1 ライトするコンフィグレーションライトリクエストを受信した場合、0 クリアしてください。 【注】 D3Cold 状態で PME 生成を許可している場合、本フィールドは RW1CS となります。
14, 13	DaTa SCALE	00	R	R/W	PMCAP1.DTSEL で選択された値を PMCAP1.DATA に示すときのスケールを示します。PMCAP1.DTSEL が更新した場合、指定された値をライトしてください。
12~9	DaTa SElect	H'0	R/W	R/W	PMCAP1.DATA、PMCAP1.SCALE に示す値、単位を指定します。本フィールドに対するコンフィグレーションライトリクエストを受信した場合、値を更新してください。
8	PME Enable	0	R/W	R/W	PME メッセージの送信を許可します。 1 : PME メッセージ送信可。 0 : PME メッセージ送信不可。 デバイスが PME メッセージ送信機能をサポートしている場合、本フィールドに対するコンフィグレーションライトリクエストの受信により、値を更新してください。 デバイスが PME メッセージ送信機能をサポートしていない場合、常に 0 値を設定してください。 【注】 D3Cold 状態で PME 生成を許可している場合、本フィールドは RWS となります。
7~4	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
3	NO Soft ReSet	0	R	R/W	デバイスが D3Hot から D0 に遷移するときに内部リセットを行うかを示します。 1 : D3Hot から D0 に遷移するときに、内部リセットを行わない。 0 : D3Hot から D0 に遷移するときに、内部リセットを行う。 初期化時にデバイス機能を設定してください。
2	Reserved	0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
1、0	PoWer STATE	00	R/W	R/W	パワーステートを指示します。 00 : D0 01 : D1 10 : D2 11 : D3Hot コンフィグレーションライトリクエストにより、本フィールドの値が更新されると、INT_PCIPOWER 割り込みが発生します。割り込み検出後に、ソフトウェアにより規定されたパワーダウンシーケンスを実行してください。

(19) MSI ケイパビリティレジスタ 0 (PCIEMSIAPA0)

本レジスタは、MSI ケイパビリティストラクチャを構成するレジスタです。詳細は、「13.5.10 MSI 割り込み」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	Per Vector Masking	64bit ADdress CAPable	Multiple MESsage Enable			Multiple MESsage CAPable			MSI Enable
初期値:	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NEXT CAPability Pointer								CAPability ID							
初期値:	0	1	1	1	0	0	0	0	0	0	0	0	0	1	0	1
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~25	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
24	Per Vector MasKing	1	R	R/W	Per Vector Masking 機能サポートの有無を指定します。 1 : Per Vector Masking 機能をサポートします。 0 : Per Vector Masking 機能をサポートしません。 本モジュールは Per Vector Masking 機能をサポートします。
23	64bit ADdress CAPable	1	R	R/W	64 ビットアドレスメッセージの送信機能の有無を指定します。 1 : 64 ビットアドレスメッセージ送信可能。 0 : 64 ビットアドレスメッセージ送信不可。 本モジュールは 64 ビットアドレスメッセージを送信可能です。
22~20	Multiple MESsage Enable	000	R/W	R/W	送信可能な割り込みベクタ数を示します。 000 : 1 ベクタ割り当て 001 : 2 ベクタ割り当て 010 : 4 ベクタ割り当て 011 : 8 ベクタ割り当て 100 : 16 ベクタ割り当て 101 : 32 ベクタ割り当て 110 : Reserved 111 : Reserved コンフィグレーションサイクル時に、本モジュールに割り当てられるベクタ数が決定され、本フィールドに書き込まれます。割り当てられるべく多数は、最大で MSICAP0[19:17].Multiple Message Capable で要求したベクタ数、最小で 1 となります。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
19 ~ 17	Multiple MESSage CAPable	000	R	R/W	<p>デバイスの送信可能な割り込みベクタ数を指定します。</p> <p>000 : 1 ベクタ割り当て 001 : 2 ベクタ割り当て 010 : 4 ベクタ割り当て 011 : 8 ベクタ割り当て 100 : 16 ベクタ割り当て 101 : 32 ベクタ割り当て 110 : Reserved 111 : Reserved</p> <p>初期化時に、使用を希望する割り込みの本数を設定してください。 コンフィグレーションサイクル中にこのレジスタが読み出され、 本モジュールに割り当てられるベクタ数が決定され、 MSICAP0[22:20].Multiple Message Enalbe フィールドに書き込まれます。</p>
16	MSI Enable	0	R/W	R/W	<p>MSI 機能の許可を示します。</p> <p>1 : MSI 機能をイネーブルする。 0 : MSI 機能をイネーブルしない。</p> <p>本ビットが 0 のとき、MSI は無効です。INTx 割り込みを使用してください。</p> <p>本ビットが 1 のとき、MSI が有効です。INTx 割り込みは使用不可となります。</p> <p>本ビットは、コンフィグレーションサイクル時に値が設定されます。それ以外のソフトウェアは、値を変更しないでください。</p>
15 ~ 8	NEXT CAPability Pointer	H'70	R	R/W	<p>拡張 Capability List へのポインタです。 PCI Express Capability のポインタ H'70 を示します。</p>
7 ~ 0	CAPability ID	H'05	R	R/W	<p>Capability List の ID です。 MSI Capability の ID (H'05) を示しています。</p>

(20) MSI ケイパビリティレジスタ 1 (PCIEMSIAP1)

本レジスタは、MSI ケイパビリティストラクチャを構成するレジスタです。詳細は、「13.5.10 MSI 割り込み」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	Lower MESsage Address																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCI-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	Lower MESsage Address															—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	
PCI-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~2	Lower MESsage Address	H'00000000	R/W	R/W	MSI 送信時の MSI メッセージの下位アドレス[31:2]を示します。 本フィールドは、コンフィグレーションサイクル中に値が設定され、MSICAP0[16].MSI Enable ビットが 1 のとき、有効となります。 MSI 割り込み発生時には、本フィールドの値がアドレスの下位 30 ビットとして使用されます。 本デバイスを RootPort として使用する場合、コンフィグレーションプログラムは、本デバイスの PCIEMSIFR レジスタへ PCI 側からアクセス可能なように変換レジスタを設定し、Endpoint の Lower/Upper Message Address に相当するレジスタ / フィールドに、本デバイスの PCIEMSIFR へアクセスするための PCI アドレスを設定してください。
1, 0	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

(21) MSI ケイパビリティレジスタ 2 (PCIEMSIAP2)

本レジスタは、MSI ケイパビリティストラクチャを構成するレジスタです。詳細は、「13.5.10 MSI 割り込み」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Upper MESsage Address															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Upper MESsage Address															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~0	Upper MESsage Address	H'00000000	R/W	R/W	<p>MSI 送信時の MSI メッセージの上位アドレス[63:32]を示します。</p> <p>本フィールドは、コンフィグレーションサイクル中に値が設定され、MSICAP0[16].MSI Enable ビットが 1 のとき、有効となります。</p> <p>MSI 割り込み発生時には、本フィールドの値がアドレスの上位 32 ビットとして使用されます。</p> <p>本デバイスを RootPort として使用する場合、コンフィグレーションプログラムは、本デバイスの PCIEMSIFR レジスタへ PCI 側からアクセス可能なように変換レジスタを設定し、Endpoint の Lower/Upper Message Address に相当するレジスタ / フィールドに、本デバイスの PCIEMSIFR へアクセスするための PCI アドレスを設定してください。</p>

(22) MSI ケイパビリティレジスタ 3 (PCIEMSIAP3)

本レジスタは、MSI ケイパビリティストラクチャを構成するレジスタです。詳細は、「13.5.10 MSI 割り込み」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MESsage DATA															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~16	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
15~0	MESsage DATA	H'0000	R/W	R/W	MSI 送信時の MSI メッセージのデータを示すフィールドです。 本フィールドは、コンフィグレーションサイクル中に値が設定され、MSICAP0[16].MSI Enable ビットが 1 のとき、有効となります。 MSI 割り込みの発生時には、本フィールドの値がデータの低位 16 ビットとして使用されます。(上位 16 ビットは 0 となります。) MSICAP0[22:20].Multiple MESsage Enable により複数割り込みベクタが本デバイスに割り当てられている場合、相当するベクタ数分の送信データを変更できます。2 ⁿ 本のベクタが割り当てられている場合、本レジスタが示すデータの低位 n ビットを変更可能です。 本デバイスを RootPort として使用する場合、コンフィグレーションプログラムは Endpoint の該当するレジスタ/フィールドの、Bit[12:8]にシフト量を、Bit[4:0]に 0 を、他のビットには 0 を書き込んでください。ここでのシフト量は、PCIEMSIFR[31:0]のうち、本デバイスへ割り当てるビットの先頭のビットカウントを示します。本デバイスは、最大 32 本の割り込みを、MSI として使用することができます。

(23) MSI ケイパビリティレジスタ 4 (PCIEMSIAP4)

本レジスタは、MSI ケイパビリティストラクチャを構成するレジスタです。詳細は、「13.5.10 MSI 割り込み」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MESsage MASK															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MESsage MASK															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~0	MESsage MASK	H'00000000	R/W	R/W	<p>MSI 送信のマスクを指定します。</p> <p>本フィールドのビット N に 1 をセットすることにより、要因 N の MSI 割り込みの発生を抑制します。</p> <p>MESMASK[N]=1 : 割り込みベクタ[N]の MSI 送信をマスクします。</p> <p>MESMASK[N]=0 : 割り込みベクタ[N]の MSI 送信をマスクしません。</p>

(24) MSI ケイパビリティレジスタ 5 (PCIEMSIAP5)

本レジスタは、MSI ケイパビリティストラクチャを構成するレジスタです。詳細は、「13.5.10 MSI 割り込み」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MESsage PENDIng															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MESsage PENDIng															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	MESsage PENDIng	H'00000000	R	R/W	<p>MSI 送信のペンディング状態を示します。</p> <p>本フィールドのビット N に 1 をセットすることにより、要因 = N の MSI 割り込み発生要求をハードウェアに指示します。MSICAP4[31:0].MESsage MASK の対応するビットが 0 になっている割り込みのうち、要因番号の小さいものから順次ハードウェアが選択し、MSI 割り込みを発生させます。</p> <p>MESMASK[N]=1 : 割り込みベクタ[N]の MSI 送信がペンディングとなっている。</p> <p>MESMASK[N]=0 : 割り込みベクタ[N]の MSI 送信がペンディングとなっていない。</p>

(25) PCIe ケイパビリティレジスタ 0 (PCIEEXPCAP0)

本レジスタは、PCI Express ケイパビリティストラクチャの、PCI Express ケイパビリティレジスタ、および PCI Express ケイパビリティリストレジスタに対応します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	INTerrupt MESsage NUMber					SLoT IMPlmented	DEVICE PoRT TYPE			CAPability VERsion				
初期値:	0	0	0	0	0	0	0	0	0	1/0	0	0	0	0	0	1
SH-R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NEXT CAPability Pointer								CAPability ID							
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31、30	Reserved	すべて0	R	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
29～25	INTerrupt MESsage NUMber	00000	R	R/W	HotPlug MSI、または PME で使用する MSI のオフセットを指定します。 MSICAP0.Multiple Message Enable で設定された割り込みベクタ数以内で使用するオフセットを設定してください。 初期状態では、オフセットとして0を使用します。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
24	SLoT IMPLemented	0	R	R/W	リンクが PCI Express スロットに接続しているかを指定します。 1 : スロットが接続されている。 0 : スロットが接続されていない。 Root Port : スロットが接続されている場合、初期化時に 1 を設定してください。 EndPoint : 本フィールドは無効です。初期値のまま使用してください。
23 ~ 20	DEvice PorT TYPE	RootPort: H'4 Endpoint: H'0	R	R/W	本デバイスのタイプを設定します。 H'0 : PCI Express Endpoint (初期値) H'1 : (Legacy PCI Express Endpoint) 設定不可 H'4 : Root Port of PCI Express Root Comple H'5 : (Upstream Port of PCI Express Switch) 設定不可 H'6 : (Downstream Port of PCI Express Switch) 設定不可 H'7 : (PCI Express to PCI/PCI-X Bridge) 設定不可 H'8 : (PCI/PCI-X to PCI Express Bridge) 設定不可 H'9 : (Root Complex Integrated Endpoint Device) 設定不可 H'A : (Root Complex Event Collector) 設定不可 Root Port : H'4 を設定してください。 EndPoint : H'0 を設定してください。 初期化時に、モードピンによる RootPort/Endpoint へ対応した値が設定されます。
19 ~ 16	CAPability VERsion	H'1	R	R	本 Capability のバージョンを示します。
15 ~ 8	NEXT CAPability Pointer	H'00	R	R/W	拡張 Capability List へのポインタです。 End Of List の 00H を示しています。
7 ~ 0	CAPability ID	H'10	R	R/W	Capability List の ID です。 PCI Express Capability の ID (H'10) を示しています。

(26) PCIe ケイバリティレジスタ 1 (PCIEEXPCAP1)

本レジスタは、PCI Express ケイバリティストラクチャの、デバイスケイバリティレジスタに対応します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	CAPtured Slot Power Limit Scale	CAPtured Slot Power Limit Value										—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
SH-R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	
PCI-R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	Role-Based Error Reporting	—	—	—	Endpoint L1 Acceptable Latency	Endpoint L0s Acceptable Latency			Extended TAG Field Supported	Phantom Function SUPporTeD		Max Payload Size SUPporTeD					
初期値 :	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1/0	0/1	
SH-R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	
PCI-R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31 ~ 28	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
27, 26	CAPtured Slot Power Limit Scale	00	R	R/W	スロットパワーリミット値のスケールを示します。 00 : 1.0 x 01 : 0.1 x 10 : 0.01 x 11 : 0.001 x Root Port : 設定する必要はありません。 EndPoint : Upstream より、Set_Slot_Power_Limit メッセージによって指定された値が格納されます。
25 ~ 18	CAPtured Slot Power Limit Value	H'00	R	R/W	EXPCAP1.CAPSLPLSC とともに、スロットが供給するパワーの制限値 (ワット数) を示します。 Root Port : 設定する必要はありません。 EndPoint : Upstream より、Set_Slot_Power_Limit メッセージによって指定された値が格納されます。
17, 16	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
15	Role-Based Error Reporting	1	R	R	読み出すと常に 1 が読み出されます。
14 ~ 12	Reserved	すべて 0	R	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
11 ~ 9	Endpoint L1 Acceptable Latency	000	R	R/W	<p>デバイスが許容できる L1 から L0 への遷移レイテンシを指定します。</p> <p>Endpoint として使用する場合、初期化時にデバイスのサポート状況を設定してください。</p> <p>Rootport として使用する場合には、初期値のまま使用してください。</p> <p>000 : 最大 1μs までに L0 復帰完了 001 : 最大 2μs までに L0 復帰完了 010 : 最大 4μs までに L0 復帰完了 011 : 最大 8μs までに L0 復帰完了 100 : 最大 16μs までに L0 復帰完了 101 : 最大 32μs までに L0 復帰完了 110 : 最大 64μs までに L0 復帰完了 111 : 制限なし。</p> <p>本フィールドは、パワーマネジメントソフトウェアにより使用されます。</p>
8 ~ 6	Endpoint L0s Acceptable Latency	000	R	R/W	<p>デバイスが許容できる L0s から L0 への遷移レイテンシを指定します。</p> <p>Endpoint として使用する場合、初期化時にデバイスのサポート状況を設定してください。</p> <p>Rootport として使用する場合には、初期値のまま使用してください。</p> <p>000 : 最大 64ns までに L0 復帰完了 001 : 最大 128ns までに L0 復帰完了 010 : 最大 256ns までに L0 復帰完了 011 : 最大 512ns までに L0 復帰完了 100 : 最大 1μs までに L0 復帰完了 101 : 最大 2μs までに L0 復帰完了 110 : 最大 4μs までに L0 復帰完了 111 : 制限なし。</p> <p>本フィールドは、パワーマネジメントソフトウェアにより使用されます。</p>

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
5	Extended TAG Field SUPported	0	R	R	リクエスト ID としてサポートしている TAGID のサイズを示します。 0 : 5 ビット TAG 1 : 8 ビット拡張 TAG 拡張 8BitTAGID 機能サポートしません。 0 固定値です。
4, 3	Phantom Function SUPporTeD	00	R	R	トランザクション ID 拡張のためのファントム機能のサポート状況を示します。 00 : ファントム機能をサポートしません。 01 : リクエスト ID ファンクションナンバーの MSB をファントム機能に使用できます。 10 : リクエスト ID ファンクションナンバーの上位 2 ビットをファントム機能に使用できます。 11 : リクエスト ID ファンクションナンバーの全 3 ビットをファントム機能に使用できます。 本モジュールはファントム機能をサポートしていません。0 固定値です
2~0	Max Payload Size SUPporTeD	PCIeC0: 010 PCIeC1/2: 001	R	R/W	デバイスがサポートしている最大ペイロードサイズを示します。 000 : 128 バイト 001 : 256 バイト 010 : 512 バイト 011 : 1024 バイト 100 : 2048 バイト 101 : 4096 バイト 110 : Reserved 111 : Reserved 本デバイスは、以下のペイロードサイズをサポートします。 PCIeC0 : 1024 バイト PCIeC1 : 512 バイト PCIeC2 : 512 バイト 初期値のまま、変更しないでください。

(27) PCIe ケイパビリティレジスタ 2 (PCIEEXPCAP2)

本レジスタは、PCI Express ケイパビリティストラクチャの、デバイスステータスレジスタ、およびデバイスコントロールレジスタに対応します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	Transaction PenDing	AUX Power DeTeCteD	Unsupported Request DeTeCteD	Fatal Error DeTeCteD	Non Fatal Error DeTeCteD	Correctable Error DeTeCteD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W1C	R/W1C	R/W1C	R/W1C
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W1C	R/W1C	R/W1C	R/W1C

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	Bridge Configuration Retry Enable				Max Read ReQuest SIZE			ENable No SNooP	AUX Power PM Enable	Phantom Function Enable	Extended TAG Enable	Max Payload Size		ENabled ReLax Odering	Unsupported Request RePorting Enable	Fatal Error RePorting Enable	Non Fatal Error RePorting ENable	Correctable Error RePorting Enable
初期値:	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	
SH-R/W:	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCI-R/W:	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~22	Reserved	000H	R	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
21	Transaction PenDing	0	R	R	コンプリーションしていない、Non Posted リクエストが存在することを示します。 1: Non Posted リクエスト処理が Pending 中。 0: Non Posted リクエスト処理が Pending ではない。
20	AUX Power DeTeCteD	0	R	R/W	AUX Power の検出状態を示します。 1: AUX Power を検出した。 0: AUX Power 未検出。 デバイスの検出状態を反映してください。
19	Unsupported Request DeTeCteD	0	R/W1C	R/W1C	Unsupported Request の受信状態を示します。 1: Unsupported Request を受信した。 0: Unsupported Request を受信していない。 Unsupported Request を受信したときに、1 がセットされます。
18	Fatal Error DeTeCteD	0	R/W1C	R/W1C	Fatal Error の検出状態を示します。 1: Fatal Error を検出した。 0: Fatal Error を検出していない。 Fatal Error を検出したとき、1 がセットされます。
17	Non Fatal Error DeTeCteD	0	R/W1C	R/W1C	Non Fatal Error の検出状態を示します。 1: Non Fatal Error を検出した。 0: Non Fatal Error を検出していない。 Non Fatal Error を検出したとき、1 がセットされます。

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
16	Correctable Error DeTeCteD	0	R/W1C	R/W1C	Correctable Error の検出状態を示します。 1 : Correctable Error を検出した。 0 : Correctable Error を検出していない。 Non Fatal Error を検出したとき、1 がセットされます。
15	Bridge Configuration Retry Enable	0	R	R	0 固定値です。 PCI Express/PCI, PCI-X ブリッジデバイスのみ有効なフィールドです。
14 ~ 12	Max Read REQuest SiZE	000	R/W	R/W	リードリクエスト発行時の、最大のペイロードサイズを指定します。 000 : 最大 128 バイト (初期値) 001 : 最大 256 バイト 010 : 最大 512 バイト 011 : 最大 1024 バイト 100 : 最大 2048 バイト 101 : 最大 4096 バイト 110 : Reserved 111 : Reserved
11	ENable No SNooP	1	R/W	R/W	No Snoop 属性のトランザクション発行許可を指定します。 0 : No Snoop 属性トランザクションの発行を禁止する。 1 : No Snoop 属性トランザクションの発行を許可する。 本ビットが 0 のとき、No Snoop トランザクションは発行できません。
10	AUX Power PM Enable	0	R/W	R/W	AUX Power のイネーブルを示します。 1 : AUX Power は有効。 0 : AUX Power は無効。
9	Phantom Function Enable	0	R	R	ファントムファンクション機能を有効にします。 1 : ファントムファンクション機能は有効です。 0 : ファントムファンクション機能は無効です。 ファントムファンクション機能サポートしていないため、本ビットは常に 0 です。
8	Extended TAG Enable	0	R	R	拡張 8BitTAGID 機能を有効にします。 0 : 拡張 8BitTAGID 機能を無効。 1 : 拡張 8BitTAGID 機能を有効。 拡張 8BitTAGID 機能をサポートしていないため、本ビットは常に 0 です。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
7~5	Max Payload Size	000	R/W	R/W	<p>デバイスが使用できるの最大ペイロードサイズを示します。</p> <p>000 : 128 バイト 001 : 256 バイト 010 : 512 バイト 011 : 1024 バイト 100 : 2048 バイト 101 : 4096 バイト 110 : Reserved 111 : Reserved</p> <p>コンフィグレーションサイクル時に、システム内のデバイスが持つ最大ペイロードサイズの、最小値がセットされます。</p>
4	ENabled ReLax Oding	1	R/W	R/W	<p>デバイスの Relaxed Ordering 属性トランザクションの発行許可を指定します。</p> <p>1 : Relaxed Ordering 属性のトランザクション発行を許可する。 0 : Relaxed Ordering 属性のトランザクション発行を許可しない。</p> <p>本ビットに 0 を指定時には、Relaxed Ordering トランザクションは発行できません。</p>
3	Unsupported Request RePorting Enable	0	R/W	R/W	<p>Unsupported Request 検出時のエラー報告を指定します。</p> <p>RootPort :</p> <p>本ビットが 1 のとき、Unsupported Request の検出により、Fatal/Nonfatal エラー割り込みを発生させます。</p> <p>Endpoint :</p> <p>本ビットが 1 のとき、Unsupported Request の検出により、Fatal/Nonfatal エラーメッセージを送信します。</p> <p>割り込み発生 / メッセージ送信には、他のレジスタ設定も必要です。</p>
2	Fatal Error RePorting Enable	0	R/W	R/W	<p>Fatal Error の報告許可を指定します。</p> <p>Rootport :</p> <p>本ビットが 1 のとき、Fatal Error の検出により、割り込みを発生させます。</p> <p>Endpoint :</p> <p>本ビットが 1 のとき、Fatal Error の検出により、エラーメッセージを送信します。</p>

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
1	Non Fatal Error RPortingENable	0	R/W	R/W	<p>NonFatal Error の報告許可を指定します。</p> <p>Rootport :</p> <p>本ビットが 1 のとき、NonFatal Error の検出により、割り込みを発生させます。</p> <p>Endpoint :</p> <p>本ビットが 1 のとき、NonFatal Error の検出により、エラーメッセージを送信します。</p>
0	Correctable Error RePorting Enable	0	R/W	R/W	<p>Correctable Error の報告許可を指定します。</p> <p>Rootport :</p> <p>本ビットが 1 のとき、Correctable Error の検出により、割り込みを発生させます。</p> <p>Endpoint :</p> <p>本ビットが 1 のとき、Correctable Error の検出により、エラーメッセージを送信します。</p>

(28) PCIe ケイバリティレジスタ 3 (PCIEEXPCAP3)

本レジスタは、PCI Express ケイバリティストラクチャの、リンクケイバリティレジスタに対応します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Port NUMber								—	—	—	Data Link Layer ACTIVE RePorting CAPable	Supprize Down Error RePorting CaPable	CLock Power Management	L1 Exit LATency	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
SH-R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R
PCI-R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L1 Exit LATency	L0s Exit LATency		L0s Exit LATency		MAXimum LinK WiDth					MAXimum LinK SPEED					
初期値 :	0	0	0	0	0	1	0	0	0	1/0	0	0/1	0	0	0	1
SH-R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31 ~ 24	Port NUMber	H'00	R	R/W	PCI Express Port のポートナンバを示します。 初期化時にポートナンバを設定してください。
23 ~ 21	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
20	Data Link Layer ACTIVE RePorting CAPable	0	R	R/W	EXPCAP4.DLLACT にて Data Link Layer ACTIVE State 状態を示せる機能があるかを示します。 1 : DataLink Layer Active State 表示可。 0 : DataLink Layer Active State 表示可ではない。 Root Port : 本機能をサポートする場合は初期化時に 1 セットしてください。 EndPoint : 初期値のまま使用してください。
19	Supprize Down Error RePorting CaPable	0	R	R	Surprise Down エラーの検出機能を示します。 1 : Surprise Down エラー検出機能あり。 0 : Surprise Down エラー検出機能なし。 本デバイスは Surprise Down エラー機能をサポートしていません。0 固定値です。

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
18	CLock Power Management	0	R	R	<p>リンクが L1、L2Ready、L3Ready 状態のとき、クロック停止可を示します。</p> <p>1：リンクが L1、L2Ready、L3Ready 状態のとき クロック停止可。</p> <p>0：リンクが L1、L2Ready、L3Ready 状態のとき クロック停止不可</p> <p>初期化時にデバイス機能をセットしてください。</p> <p>【注】本フィールドは Clock Request Capability をサポートするフォームファクタに合致したデバイスで設定可能です。</p>
17 ~ 15	L1 Exit LATency	100	R	R	<p>デバイスの L1 から L0 への遷移レイテンシを指定します。</p> <p>000：1μs 未満に L0 復帰完了</p> <p>001：1μs 以上 2μs 未満で復帰完了</p> <p>010：2μs 以上 4μs 未満で復帰完了</p> <p>011：4μs 以上 8μs 未満で復帰完了</p> <p>100：8μs 以上 16μs 未満で復帰完了</p> <p>101：16μs 以上 32μs 未満で復帰完了</p> <p>110：32μs 以上 64μs 以下で復帰完了</p> <p>111：64μs を超える時間で復帰完了。</p> <p>本モジュールの L1 から L0 への復帰は、10.9μs 以下で完了します。</p>
14 ~ 12	L0s Exit LATency	000	R	R	<p>デバイスの L0s から L0 への遷移レイテンシを指定します。</p> <p>000：64ns 未満に L0 復帰完了</p> <p>001：64ns 以上 128ns 未満で復帰完了</p> <p>010：128ns 以上 256ns 未満で復帰完了</p> <p>011：256ns 以上 512ns 未満で復帰完了</p> <p>100：512ns 以上 1μs 未満で復帰完了</p> <p>101：1μs 以上 2μs 未満で復帰完了</p> <p>110：2μs 以上 4μs 以下で復帰完了</p> <p>111：4μs を超える時間で復帰完了。</p> <p>本モジュールの L0s から L0 への復帰時間は、64μs 未満です。</p>
11、10	ASPM SuPported	01	R	R	<p>ASPM のサポート状態を示します。</p> <p>00：Reserved</p> <p>01：L0s 遷移をサポート</p> <p>10：Reserved</p> <p>11：Reserved</p> <p>本モジュールは L0s 遷移をサポートしています。</p>

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
9~4	MAXimum LinK Width	PCIEC0: 000100 PCIEC1/2: 000001	R	R	<p>リンクの最大幅を示します。</p> <p>000000 : Reserved 000001 : x1 リンク 000010 : x2 リンク 000100 : x4 リンク 001000 : x8 リンク 001100 : x12 リンク 010000 : x16 リンク 100000 : x32 リンク</p> <p>本モジュールの最大リンク幅は以下のとおりです。</p> <p>PCIEC0 : x4 PCIEC1/2 : x1</p>
3~0	MAXimum LinK SPEED	0001	R	R	<p>リンクの最大スピードを示します。</p> <p>0001 : 2.5Gb/s その他 : Reserved</p> <p>最大スピードは、2.5Gb/s です。</p>

(29) PCIe ケイパビリティレジスタ 4 (PCIEEXCAP4)

本レジスタは、PCI Express ケイパビリティストラクチャの、リンクステータスレジスタ、およびリンクコントロールレジスタに対応します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	Data Link Layer ACTive	Slot CLoCK ConFIG	LinK Training	—	NeGotiated LinK WIDTH					LinK SPPED				
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
SH-R/W:	R	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	Enable CLoCK Power Management	Extended Sync	Common CLoCK ConFIG	ReTRain LinK	LinK DISable	Read Completion Boundary	—	ASPM ConTRoL	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1/0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/R/W	R	R/W	R/W
PCI-R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/R/W	R	R/W	R/W

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31、30	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
29	Data Link Layer ACTive	0	R	R	DLCMSM が DL_ACTIVE 状態であることを示します。 EXCAP3[20].Data Link Layer ACTive RePorting CAPable に 1 をセットした場合のみ有効です。 1 : DL_ACTIVE 状態 0 : DL_ACTIVE 状態でない
28	SLot CLoCK ConFIG	0	R	R/W	プラットフォームがコネクタに供給するクロックと同じリファレンスクロックを使用しているかを示します。 コネクタに供給するクロックと、同一のリファレンスクロックを使用している場合、本フィールドに 1 をセットしてください。 1 : 同じリファレンスクロックを使用している 0 : 同じリファレンスクロックを使用していない
27	LinK Training	0	R	R	MAC の LTSSM がリンクトレーニング中であることを示します。
26	Reserved	0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
25 ~ 20	NeGotiated LinK WIDTH	000001	R	R	リンク間で調整されたリンク幅を示します。 000001 : x1 リンク 000010 : x2 リンク 000100 : x4 リンク 001000 : x8 リンク 001100 : x12 リンク 010000 : x16 リンク 100000 : x32 リンク
19 ~ 16	LinK SPPED	H'1	R	R	リンク間で調整されたリンクスピードを示します。 2.5Gb/s (H'1) のみ有効です。
15 ~ 9	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
8	ENable CLock Power Management	0	R	R	Clock Power Management 機能をイネーブルします。 本フィールドにライトするコンフィグレーションライトリクエストを受信したら、値を更新してください。 【注】本フィールドは EXCAP3.Clock Power Management で 1 を設定したときのみ有効です。EXCAP3.Clock Power Management で 0 を設定したときは 0 固定としてください。
7	Extended Sync	0	R/W	R/W	拡張 Sync を指定します。 本ビットに 1 をセットすると、MAC LTSSM が L0s/Recovery 状態から遷移するとき、追加の送信オーダーセットを送信します。
6	Common CLock ConFIG	0	R/W	R/W	リンク双端で共通クロックを使用していることを指定します。 リンクの双端で、同一のリファレンスクロックを使用している場合、本フィールドに 1 をセットしてください。 本フィールドの値は、L0s/L1 からの復帰レイテンシの計算に用いられます。 本フィールドの値を修正した場合、その後にソフトウェアによるリンク・リトレーニング (EXPCAP4[5].Retrain Link への 1 書き込み) が必要です。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
5	ReTRain LinK	0	R/W	R/W	リンク・リトレーニングを指示します。 本フィールドに 1 を書き込むことにより、再度リンクトレーニングを行います。 リード時は常に 0 が読み出されます。 本フィールドは、RootPort のときのみ有効です。
4	LinK DISable	0	R/W	R/W	リンクをディセーブルします。 本フィールドに 1 を書き込むことにより、リンクの状態にかかわらず、リンクをディセーブルします。 本フィールドは、RootPort のときのみ有効です。
3	Read Completion Boundary	Root Port: 1 EndPoint: 0	Root Port: R EndPoint: R/W	Root Port: R Endpoint: R/W	リードコンプリージョンのバウンダリを示します。 0 : 64 バイトバウンダリ 1 : 128 バイトバウンダリ Root Port : 128 バイトバウンダリを示す 1 が設定されています。 EndPoint : 初期化時に、ルートポートのサポートするリードコンプリージョンバウンダリが指定されます。
2	Reserved	0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
1、0	ASPM ConTRroL	00	R/W	R/W	ASPM のサポートレベルを指示します。 ASPM のレベルを指定してください。 00 : Disabled 01 : L0s 遷移イネーブル 10 : L1 遷移イネーブル (設定禁止) 11 : L0s/L1 遷移イネーブル (設定禁止)

(30) PCIe ケイパリティレジスタ 5 (PCIEEXPCAP5)

本レジスタは、PCI Express ケイパリティストラクチャの、スロットケイパリティレジスタに対応します。

本モジュールは、スロットケイパリティレジスタの機能をサポートしていません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	PHYSical SLOt NUMber													NO Command Complete SuPporT	ELEctro mechanical INTLOCK PReSeNT	SLOt Power Limit Scale	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	SLOt Power Limit Scale	SLOt Power Limit Value									HOT PLUG CAPable	HOT PLUG SurPRise	PoWer INDicator PReSeNT	AtTention INDicator PReSeNT	MRL SENSor PReSeNT	PoWer COntroller PReSeNT	AtTention BuTtoN PReSeNT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~19	PHYSicalSLOt NUMber	H'0000	R	R/W	デバイスに接続する物理スロットナンバを示します。 初期化時にデバイス状況を設定してください。
18	NO Command Complete SuPporT	0	R	R/W	EXPCAP6 レジスタにて実行される HOT Plug コマンドの完了時に通知しないことを示します。 1 : HOT Plug コマンド完了時、完了通知しない。 0 : HOT Plug コマンド完了時、完了通知する。 初期化時にデバイス状況を設定してください。
17	ELEctro mechanical INTLOCK PReSeNT	0	R	R/W	エレクトロメカニカル・インターロックの有無を指定します。 筐体に、本スロット用のエレクトロメカニカル・インターロックがある場合、初期化時に本フィールドに 1 を設定してください。
16, 15	SLOt Power Limit Scale	00	R	R/W	スロットパワーリミット値のスケールを示します。 00 : 1.0x 01 : 0.1x 10 : 0.01x 11 : 0.001x 本フィールドに対するコンフィグレーションライトリクエストは Set_Slot_Power_Limit メッセージを出力します。 EXPCAP0[24].SLOt IMPLeMented が 1 のとき、本フィールドは有効となります。 初期化時にデバイス状況を設定してください。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
14~7	Slot Power Limit Value	H'00	R	R/W	<p>スロットパワーサプライの供給するスロットパワーの上限値を示します。(ワット数)</p> <p>本フィールドに対するコンフィグレーションライトリクエストは Set_Slot_Power_Limit メッセージを出力します。</p> <p>EXPCAP0[24].SLoT IMPLemented が 1 のとき、本フィールドは有効となります。</p> <p>初期化時にデバイス状況を設定してください。</p>
6	HOT PLUG CAPable	0	R	R/W	<p>本スロットの Hot Plug サポートの有無を指定します。</p> <p>Hot Plug をサポートする場合、初期化時に本フィールドに 1 をセットしてください。</p>
5	HOT PLUG SurPRise	0	R	R/W	<p>Hot Plug Surprise への対応の有無を指定します。</p> <p>本スロットに挿入されているアダプタが、事前の通告なしに抜かれてもよい場合は、初期化時に本フィールドに 1 をセットしてください。</p>
4	PoWer INDicator PReSent	0	R	R/W	<p>パワー・インディケータの有無を指定します。</p> <p>筐体上に本スロット用のパワー・インディケータが存在する場合、初期化時に本フィールドに 1 をセットしてください。</p>
3	ATtention INDicator PReSent	0	R	R/W	<p>アテンション・インディケータの有無を指定します。</p> <p>筐体上に、本スロット用のアテンション・インディケータが存在する場合、初期化時に本フィールドに 1 をセットしてください。</p>
2	MRL SENsor PReSent	0	R	R/W	<p>MRL センサの有無を指定します。</p> <p>筐体上に、本スロット用の MRL センサが存在する場合、初期化時に本フィールドに 1 をセットしてください。</p>
1	PoWer CONtroller PReSent	0	R	R/W	<p>パワーコントローラの有無を指定します。</p> <p>筐体に、本スロット用のソフトウェアでプログラム可能なパワーコントローラが存在する場合、初期化時に本フィールドに 1 をセットしてください。</p>
0	ATtention BuTtoN PReSent	0	R	R/W	<p>アテンションボタンの有無を指定します。</p> <p>筐体に、本スロット用のアテンションボタンが存在する場合、初期化時に本フィールドに 1 をセットしてください。</p>

(31) PCIe ケイパビリティレジスタ 6 (PCIEEXCAP6)

本レジスタは、PCI Express ケイパビリティストラクチャの、スロットステータスレジスタ、およびスロットコントロールレジスタに対応します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	Data Link Layer ST CHanGed	Electro MEChanical interlock STatuS	PResence DETect State	MRL SENsor State	COMmand ComPLeted	PResence DETect CHanGed	MRL SENsor CHanGed	PoWer FAuLt DETect	ATTension BuTton PRessEd
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R/W1C	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R	R	R	R	R	R	R	R/W1C	R	R	R	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	Data Link Layer State CHanGe Enable	Electro MEChanical interlock CONtrol	PoWer CONtroller CONtrol	PoWer INDicator CONtrol	attention INDicator CONtrol	HOT PLUG INTerrupt Enable	COMmand COMpleted INTerrupt Enable	PResence DETect CHanGed Enable	MRL SENsor CHanGed Enable	PoWer FAuLt DETect Enable	ATTension BuTton PRessEd Enable		
初期値:	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~25	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
24	Data Link Layer ST CHanGed	0	R/W1C	R/W1C	EXPCAP4.DLLACT が変化したことを示します。 EXPCAP4.DLLACT を更新された場合に、1 がセットされます。
23	Electro MEChanical interlock STatuS	0	R	R/W	Electromechanical Interlock の状態を指定します。 1 : Electromechanical Interlock がロックしている。 0 : Electromechanical Interlock がロックしていない。 Electromechanical Interlock の状態を反映してください。
22	PResence DETect State	0	R	R/W	スロット上のアダプタの存在を指定します。 1 : スロットにアダプタが挿入されている。 0 : スロットは空である。 スロットの状態を反映してください。
21	MRL SENsor State	0	R	R/W	MRL センサの状態を示します。 1 : MRL はクローズしている。 0 : MRL はオープンしている。 MRL センサの状態を反映してください。
20	COMmand ComPLeted	0	R/W1C	R/W	EXPCAP5.NOCCSP[18].NO Command Complete SuPporT=0 のとき HOTPLUG コマンドの完了を示します。 1 : HOTPLUG コマンドの実行が完了した。 0 : HOTPLUG コマンド実行中。 HOTPLUG コマンドが終了したときに 1 セットしてください。

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
19	PResence DETect CHanGed	0	R/W1C	R/W	EXPCAP6[22].Presense Detect State が変化したことを示します。 PResence DETect State が変化したときに 1 がセットされ、本フィールドに 1 を書き込むことによりクリアされます。
18	MRL SENsor CHanGed	0	R/W1C	R/W	EXPCAP6[21].MRL Sensor State が変化したことを示します。 MRL SENsor STate が変化したときに 1 がセットされ、本フィールドに 1 を書き込むことによりクリアされます。
17	PoWer FAuLt DETect	0	R/W1C	R/W	Power Fault を検出したことを示します。 Power Fault を検出したときに 1 セットし、本フィールドに 1 ライトするコンフィグレーションライトリクエストを受信したら、0 にクリアしてください。
16	ATtension BuTton PReSsed	0	R/W1C	R/W	アテンションボタンが押されたことを示します。 アテンションボタンが押されたときに 1 セットし、本フィールドに 1 ライトするコンフィグレーションライトリクエストを受信したら、0 にクリアしてください。
15 ~ 13	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
12	Data Link Layer STate CHanGe Enable	0	R/W	R/W	PCIEXP6.DLLSTCHG のセットを許可します。
11	Electro MECHANical interlock CONtrol	0	R/W	R/W	Electromechanical InterLock の状態をトグルします。
10	PoWer CONtroller CONtrol	0	R/W	R/W	Power controller を制御します。 1 : Power On 0 : Power Off
9, 8	PoWer INDicator CONtrol	11	R/W	R/W	Power Indicator を制御します。 00 : Reserved 01 : ON 10 : Blink 11 : OFF
7, 6	attention INDicator CONtrol	11	R/W	R/W	Attention Indicator を制御します。 00 : Reserved 01 : ON 10 : Blink 11 : OFF

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
5	HOT PLUG INTerrupt Enable	0	R/W	R/W	HOT PLUG による割り込み発生許可を指定します。
4	COMmand COMpleted INTerrupt Enable	0	R/W	R/W	Command Complete による割り込み発生許可を指定します。 Command Complete による割り込みを発生させます。
3	PResence DETECT CHanGed Enable	0	R/W	R/W	PResence DETect CHanGed による割り込み発生許可を指定します。 EXPCAP6[5].Hot Plug Interrupt Enable が 1 で、かつ本フィールドが 1 のとき、Presence Detect Change による割り込みが発生します。
2	MRL SENSor CHanGed Enable	0	R/W	R/W	MRL SENSor CHanGed による割り込み発生許可を指定します。 EXPCAP6[5].Hot Plug Interrupt Enable が 1 で、かつ本フィールドが 1 のとき、MRL センサの状態変化による割り込みが発生します。
1	PoWer FAuLt DETECT Enable	0	R/W	R/W	PoWer FAuLt DETect による割り込み発生許可を指定します。 EXPCAP6[5].Hot Plug Interrupt Enable が 1 で、かつ本フィールドが 1 のとき、パワーフォルトによる割り込みが発生します。
0	ATtension BuTton PReSsed ENable	0	R/W	R/W	ATtension BuTton PReSsed による割り込み発生許可を指定します。 EXPCAP6[5].Hot Plug Interrupt Enable が 1 で、かつ本フィールドが 1 のとき、アテンションボタンによる割り込みが発生します。

(32) PCIe ケイパリティレジスタ7 (PCIEEXPCAP7)

本レジスタは、PCI Express ケイパリティストラクチャの、ルートケイパリティレジスタ、およびルートコントロールレジスタに対応します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CRS software VISibility
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	CRS software VISibility Enable	PME INTerrupt Enable	System ERRor on Fatal Error Enable	System ERRor on Non Fatal Error Enable	System ERRor on Correctable Error Enable
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~17	Reserved	すべて0	R	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
16	CRS software VISibility	1	R	R	CRS (Configuration Retry Status) 受信時の、ソフトウェアへの通知機能の有無を示します。 本モジュールは、CRS 受信をソフトウェアに通知する機構を持っています。 本フィールドは、RootPort のときのみ意味を持ちます。
15~5	Reserved	すべて0	R	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
4	CRS software VISibility Enable	0	R/W	R/W	CRS (Configuration Retry Status) 受信時に、System Error のアサートを指示します。 本ビットが1のとき、CRS 受信時に、INT_PCIESERR をアサートします。
3	PME INTerrupt Enable	0	R/W	R/W	PME メッセージ受信時に、INTC へ割り込み発生を許可します。 PME メッセージによる割り込みを発生させる場合には、1 をセットしてください。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
2	System ERRor on Fatal Error ENable	0	R/W	R/W	Fatal Error の検出による INTC への割り込み発生を許可します。 エラーの検出は、Rootport 内部での検出と、エラーメッセージ の受信とにより行います。 本フィールドは、Rootport のときのみ有効です。
1	System ERRor on Non Fatal Error Enable	0	R/W	R/W	NonFatal Error の検出による INTC への割り込み発生を許可しま す。 エラーの検出は、Rootport 内部での検出と、エラーメッセージ の受信とにより行います。 本フィールドは、Rootport のときのみ有効です。
0	System ERRor on Correctable Error Enable	0	R/W	R/W	Correctable Error の検出による INTC への割り込み発生を許可しま す。 エラーの検出は、Rootport 内部での検出と、エラーメッセージ の受信とにより行います。 本フィールドは、Rootport のときのみ有効です。

(33) PCIe ケイパビリティレジスタ 8 (PCIEEXPCAP8)

本レジスタは、PCI Express ケイパビリティストラクチャの、ルートステータスレジスタに対応します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PME PenDing	PME Status
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W1C
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PME REQuester ID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31 ~ 18	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
17	PME PenDing	0	R	R/W	PME Status = 1 のとき、他の PME がペンディングになっていることを示します。 PME Status = 1 のとき、PME を受信したら 1 セットしてください。PME PenDing = 1、PME Status = 1 の状態で PME Status が上位 SW によりクリアされた場合、PME Status を再度 1 にセットし、PME REQuester ID はペンディングであったリクエスト ID をセットしてください。
16	PME Status	0	R/W1C	R/W (R/W1C)	PMEREQID に示すリクエストから PME 受信したことを示します。PME 受信で 1 セットし、上位 SW が本フィールドを 1 ライトしたら 0 にクリアしてください。
15 ~ 0	PME REQuester ID	H'0000	R	R/W	PME を発行した、リクエスト ID を示します。 PME 受信したときに、リクエスト ID をセットしてください。

(34) VC ケイパビリティレジスタ 0 (PCIEVCCA0)

本レジスタは、パーチャルチャネルケイパビリティストラクチャの、パーチャルチャネル拡張ケイパビリティヘッダに対応します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NEXT CAPability												CAPability VERsion			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAPability ID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~20	NEXT CAPability	H'000	R	R/W	Capability List へのポインタです。 リストの終了を示す 0 を示しています。 Device Serial Number Capability を使用する場合は、H'1B0 を指定してください。
19~16	CAPability VERsion	H'1	R	R	本 Capability のバージョンを示します。
15~0	CAPability ID	H'0002	R	R	本 Capability の ID を示します。

(35) VC ケイパリティレジスタ 1 (PCIEVCCAP1)

本レジスタは、バーチャルチャネルケイパリティストラクチャの、ポート VC ケイパリティレジスタ 1 に対応します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PorT ARBitoration TaBLe entry SIZE	REFErence CLock	—	—	—	—	Low Priority EXTended VC count	—	—	—	—	EXTended VC count
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~12	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
11, 10	PorT ARBitoration TaBLe entry SIZE	00	R	R	ポートアービトレーションテーブルエントリのサイズを示します。 本モジュールはポートアービトレーションをサポートしていません。
9, 8	REFErence CLock	00	R	R	TimeBase WRR ポートアービトレーションの ReferenceClock を示します。 本モジュールはポートアービトレーションをサポートしていません。
7	Reserved	0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
6~4	Low Priority EXTended VC count	000	R	R	デフォルト VC0 以外の Low PriorityVC 数を示します。 本モジュールは、Low Priority VC は VC0 のみです。
3	Reserved	0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
2~0	EXTended VC count	001	R	R	デフォルト VC0 以外の VC 数を示します。 本モジュールは VC0 と VCX に対応したレジスタを保持していますが、VC0 のみに対応しています。(VCX は使用できません)

(36) VC ケイパビリティレジスタ 2 (PCIEVCCAP2)

本レジスタは、パーチャルチャネルケイパビリティストラクチャの、ポート VC ケイパビリティレジスタ 2 に対応します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VC ARBtration TaBLe OffSET								—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	VC ARBtration WRR 128 phase	VC ARBtration WRR 64 phase	VC ARBtration WRR 32 phase	VC ARBtration hardware FIXed
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~24	VC ARBtration TaBLe OffSET	H'00	R	R	VC アービトレーションの位置を示します。 本 IP はテーブルによる VC アービトレーションを行っています。
23~4	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
3	VC ARBtration WRR 128 phase	0	R	R	Low Priority Group VC の VC アービトレーションを Weighted Round Robin 128 Phase で行うことを示します。 (未サポート)
2	VC ARBtration WRR 64 phase	0	R	R	Low Priority Group VC の VC アービトレーションを Weighted Round Robin 64 Phase で行うことを示します。 (未サポート)
1	VC ARBtration WRR 32phase	0	R	R	Low Priority Group VC の VC アービトレーションを Weighted Round Robin 32 Phase で行うことを示します。 (未サポート)
0	VC ARBtration hardware FIXed	0	R	R	Low Priority Group VC の VC アービトレーションを HardWareFix な方法で行うことを示します。 (未サポート)

(37) VC ケイパリティレジスタ 3 (PCIEVCCAP3)

本レジスタは、パーチャルチャネルケイパリティストラクチャの、ポート VC ステータスレジスタ、ポート VC コントロールレジスタに対応します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VC ARBItRation TaBLe Status
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	VC ARBItRation SElect	Load VC ARBItRation TaBLe		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~17	Reserved	すべて0	R	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
16	VC ARBItRation TaBLe Status	0	R	R	VC アービトレーションテーブルのステータスを示します。 (未サポート)
15~4	Reserved	すべて0	R	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
3~1	VC ARBItRation SElect	000	R	R	Low Priority Group VC の VC アービトレーション方法を選択します。 (未サポート)
0	Load VC ARBItRation TaBLe	0	R	R	VC アービトレーションテーブルのロードを行います。 (未サポート)

(38) VC ケイパビリティレジスタ 4 (PCIEVCCAP4)

本レジスタは、パーチャルチャネルケイパビリティストラクチャの、VC リソースケイパビリティレジスタに対応します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PorT ARBItRation TaBLe OffSEt								—	MAXImum TiMe SLOt						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ReJeCT Snoop Transactions	—	—	—	—	—	—	—	—	—	PorT ARBItRation WRR256	PorT ARBItRation Time Base WRR128	PorT ARBItRation WRR128	PorT ARBItRation WRR64	PorT ARBItRation WRR32	PorT ARBItRation hardware FIXed
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~24	PorT ARBItRation TaBLe OffSEt	H'00	R	R	ポートアービトレーションテーブルへのオフセットアドレスを示します。VC0 はポートアービトレーションテーブルを持っていません。(未サポート)
23	Reserved	0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
22~16	MAXImum TiMe SLOt	H'00	R	R	Time Based WRR ポートアービトレーション時の最大タイムスロットを示します。 VC0 は WRR ポートアービトレーションを行っていません。(未サポート)
15	ReJeCT Snoop Transactions	0	R	R/W	SNOOP トランザクションの拒否を示します。 本ビットが 1 のとき、No Snoop 属性を持たない TLP を Unsupported Request として扱います。 Root Port にのみ有効です。 Root Port : 初期化時に VC0 の状況を設定してください。 EndPoint : 本 bit は無効です。書き込む値は常に 0 としてください。
14~6	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
5	PorT ARBItRation WRR256	0	R	R	ポートアービトレーションを Weighted Round Robin 256phase で行うことを示します。 VC0 はポートアービトレーションに対応していません。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
4	PorT ARBitration Time Base WRR128	0	R	R	ポートアービトレーションを Time Base Weighted Round Robin 128phase で行うことを示します。 VC0 はポートアービトレーションに対応していません。
3	PorT ARBitration WRR128	0	R	R	ポートアービトレーションを Weighted Round Robin 128phase で行うことを示します。 VC0 はポートアービトレーションに対応していません。
2	PorT ARBitration WRR64	0	R	R	ポートアービトレーションを Weighted Round Robin 64phase で行うことを示します。 VC0 はポートアービトレーションに対応していません。
1	PorT ARBitration WRR32	0	R	R	ポートアービトレーションを Weighted Round Robin 32phase で行うことを示します。 VC0 はポートアービトレーションに対応していません。
0	PorT ARBitration hardware FIXed	0	R	R	ポートアービトレーションを HardWareFix な方法で行うことを示します。 VC0 はポートアービトレーションに対応していません。

(39) VC ケイパビリティレジスタ 5 (PCIEVCCAP5)

本レジスタは、パーチャルチャネルケイパビリティストラクチャの、VC リソースコントロールレジスタに対応します。本レジスタにより、VC0 の制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VC Enable	—	—	—	—	VCID			—	—	—	—	PoRT ARBtration SElect		Load Port ARBtration TaBLe	
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
SH-R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
PCI-R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31	VC ENable	1	R	R	VC のイネーブルを示します。 VC0 は常にイネーブルです。
30~27	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
26~24	VCID	000	R	R	VC の ID を示します。 VC0 は常に 0 です。
23~20	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
19~17	PoRT ARBtration SElect	000	R	R	ポートアービトレーション方法を選択します。 本デバイスは、VC アービトレーションを行っていません。 (未対応)
16	Load Port ARBtration TaBLe	0	R	R	ポートアービトレーションテーブルのロードを行います。 本デバイスは、VC アービトレーションを行っていません。 (未対応)
15~8	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
7	TC7	1	R/W	R/W	TC7 を VC0 にマップします。 初期状態では、全 TC が VC0 にマップされています。
6	TC6	1	R/W	R/W	TC6 を VC0 にマップします。 初期状態では、全 TC が VC0 にマップされています。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
5	TC5	1	R/W	R/W	TC5 を VC0 にマップします。 初期状態では、全 TC が VC0 にマップされています。
4	TC4	1	R/W	R/W	TC4 を VC0 にマップします。 初期状態では、全 TC が VC0 にマップされています。
3	TC3	1	R/W	R/W	TC3 を VC0 にマップします。 初期状態では、全 TC が VC0 にマップされています。
2	TC2	1	R/W	R/W	TC2 を VC0 にマップします。 初期状態では、全 TC が VC0 にマップされています。
1	TC1	1	R/W	R/W	TC1 を VC0 にマップします。 初期状態では、全 TC が VC0 にマップされています。
0	TC0	1	R	R	TC0 を VC0 にマップします。 TC0 は常に VC0 にマップされます。

(40) VC ケイパビリティレジスタ 6 (PCIEVCCAP6)

本レジスタは、バーチャルチャネルケイパビリティストラクチャの、VC リソースステータスレジスタに対応します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VC NeGotation PenDing	PorT ARBitration TaBLe Status
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31 ~ 18	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
17	VC NeGotation PenDing	1	R	R	VC0 が Negotiation 中であることを示します。
16	PorT ARBitration TaBLe Status	0	R	R	ポートアービトレーションテーブルのステータスを示します。 テーブルによるポートアービトレーションはサポートしていません。
15 ~ 0	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

(41) VC ケイパビリティレジスタ7 (PCIEVCCAP7)

本レジスタは、バーチャルチャネルケイパビリティストラクチャの、ポートアービトレーションテーブルに対応します。本レジスタにより、VCX の設定を行います。

本モジュールは VCX に対応していないため、本レジスタは無効です。本レジスタには、値を書き込まないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PorT ARBItRation TaBlE OffSEt								—	MAXImum TiMe SLOt						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ReJeCT Snoop Transactions	—	—	—	—	—	—	—	—	—	PorT ARBItRation WRR256	PorT ARBItRation Time Base WRR128	PorT ARBItRation WRR128	PorT ARBItRation WRR64	PorT ARBItRation WRR32	PorT ARBItRation hardware FIXed
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31 ~ 24	PorT ARBItRation TaBlE OffSEt	H'00	R	R	ポートアービトレーションテーブルへのオフセットアドレスを示します。 VCX はポートアービトレーションテーブルを持っていません。(未サポート)
23	Reserved	0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
22 ~ 16	MAXImum TiMe SLOt	H'00	R	R	Time Based WRR ポートアービトレーション時の最大タイムスロットを示します。 VCX は WRR ポートアービトレーションを行っていません。(未サポート)
15	ReJeCT Snoop Transactions	0	R	R/W	SNOOP トランザクションの拒否を示します。 本ビットが 1 のとき、No Snoop 属性を持たない TLP を Unsupported Request として扱います。 Root Port にのみ有効です。 Root Port : 初期化時に VCX の状況を設定してください。 EndPoint : 本 bit は無効です。書き込む値は常に 0 としてください。
14 ~ 6	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
5	PorT ARBitration WRR256	0	R	R	ポートアービトレーションを Weighted Round Robin 256phase で行うことを示します。 VCX はポートアービトレーションに対応していません。
4	PorT ARBitration Time Base WRR128	0	R	R	ポートアービトレーションを Time Base Weighted Round Robin 128phase で行うことを示します。 VCX はポートアービトレーションに対応していません。
3	PorT ARBitration WRR128	0	R	R	ポートアービトレーションを Weighted Round Robin 128phase で行うことを示します。 VCX はポートアービトレーションに対応していません。
2	PorT ARBitration WRR64	0	R	R	ポートアービトレーションを Weighted Round Robin 64phase で行うことを示します。 VCX はポートアービトレーションに対応していません。
1	PorT ARBitration WRR32	0	R	R	ポートアービトレーションを Weighted Round Robin 32phase で行うことを示します。 VCX はポートアービトレーションに対応していません。
0	PorT ARBitration hardware FIXed	0	R	R	ポートアービトレーションを HardWareFix な方法で行うことを 示します。 VCX はポートアービトレーションに対応していません。

(42) VC ケイパビリティレジスタ 8 (PCIEVCCAP8)

本レジスタは、パーチャルチャネルケイパビリティストラクチャの、VC リソースコントロールレジスタに対応します。本レジスタにより、VCX の制御を行います。

本モジュールは VCX に対応していないため、本レジスタは無効です。本レジスタには、値を書き込まないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VC Enable	—	—	—	—	VCID			—	—	—	—	PorT ARBItration SElect		Load Port ARBItration TaBLE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
PCI-R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31	VC ENable	0	R	R	VCX のイネーブルを示します。 初期状態では、VCX はイネーブルではありません。 本モジュールでは、VCX を使用できないため、本ビットを 1 にすることはできません。
30~27	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
26~24	VCID	000	R/W	R/W	VC の ID を指定します。 VCX の ID を設定してください。
23~20	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
19~17	PorT ARBItration SElect	000	R	R	ポートアービトレーション方法を選択します。 本デバイスは、VC アービトレーションを行っていません。 (未対応)
16	Load Port ARBItration TaBLE	0	R	R	ポートアービトレーションテーブルのロードを行います。 本デバイスは、VC アービトレーションを行っていません。 (未対応)
15~8	Reserved	すべて 0	R	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
7	TC7	0	R/W	R/W	TC7 を VCX にマップします。 初期状態では、すべての TC が VC0 にマップされています。
6	TC6	0	R/W	R/W	TC6 を VCX にマップします。 初期状態では、すべての TC が VC0 にマップされています。
5	TC5	0	R/W	R/W	TC5 を VCX にマップします。 初期状態では、すべての TC が VC0 にマップされています。
4	TC4	0	R/W	R/W	TC4 を VCX にマップします。 初期状態では、すべての TC が VC0 にマップされています。
3	TC3	0	R/W	R/W	TC3 を VCX にマップします。 初期状態では、すべての TC が VC0 にマップされています。
2	TC2	0	R/W	R/W	TC2 を VCX にマップします。 初期状態では、すべての TC が VC0 にマップされています。
1	TC1	0	R/W	R/W	TC1 を VCX にマップします。 初期状態では、すべての TC が VC0 にマップされています。
0	TC0	0	R	R	TC0 を VCX にマップします。 TC0 は常に VC0 にマップされます。

(43) VC ケイパビリティレジスタ 9 (PCIEVCCAP9)

本レジスタは、バーチャルチャネルケイパビリティストラクチャの、ポートアービトレーションテーブルに対応します。本レジスタにより、VCX の設定を行います。

本モジュールは VCX に対応していないため、本レジスタは無効です。本レジスタには、値を書き込まないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VC NeGotation PenDing	PorT ARBitration TaBLe Status
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~18	Reserved	すべて0	R	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
17	VC NeGotation PenDing	1	R	R	VCX が Negotiation 中であることを示します。
16	PorT ARBitration TaBLe Status	0	R	R	ポートアービトレーションテーブルのステータスを示します。 テーブルによる VC アービトレーションは、サポートしていません。(未サポート)
15~0	Reserved	すべて0	R	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。

(44) デバイスシリアルナンバケイパビリティレジスタ 0 (PCIENUMCAP0)

本レジスタは、デバイスシリアルナンバケイパビリティストラクチャの、拡張ケイパビリティヘッダに対応します。本デバイスは、デバイスシリアルナンバケイパビリティストラクチャを保持していますが、シリアルナンバの付与を行っていません。デバイスシリアルナンバケイパビリティストラクチャを使用する場合、ソフトウェアにより、シリアルナンバを付与してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NEXT CAPAbility												CAPAbility VERsion			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAPAbility ID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~20	NEXT CAPAbility	H'000	R	R/W	Capability List へのポインタです。 End Of List の 000H を示しています。
19~16	CAPAbility VERsion	H'1	R	R	本 Capability のバージョンを示します。
15~0	CAPAbility ID	H'0003	R	R	本 Capability の ID を示します。

(45) デバイスシリアルナンバケイパリティレジスタ 1 (PCIENUMCAP1)

本レジスタは、デバイスシリアルナンバケイパリティストラクチャの、シリアルナンバレジスタ (下位 DW) に対応します。本デバイスは、デバイスシリアルナンバケイパリティストラクチャを保持していますが、シリアルナンバの付与を行っていません。デバイスシリアルナンバケイパリティストラクチャを使用する場合、ソフトウェアにより、シリアルナンバを付与してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DEvIce SERial NUMber 1ST															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DEvIce SERial NUMber 1ST															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	DEvIce SERial NUMber 1ST	H'00000000	R	R	デバイスのシリアルナンバを示します。 DSERSETR0 フィールドの値が反映されます。

(46) デバイスシリアルナンバケイパリティレジスタ 2 (PCIENUMCAP2)

本レジスタは、デバイスシリアルナンバケイパリティストラクチャの、シリアルナンバレジスタ (上位 DW) に対応します。本デバイスは、デバイスシリアルナンバケイパリティストラクチャを保持していますが、シリアルナンバの付与を行っていません。デバイスシリアルナンバケイパリティストラクチャを使用する場合、ソフトウェアにより、シリアルナンバを付与してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DEvIce SERIal NUMber 2ND															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DEvIce SERIal NUMber 2ND															
初期値:	1	1	1	1	0	1	0	0	0	1	0	0	0	0	0	1
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	DEvIce SERIal NUMber 2ND	H'00000000	R	R	デバイスのシリアルナンバを示します。 DSERSETR1 フィールドの値が反映されます。

13.4.6 PCI Express 制御系レジスタ

本節のレジスタは、PCI Express 制御部の制御系を制御するレジスタです。通常は、初期値のままで PCI Express の動作が可能です。PCI Express をソフトウェアにより制御する場合、詳細なパラメータを変更する場合には、これらのレジスタの設定を行ってください。

これらのレジスタは、SuperHyway バスからのみアクセスできます。PCI Express 側からターゲット転送により本レジスタにアクセスした場合、PCIEC はコンプリータアポートとしてエラー処理を行います。

(1) ID 設定レジスタ 1 (PCIEIDSETR1)

本レジスタにより、クラスコード、サブクラスコード、プログラミングインタフェース、およびリビジョン ID の値を指定します。PCI Express の初期化前に本レジスタに値をセットすることにより、クラスコード、サブクラスコード、プログラミングインタフェース、およびリビジョン ID を設定することができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Class Code Set								Sub Class Code Set							
初期値:	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROG IF set								Rev ID Set							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31 ~ 24	Class Code Set	H'FF	-	R/W	初期化時に Class Code をライトしてください。PCICONF2、Class Code に本フィールドの値が反映されます。
23 ~ 16	Sub Class Code Set	H'00	-	R/W	初期化時に Sub Class Code をライトしてください。PCICONF2、Sub Class Code に本フィールドの値が反映されます。
15 ~ 8	PROG IF Set	H'00	-	R/W	初期化時に Programing IF Code をライトしてください。PCICONF2、PROG IF に本フィールドの値が反映されます。
7 ~ 0	Rev ID Set	H'00	-	R/W	初期化時に Revision ID をライトしてください。PCICONF2、Revision ID に本フィールドの値が反映されます。

(2) ID 設定レジスタ 2 (PCIEIDSETR2)

本レジスタにより、サブシステム ID、およびサブシステムベンダ ID の値を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Sub System ID Set															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Sub System Vendor ID Set															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31 ~ 16	Sub System ID Set	H'0000	-	R/W	Sub System ID を指定します。 初期化時に、PCI デバイスベンダに割り当てられたサブシステムデバイス ID を指定してください。PCICONF11.Subsystem ID に本フィールドの値が反映されます。
15 ~ 0	Sub System Vendor ID Set	H'0000	-	R/W	Sub System ベンダ ID を指定します。 初期化時に PCI デバイスベンダに割り当てられたサブシステムベンダ ID を指定してください。PCICONF11.Sub System Vendor ID に本フィールドの値が反映されます。

(3) Device シリアルナンバ設定レジスタ 0 (PCIEDSERSETR0)

本レジスタにより、デバイスシリアルナンバの値を指定します。本レジスタには、初期化時に 0 が書き込まれます。デバイスシリアルナンバを使用する場合、初期化前に値を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DSERSET0															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DSERSET0															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	DSERSET0	H'00000000	-	R/W	デバイスシリアルナンバの 1stDW を指定します。 デバイスシリアルナンバを使用する場合、CFINIT を 1 とする前に、シリアルナンバを書き込んでください。

(4) Device シリアルナンバ設定レジスタ 1 (PCIEDSERSETR1)

本レジスタにより、デバイスシリアルナンバの値を指定します。本レジスタには、初期化時に 0 が書き込まれます。デバイスシリアルナンバを使用する場合、初期化前に値を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DSERSET1															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DSERSET1															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~0	DSERSET1	H'00000000	-	R/W	デバイスシリアルナンバの 2ndDW を指定します。 デバイスシリアルナンバを使用する場合、CFINIT を 1 とする前に、シリアルナンバを書き込んでください。

(5) TL ステータスレジスタ (PCIETLSR)

本レジスタは、トランザクション層のステータスを示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TRPD	TRPD SET	TRPD CLR	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R/W1C	R/W1C	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31	TRansaction PenDing	0	-	R	Transaction Pending を示します。 Non Posted リクエストを発行すると 1 がセットされ、該当する Completion の受信、または Completion Timeout により、0 にクリアされます。 0 : Non Posted リクエストが Pending ではない。 1 : Non Posted リクエストが Pending.
30	TRansaction PenDing SET	0	-	R/W1C	Transaction Pending がセットされたことを示します。 TLSR.TRPD が 0 から 1 にセットしたときに 1 がセットされ、1 を書き込むことによりクリアされます。 0 : TLSR.TRPD は変化していない。 1 : TLSR.TRPD が 0 から 1 に変化した。
29	TRansaction PenDing CLeaR	0	-	R/W1C	Transaction Pending がクリアされたことを示します。 TLSR.TRPD が 1 から 0 にクリアしたときに 1 がセットされ、1 を書き込むことによりクリアされます。 0 : TLSR.TRPD は変化していない。 1 : TLSR.TRPD が 1 から 0 に変化した。
28-0	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

(6) TL コントロールレジスタ (PCIETLCTRL)

本レジスタにより、トランザクション層の制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	Bus Number								Device Number				Function Number				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	Completion Timeout Time						—	—	—	—	—	—	—	—	—
初期値:	0	0	1	1	0	0	1	0	0	0	0	0	0	0	0	0	
SH-R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31~24	Bus Number	H'00	-	R/W	バスナンバを示します。 Type0 Configuration Write リクエストを受信したとき、リクエスト中に指定されたバスナンバが本フィールドに格納されます。
23~19	Device Number	00000	-	R/W	デバイスナンバを示します。 Type0 Configuration Write リクエストを受信したとき、リクエスト中に指定されたデバイスナンバが本フィールドに格納されます。
18~16	Function Number	000	-	R/W	ファンクションナンバを示します。 Type0 Configuration Write リクエストを受信したとき、リクエスト中に指定されたファンクションナンバが本フィールドに格納されます。
15, 14	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
13~8	Completion Timeout Time	110010	-	R/W	Completion Timer の Timeout 時間を指定します。(単位 ms) 本フィールドで設定する時間内に Completion を受信できなかった場合、Completion Timeout となります。 初期化時に 10~50 の間で設定してください。
7~0	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。

(7) DL ステータスレジスタ (PCIEDLSR)

本レジスタは、データリンク層のステータスを示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DLL ACT	DLDN	DLL PE	RPTO	RPN RO	BAD TLP	BAD DLLP	—	—	—	—	—	—	—	VCX NGPD	VC0 NGPD
初期値:	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
SH-R/W:	R	R	R/W1C	R/W1C	R/W1C	R/W1C	R/W1C	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31	Data Link Layer ACTive	0	-	R	Data Link Control and Management State Machine の DL_Active 状態を示します。 0 : DLCMSM は DL_Active ではない。 1 : DLCMSM は DL_Active である。
30	DL Down	1	-	R	DL Down を示します。 リンク間 DL で通信が確立していないときに、1 が読み出されます。 0 : DL Down 状態ではない。 1 : DL Down 状態である。
29	Data Link Layer Protocol Error	0	-	R/W1C	Data Link Layer Protocol Error の発生を示します。 Data Link Layer でのプロトコルエラーにより 1 がセットされ、1 を書き込むことによりクリアされます。 0 : Data Link Layer Protocol Error が発生していない。 1 : Data Link Layer Protocol Error が発生した。
28	RePlay TimerOut	0	-	R/W1C	Replay TimeOut の発生を示します。 Replay Timeout により 1 がセットされ、1 を書き込むことによりクリアされます。 0 : Replay TimeOut が発生していない。 1 : Replay TimeOut が発生した。
27	RePlay Number Roll Over	0	-	R/W1C	Replay Number Roll Over の発生を示します。 Replay Number Roll Over の発生により 1 がセットされ、1 を書き込むことによりクリアされます。 0 : Replay Number Roll Over が発生していない。 1 : Replay Number Roll Over が発生した。

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
26	BAD TLP	0	-	R/W1C	BAD TLP の検出を示します。 BAD TLP の検出により 1 がセットされ、1 を書き込むことによりクリアされます。 0 : BAD TLP を検出していません。 1 : BAD TLP を検出した。
25	BAD DLLP	0	-	R/W1C	BAD DLLP の検出を示します。 BAD DLLP の検出により 1 がセットされ、1 を書き込むことによりクリアされます。 0 : BAD DLLP を検出していません。 1 : BAD DLLP を検出した。
24~18	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
17	VCX NeGotation PenDing	1	-	R	VCX NeGotation PenDing の状態を示します。 VCX がイネーブル時、DL が VCX の Negoticaion 処理を実行します。本ビットは VCX が Negotiation 中で使用できないこと示しています。本ビットがセットされていないことを確認した後、VCX の使用を開始してください。 0 : VCX Negotiation 処理実行中ではない。 1 : VCX Negotiation 処理実行中。
16	VC0 NeGotation PenDing	1	-	R	VC0 Negotiation Pending の状態を示します。 VC0 は常にイネーブルされており、初期化後自動的に VC0 の Negotiation を実行します。本ビットは VC0 が Negotiation 中または Disable されており、使用できないことを示します。 0 : VC0 Negotiation 処理実行中ではない。 1 : VC0 Negotiation 処理実行中。
15~0	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

(8) DL コントロールレジスタ (PCIEDLCTRL)

本レジスタにより、データリンク層の制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31~0	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。

(9) MAC ステータスレジスタ (PCIEMACSR)

本レジスタは、MAC 層のステータスを示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RVERR	LKTR	—	—	DISST	HOTRST ST	LKWIDTH					LKSPEED				
初期値:	0	0	0	0	0	0	0	0	0	1/0	0	0/1	0	0	0	1
SH-R/W:	R/W1C	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31	ReceiVer ERRor	0	-	R/W1C	Receiver Error を示します。 MAC が以下のエラーを検出したとき、本ビットがセットされます。 <ul style="list-style-type: none"> • 8b/10b エラー • ディスパリティエラー • エラスティックバッファオーバーフロー • エラスティックバッファアンダフロー • レーン間デスキューエラー 0 : Receiver Error は検出していません。 1 : Receiver Error を検出した。f
30	LinK Trining	0	-	R	MAC の LTSSM が Recover または Configuration 状態で、Link Training 実行中であることを示します。 0 : Link Training 中ではない。 1 : Link Training 中である。
29, 28	-	すべて 0	-	R	リザーブビットです。 読み出した値は不定です。書き込む値は常に 0 としてください。
27	DISabled State	0	-	R	MAC の LTSSM が Disabled ステートになっていることを示します。 【注】本ビットは自らリンクディセーブルの要求をした場合 (EXPCAP4.LKDIS に 1 セット) のみセットされます。したがって Endpoint のときは常に "0" が読み出されます。 0 : Disabled ステートではない。 1 : Disabled ステートである。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
26	HOT ReSeT State	0	-	R	MAC の LTSSM が Hot Reset ステートになっていることを示します。 0 : Hot Reset ステートではない。 1 : Hot Reset ステートである。
25 ~ 20	Link WIDTH	PCIEC0: 000100 PCIEC1/2: 000001	-	R	MAC コンフィグレーションにより確立されたリンク幅を示します。 DLSR . DLLACT=1 のとき、本フィールドは有効となります。本 IP はリンク幅 x1 , x4 をサポートしており、そのいずれかの値になります。 000001 : x1 リンク幅 (000010 : x2 リンク幅) 000100 : x4 リンク幅 本レジスタの初期値は、以下のようになります。 PCIEC0 : x4 PCIEC1/2 : x1
19 ~ 16	LinK SPEED	0001	-	R	MAC コンフィグレーションにより確立されたリンクスピードを示します。DLSR . DLLACT=1 のとき本フィールドは有効となります。本 IP はリンクスピード 2.5Gb/s に対応しています。 0001 : 2.5Gb/s
15 ~ 0	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

(10) MAC コントロールレジスタ (PCIEMACCTLR)

本レジスタにより、MAC 層の制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LTSM DIS	LK RCFG	—	REDET	SCRDIS	—	—	—	NFTS							
初期値:	1	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
SH-R/W:	R/W	R/W	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31	LTSSM DISable	1	-	R/W	MAC LTSSM 動作をディセーブルします。 本ビットが1のとき、LTSSM は動作しません。 0: MAC LTSSM はディセーブルせず、動作します。 1: MAC LTSSM をディセーブルします。 PCIETCTLR.CFINIT を1にすると、本フィールドに0がセットされ、MAC LTSSM が動作を開始します。
30	LinK ReConFIG	0	-	R/W	MAC LTSSM の再コンフィグレーション処理を指示します。 本ビットがセットされているとき、MAC LTSSM は Recovery 状態に遷移した後、Configuration 状態に遷移します。本ビットは、Link_up = 1のときにセットしてください。再コンフィグレーションが終了すると0クリアされます。 0: 再コンフィグレーションを行わない。 1: 再コンフィグレーションを行う。
29	-	0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
28	ReDEtecT	0	-	R/W	MAC LTSSM に Detect 状態 (初期状態) への遷移を要求します。 本ビットがセットされると、MAC LTSSM は直ちに Detect 状態へ遷移します。 セットした1クロック後に0クリアされます。 0: Detect 状態に遷移しない。 1: Detect 状態に遷移する。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
27	SCRamble DiSable	0	-	R/W	MAC のデータスクランブル機能をディセーブルします。 【注】 MACCTLR.LTSMDIS ビットが 1 のとき 本ビットを設定してください。MACCTLR.LTSMDIS ビットが 0 のとき、本ビットを変更した場合、動作未定義となります。 0 : データスクランブル機能は有効。 1 : データスクランブル機能を無効にする。
26 ~ 24	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
23 ~ 16	Number FTS	H'FF	-	R/W	MAC が L0 から L0s への復帰時に送信する Fast Training Sequence 数を設定してください。 設定できる最大 FTS 数は 255 (初期値) です。最小値は 6 です。6 以下には設定しないでください。
15 ~ 0	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

(11) PM ステータスレジスタ (PCIEPMSR)

本レジスタは、パワーマネージメントのステータスを示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	L1FAEG	—	—	—	L2FAEG	—	—	—	PME L1RX	—	—	—	—	PMSTATE		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W1C	R	R	R	R/W1C	R	R	R	R/W1C	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31	L1FAIEdGe	0	-	R/W1C	L1 Fall Edge を示します。 PMCTLR.L1IATN=1 ライトによって起動された L1 起動シーケンスが中断、もしくは完了したときに 1 セットされます。1 ライトでクリアされます。0 ライトは無効です。 0: L1 起動シーケンスは 完了または中断していない。 1: L1 起動シーケンスが完了または中断した。
30~28	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
27	L2FAIEdGe	0	-	R/W1C	PMCTLR.L2IATN=1 ライトによって起動された L2 起動シーケンスが中断、もしくは完了したときに 1 セットされます。1 ライトでクリアされます。0 ライトは無効です。 0: L2 起動シーケンスは 完了または中断していない。 1: L2 起動シーケンスが完了または中断した。
26~24	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
23	PMEnterL1RX	0	-	R/W1C	PM_ENTER_L1 DLLP を受信したときに 1 セットされます。1 ライトでクリアされます。0 ライトは無効です。 0: PM_ENTER_L1 DLLP を受信していない。 1: PM_ENTER_L1 DLLP を受信した。
22~19	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
18~16	PMSTATE	000	-	R	PowerManagemnet ステートマシンのステートを示します。 000 : LDn ステート 001 : L0 ステート 011 : L1 ステート 010 : L2 ステート 100 : L0s ステート その他 : Reserve
15~0	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

(12) PM コントロールレジスタ (PCIEPMCTLR)

本レジスタにより、パワーマネージメントを制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	L1IATN	—	—	—	L2IATN	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W :	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31	L1InitiATioN	0	-	R/W	L1 遷移の開始を指示します。 1 ライトにより L1 遷移の開始 (起動) を行います。0 ライトは無効です。 リード時は、L1 へ遷移途中のとき 1 を示し、PM ステートが L0 から別のステートに遷移すると 0 を示します。 0 : L1 遷移シーケンスは起動していない。 1 : L1 状態への遷移の過程にある。
30~28	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
27	L2InitiATioN	0	-	R/W	L2 遷移の開始を指示します。 1 ライト時に、L2 遷移の開始 (起動) を行います。0 ライトは無効です。 リード時は、L2 へ遷移途中のとき 1 を示し、PM ステートが L0 から別のステートに遷移すると 0 を示します。 0 : L2 遷移シーケンスは起動していない。 1 : L2 状態への遷移の過程にある。
26~0	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

(13) TL 割り込みマスクレジスタ (PCIETLINTENR)

本レジスタにより、PCI Express 制御部のトランザクション層での割り込みの、INTC への通知を制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	TRPD SETEN	TRPD CLREN	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W :	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31	-	0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
30	TRansaction PenDing SET Enable	0	-	R/W	Transaction Pending SET による割り込みを許可します。 1 セットした場合、割り込み発生します。 0 : Transaction Pending SET 割り込みを発生しません。 1 : Transaction Pending SET 割り込みを発生します。
29	TRansaction PenDing CLR Enable	0	-	R/W	Transaction Pending CLear による割り込みを許可します。 1 セットした場合、割り込み発生します。 0 : Transaction Pending CLear 割り込みを発生しません。 1 : Transaction Pending CLear 割り込みを発生します。
28~0	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

(14) DL 割り込みマスクレジスタ (PCIEDLINTENR)

本レジスタにより、PCI Express 制御部のデータリンク層での割り込みの、INTC への通知を制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DLL ACTEN	DL DNEN	DLL PEEN	RP TOEN	RPN ROEN	BAD TLPEN	BAD DLLPEN	—	—	—	—	—	—	—	VCXNG PDEN	VC0NG PDEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W	R/W
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
31	Data Link Layer ACTive Enable	0	-	R/W	DL_Active による割り込みを許可します。 0: DL_Active による割り込みを発生しません。 1: DL_Active による割り込みを発生します。
30	DL DownNENable	0	-	R/W	DL Down による割り込みを許可します。 0: DL Down による割り込みを発生しません。 1: DL Down による割り込みを発生します。
29	Data Link Layer Protocol ErrorENable	0	-	R/W	Data Link Layer Protocol Error による割り込みを許可します。 0: Data Link Layer Protocol Error による割り込みを発生し ません。 1: Data Link Layer Protocol Error による割り込みを発生し ます。
28	RePlay TimerOutENable	0	-	R/W	Replay TimeOut による割り込みを許可します。 0: Replay TimeOut による割り込みを発生しません。 1: Replay TimeOut による割り込みを発生します。
27	RePlay Number Roll OverENable	0	-	R/W	Replay Number Roll Over による割り込みを許可します。 0: Replay Number Roll Over による割り込みを発生しませ ん。 1: Replay Number Roll Over による割り込みを発生します。
26	BAD TLPENable	0	-	R/W	BAD TLP による割り込みを許可します。 0: BAD TLP による割り込みを発生しません。 1: BAD TLP による割り込みを発生します。
25	BAD DLLP Enable	0	-	R/W	BAD DLLP による割り込みを許可します。 0: BAD DLLP による割り込みを発生しません。 1: BAD DLLP による割り込みを発生します。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
24~18	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
17	VCX NeGotation PenDingENable	0	-	R/W	VCX NeGotation PenDing による割り込みを許可します。1セットした場合、割り込みを発生します。 0 : VCX Negotiation による割り込みを発生しません。 1 : VCX Negotiation による割り込みを発生します。
16	VC0NeGotation PenDingENable	0	-	R/W	VC0 Negotiation Pending による割り込みを許可します。1セットした場合、割り込みを発生します。 0 : VC0 Negotiation による割り込みを発生しません。 1 : VC0 Negotiation による割り込みを発生します。
15~0	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。

(15) MAC 割り込みマスクレジスタ (PCIEMACINTENR)

本レジスタにより、PCI Express 制御部の MAC 層での割り込みの、INTC への通知を制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RV ERREN	LKTR EN	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W :	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31	ReceiVer ERRor Enable	0	-	R/W	ReceiverError による割り込みを許可します。 0 : Receiver Error による割り込みを許可しません。 1 : Receiver Error による割り込みを許可します。
30	LinK TRining Enable	0	-	R/W	Link Training による割り込みを許可します。 0 : Link Training による割り込みを許可しません。 1 : Link Training による割り込みを許可します。
29~0	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0としてください。

(16) PM 割り込みマスクレジスタ (PCIEPMINTENR)

本レジスタにより、PCI Express 制御部のパワーマネージメントでの割り込みの、INTC への通知を制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	L1FA EGEN	—	—	—	L2FA EGEN	—	—	—	PMEL1 RXEN	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
31	L1FAIEdGeENable	0	-	R/W	L1FAEG による割り込みを許可します。 0 : L1FAIEdGe による割り込みを許可しません。 1 : L1FAIEdGe による割り込みを許可します。
30~28	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
27	L2FAIEdGeENable	0	-	R/W	L2FAEG による割り込みを許可します。 0 : L2FAIEdGe による割り込みを許可しません。 1 : L2FAIEdGe による割り込みを許可します。
26~24	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
23	PM_Enter_L1_RXENable	0	-	R/W	PMEnterL1RX による割り込みを許可します。 0 : PMEnterL1RX による割り込みを許可しません。 1 : PMEnterL1RX による割り込みを許可します。
22~0	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

13.4.7 PCI Express 送信系レジスタ

本節のレジスタは、PCI Express 制御部の送信系を制御するレジスタです。本モジュールのブリッジ部を用いての通信は、初期値のまま PCI Express の動作が可能です。PCI Express をソフトウェアにより制御する場合、詳細なパラメータを変更する場合には、これらのレジスタの設定を行ってください。

これらのレジスタは、SuperHyway バスからのみアクセスできます。PCI Express 側からターゲット転送により本レジスタにアクセスした場合、PCIEC はコンプリータアポートとしてエラー処理を行います。

また、本モジュールのブリッジ部は、これらのレジスタにアクセスし、パケットの送受信を行います。ブリッジ部が動作している際には、ブリッジ部がアクセスするレジスタにはソフトウェアからアクセスしないでください。

これらのレジスタは、64 ビットレジスタとして定義されています。ソフトウェアからアクセスする場合には、浮動小数点レジスタ (DRn, n=偶数) と浮動小数点用の転送命令 (fmov) を用いて、8 バイト単位でのアクセスを行うか、4 バイト単位でのアクセスを行ってください。8 バイトアクセスを行う場合、リセット解除後には浮動小数点レジスタを用いても、4 バイトでのアクセスが行われているため、FSCHG 命令を実行し、8 バイトアクセスを行う設定を行ってください。また、4 バイトでのアクセスを行う場合、最初に下位 4 バイトにアクセスし、その後連続して上位 4 バイトにアクセスしてください。ライトの場合、上位 4 バイトを書き込んだ段階で、64 ビットレジスタへのライトが行われ、下位 4 バイトのみのライトでは、データは書き込まれません。

(1) 送信ステータスレジスタ (PCIETXSR)

本レジスタは、送信ステータスを示します。

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	TXEMP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
63	TXEMP	1	-	R	VC0、VCX すべての送信バッファの Empty フラグを示します。本ビットで Empty 状態を確認しながらパワー・マネジメント操作を行います。TXBUFCLR の 1 ライトにより初期化されます。 0: 空でない送信バッファが存在します。 1: すべての送信バッファは空です。
62~0	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

(2) 送信 VC0 ステータスレジスタ (PCIETXVCO0SR)

本レジスタは、VC0 でのパケット送信のステータスを示します。

本モジュールは、ブリッジ部が本レジスタにアクセスすることにより、パケットの送信を行います。そのため、ブリッジ部の動作中は、ソフトウェアによる本レジスタへのアクセスは行わないでください。

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	TXBUF CLR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0
SH-R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI-R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	PCI R/W	SH R/W	説明
63	TX BUFfer CLear	0	-	R/W	VC0 送信バッファをクリアします。 Posted リクエスト / Non Posted リクエスト / Completion の送信 ヘッダ、データバッファがクリアされます。1 ライトのみ可能な 1Shot トリガです。リードは常に 0 となります。 0 : (初期値) 1 : VC0 送信バッファをクリアする。
62 ~ 56	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 として ください。
55	-	1	-	R	リザーブビットです。 読み出すと不定値が読み出されます。書き込む値は常に 0 として ください。
54 ~ 52	-	すべて 0	-	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 として ください。

ビット	ビット名	初期値	PCI R/W	SH R/W	説 明
51	-	1	-	R	リザーブビットです。 読み出すと不定値が読み出されます。書き込む値は常に0として ください。
50~48	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0として ください。
47	-	1	-	R	リザーブビットです。 読み出すと不定値が読み出されます。書き込む値は常に0として ください。
46~0	-	すべて0	-	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0として ください。

13.4.8 物理層制御レジスタ

物理層制御レジスタは、物理層の全体動作の制御などのためのレジスタです。物理層が持つ複数を個別に制御するため、レーンごとにレジスタが規定されていますが、物理層全体を代表してレーン 0 のみにレジスタが定義されているものもあります。

物理層制御レジスタのアドレスは、SuperHyway 上の空間にはマッピングされていません。アクセス方法の詳細は、「13.5.14 物理層制御レジスタへのアクセス」を参照してください。

予約されているレジスタ、ビットに対しては、初期値の修正を行わないでください。

(1) 物理層制御レジスタ (PCIEPLCTLR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PHY StandBy	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

レーン	ビット	ビット名	初期値	R/W	説明
0	31~11	-	すべて 0	R/W	予約ビットです。初期値のまま、変更しないでください。
	10	-	1	R/W	予約ビットです。初期値のまま、変更しないでください。
	9、8	-	すべて 0	R/W	予約ビットです。初期値のまま、変更しないでください。
	7	PHY_StandBy	1	R/W	物理層をスタンバイ状態とすることを指定します。 初期状態では、スタンバイ状態となっています。 PCIEC を使用する前に、本ビットを 0 とし、スタンバイ状態を解除してください。
	6~0	-	すべて 0	R/W	予約ビットです。初期値のまま、変更しないでください。

13.5 動作説明

13.5.1 サポートする機能

本節では、PCI Express コントローラがサポートする機能を示します。

(1) パケット送受信のサポート

表 13.7 にサポートする PCI Express パケットを示します。本モジュールでは、規格で禁止されていないパケットの送受信をサポートしています。

表 13.7 サポートする PCI Express パケット

パケット種別	ルートポート		エンドポイント	
	送信	受信	送信	受信
メモリアード				
メモリアイト				
I/O リード			-	
I/O ライト			-	
ロック		-	-	-
コンフィグレーションリード			-	
コンフィグレーションライト			-	
メッセージ	*	*	*	*

【記号説明】

- : ハードウェアによりサポートします
- × : サポートしていません。
- : PCI Express では、規格により使用が禁じられています。

【注】 * PM 関連のメッセージの処理は、ソフトウェアにより行う必要があります。

(2) メッセージ送受信のサポート

表 13.8 にサポートする PCI Express メッセージを示します。

本モジュールは、Vendor Defined Message をサポートしていません。

また、本モジュールは、パワーマネージメント関係のメッセージの送受信が可能ですが、ソフトウェアによる制御が必要です。

表 13.8 サポートする PCI Express メッセージ

メッセージ種別	ルートポート		エンドポイント	
	送信	受信	送信	受信
Assert_INTA	-			-
Assert_INTB	-			-
Assert_INTC	-			-
Assert_INTD	-			-
Deassert_INTA	-			-
Deassert_INTB	-			-
Deassert_INTC	-			-
Deassert_INTD	-			-
PME_Active_State_Nak		-	-	
PM_PME	-			-
PME_Turn_Off		-	-	
PME_To_Ack	-			-
ERR_COR	-			-
ERR_NONFATAL	-			-
ERR_FATAL	-			-
Unlock		-	-	
Set_Slot_Power_Limit		-	-	
Vendor_Define Type0	×	×	×	×
Vendor_Define Type1	×	×	×	×

【記号説明】

- : ハードウェアによりサポートします
- : 送受信は可能ですが、ソフトウェアによる制御が必要です。
- : PCI Express では、規格により使用が禁じられています。
- × : サポートしていません。

(3) コンフィグレーションレジスタのサポート

表 13.9 にサポートする PCI Express コンフィグレーションレジスタを示します。本モジュールは、BIST、スイッチ、拡張 ROM に関するレジスタをサポートしていません。

表 13.9 サポートする PCI Express コンフィグレーションレジスタ

コンフィグレーションレジスタ	PCIEC レジスタ名	ルートポート	エンドポイント
Vendor ID レジスタ	PCICONF0[15: 0]		
Device ID レジスタ	PCICONF0[31:16]		
コマンドレジスタ	PCICONF1[15: 0]		
ステータスレジスタ	PCICONF1[31:16]		
リビジョン ID レジスタ	PCICONF2[7: 0]		
クラスコードレジスタ	PCICONF2[31: 8]		
キャッシュラインサイズ	PCICONF3[7: 0]	-	-
マスターレイテンシタイマー	PCICONF3[15: 8]	-	-
ヘッダータイプレジスタ	PCICONF3[23:16]		
BIST レジスタ	PCICONF3[31:24]	×	×
ベースアドレスレジスタ 0	PCICONF4[31: 0]		
ベースアドレスレジスタ 1	PCICONF5[31: 0]		
ベースアドレスレジスタ 2	PCICONF6[31: 0]	-	
プライマリバスナンバ	PCICONF6[7: 0]	*	-
セカンダリバスナンバ	PCICONF6[15: 8]	*	-
サブオーディネートバスナンバ	PCICONF6[23:16]	*	-
セカンダリレイテンシタイマー	PCICONF6[31:24]	-	-
ベースアドレスレジスタ 3	PCICONF7[31: 0]	-	
I/O ベースレジスタ	PCICONF7[7: 0]	×	-
I/O リミットレジスタ	PCICONF7[15: 8]	×	-
セカンダリステータスレジスタ	PCICONF7[31:16]		-
ベースアドレスレジスタ 4	PCICONF8[31: 0]	-	
メモリベース	PCICONF8[15: 0]	×	-
メモリリミット	PCICONF8[31:16]	×	-
ベースアドレスレジスタ 5	PCICONF9[31: 0]	-	
プリフェッチャブルメモリベース	PCICONF9[15: 0]	×	-
プリフェッチャブルメモリリミット	PCICONF9[31:16]	×	-
カードバス CIS ポインタ	PCICONF10[31: 0]	-	×
プリフェッチャブルベース (上位 32 ビット)	PCICONF10[31: 0]	×	-
サブシステム ID レジスタ	PCICONF11[31: 0]	-	
プリフェッチャブルリミット (上位 32 ビット)	PCICONF11[31: 0]	×	-

コンフィグレーションレジスタ	PCIEC レジスタ名	ルート ポート	エンド ポイント
サブシステムベンダ ID レジスタ	PCICONF12[31: 0]	-	
I/O ベース (上位 16 ビット)	PCICONF12[15: 0]	×	-
I/O リミット (下位 16 ビット)	PCICONF12[31:16]	×	-
ケイパビリティポインタ	PCICONF13[31: 0]		
拡張 ROM ベースアドレスレジスタ	PCICONF14[31:16]	-	×
インタラプトライン	PCICONF15[7: 0]		
インタラプトピン	PCICONF15[15: 8]		
最小グラント	PCICONF15[23:16]	-	-
最大レイテンシ	PCICONF15[31:24]	-	-
ブリッジコントロールレジスタ	PCICONF15[31:16]		-

【記号説明】

- : ハードウェアによりサポートします
- × : サポートしていません。
- : PCI Express では、規格により使用されません。

【注】 * ハードウェアでは、レジスタのみを実装しています。値は、ソフトウェアによりセットしてください。

(4) ケイパビリティストラクチャのサポート

表 13.10 にサポートする PCI Express ケイパビリティ ストラクチャを示します。本モジュールでは、これらのケイパビリティストラクチャをサポートします。

表 13.10 サポートする PCI Express ケイパビリティストラクチャ

Capability Structure	サポート	先頭アドレス
PCI パワーマネージメント		H'040
MSI		H'050
PCI Express		H'070
Advanced Error Reporting	x	-
Virtual Channel		H'100
Device Serial Number	*	H'1B0
PCI Express Link Complex Declaration	x	-
PCI Express Root Complex Internal Link Control	x	-
Power Budgeting	x	-
PCI Express Root Complex Event Collector Endpoint Association	x	-
Multi-Function Virtual Channel	x	-
Vendor-Specific	x	-
RCRB Header	x	-

【記号説明】

- : ハードウェアによりサポートします
- x : サポートしていません。

【注】 * 本デバイスは、デバイスシリアルナンバケイパビリティストラクチャを保持していますが、ハードウェアによるシリアルナンバの付与を行っていません。デバイスシリアルナンバケイパビリティストラクチャを使用する場合、ソフトウェアにより、シリアルナンバを付与してください。また、初期状態では、デバイスシリアルナンバケイパビリティストラクチャはケイパビリティリストのチェーンに入っていません。使用する場合は、ケイパビリティリストのチェーンへの追加を行ってください。

13.5.2 端子設定

本モジュールは、PCI Express の規格で規定されているルートポートまたはエンドポイントとして動作します。この動作モードは、モードピンにより指定します。表 13.1 の端子構成に記載のモードピンの設定により、ルートポートまたはエンドポイントの指定を行ってください。

本モジュールは、PCI Express の規格で規定されているレガシーエンドポイント、ルートコンプレックスインテグレートッドエンドポイント、スイッチ、ルートコンプレックスイベントコントローラとしては動作しません。

(1) ルートポート

ルートポートは、PCI Express の全体制御を行うデバイスで、PCI Express システムにひとつ以上必要です。本モジュールは、SH プロセッサをホストプロセッサとしたルートポートとして動作可能です。

ルートポートは、コンフィグレーションサイクルの発生による PCI Express システムの初期化、エラーメッセージの受信および回復などの、システム全体の統括を行います。また、ルートポートはリクエストパケットの送信、コンプリージョンパケットの返信、メッセージの送受信などを行えます。

(2) エンドポイント

エンドポイントは、ルートポートの制御下で、データ通信を行うデバイスで、PCI Express システムに複数個存在することが可能です。本モジュールは、エンドポイントとして動作可能です。

エンドポイントは、コンフィグレーションサイクルによる初期化を受けた後、エラーの検出およびルートポートへの報告などを行います。また、エンドポイントはリクエストパケットの送信、コンプリージョンパケットの返信、メッセージの送受信などを行えます。

13.5.3 初期化 (PCIEC モジュールの初期化)

本モジュールによる通信を行うためには、ブリッジ機能の設定、および、PCI Express のコネクションの確立を行う必要があります。(ブリッジ機能を使用しない場合、それらの設定は不要です。)

以下の手順により PCIEC の初期化を行ってください。

(1) ブリッジ機能の設定

転送に使用する以下のレジスタに、転送情報をセットしてください。セットする転送情報の内容については、「13.5.6 ターゲット転送 (外部デバイス PCIEC へのデータ転送)」および、「13.4.3 PCIEC 転送制御レジスタ」を参照してください。

- PCIELAR0 ~ 5
- PCIELAMR0 ~ 5

使用しない転送レジスタや初期値のまま使用する転送レジスタへの、転送情報のセットは不要です。

(2) コネクションの確立

上記の転送制御レジスタに転送情報をセットした後に、PCIETCTLR[0].CFINIT ビットを 1 にセットし、コネクションの確立開始を指示してください。(上記の転送制御レジスタは、CFINIT を 1 とした後は、値を変更することができません。)

PCIETCTLR[0].CFINIT を 1 にセットすることにより、データリンク層の初期化が開始され、接続先の PCI Express デバイスと通信を行う準備を開始します。

データリンク層の初期化が完了すると、DL_Active の状態となり、VC0 による通信を行う準備が整います。以下のいずれかの方法により DL_Active であることが確認できた段階で初期化が完了します。

VC0 による通信の確立

- PCIETSTR[0].DLLACTが1となっていること
- VCCAP6[17].VC NeGotiation PenDingが1となっていること
- DL_Activeを示すINTDL割り込みが発生したこと

DL_Active により INTDL 割り込みを発生させるためには、事前に以下の設定を行っておく必要があります。

- PCIEINTER[14].INTDLEを1にセット
- DLINTENR[31].Data Link Layer ACTive Enableを1にセット

本モジュールは、バーチャルチャネル (VCX) には対応していません。VC0 のみにより、通信を行えます。

13.5.4 コンフィグレーションサイクル (PCI Express の初期化)

本モジュールをルートポートとして使用する場合、コンフィグレーションサイクルを発生させ、接続先のデバイスのコンフィグレーションを行います。コンフィグレーションサイクルは、コンフィグレーションアクセスを用いて接続先のエンドポイントのコンフィグレーションレジスタの状態を調査し、その結果に応じてルートポート自身とエンドポイントのコンフィグレーションレジスタに値をセットすることを指します。ルートポートが、自身の持つコンフィグレーションレジスタにアクセスする場合は、通常の SuperHyway バスを介したアクセスを用います。

本節では、コンフィグレーションアクセスの発生方法、受信方法、コンフィグレーションサイクル中に設定すべき項目を説明します。

本モジュールをルートポートとして使用する場合には、コンフィグレーションのアクセスを行いコンフィグレーションサイクルを発生させ、各種初期設定を行います。

本モジュールをエンドポイントとして使用する場合には、ルートポートからのコンフィグレーションアクセスを受信し、初期化処理を受け付けます。

(1) コンフィグレーションアクセスの発生

本モジュールからのコンフィグレーションアクセスによる外部デバイスのコンフィグレーションレジスタへのアクセスは、以下の手順により行ってください。

本モジュールがルートポートとして動作している際に、本モジュール自身のコンフィグレーションレジスタにアクセスする場合には、以下の手順ではなく、SuperHyway バスのアドレス空間にマッピングされているレジスタに、SuperHyway バスを經由してアクセスしてください。

(a) PCIEPAR のセット

PCIEPAR に、アクセス先のコンフィグレーションレジスタのレジスタ番号、拡張レジスタ番号、およびアクセス先のデバイスのバス / デバイス / ファンクション番号を指定します。

(b) PCIEPCTLR のセット

PCIEPCTLR に、発生させるコンフィグレーションアクセスのタイプおよび、アクセス許可ビットをします。

(c) PCIEPDR へのアクセス

PCIEPDR ヘリードのアクセスを行うことによりコンフィグレーションリードが、ライトのアクセスを行うことにより、コンフィグレーションライトが発生します。リード時には、コンフィグレーションリードの結果が読み出されます。

(d) PCIEPCTLR の確認

PCIEPCTLR[16].CRS ビットを確認し、CRS (Configuration Request Retry Status) が返されたかを確認します。本ビットが 1 の場合、接続先のデバイスが立ち上がっていないため、コンフィグレーションリクエストに対する正しい応答ができていないことを示します。本ビットが 1 であった場合、本ビットに 1 を書き込みクリアした後に、再度 (c) の処理から再開してください。

一度コンフィグレーションアクセスが成功したデバイスに対しては、本ビットの確認を行う必要はありません。

(2) コンフィグレーションアクセスの受信

本モジュールによるコンフィグレーションアクセスの受信は、ハードウェアにより自動処理されるため、ソフトウェアによる制御は不要です。

ただし、PMCAP1[1:0].PowerState フィールドに対するコンフィグレーションライトアクセスによる、パワーステートの変更はソフトウェアにより処理が必要です。詳細は、「13.5.12 パワーマネージメント」を参照してください。

正常なコンフィグレーションライトを受信した場合、受信パケット中のバスナンバ、デバイスナンバを取り込み、TLCTLR[31:24].BusNumber, TLCTLR[23:19].DeviceNumber, TLCTLR[18:16].FunctionNumber に書き込まれます。これらの値は、本モジュールが生成するパケットのリクエスト ID として使用されます。

(3) 設定内容

ルートポートとして本モジュールを使用する場合、コンフィグレーションアクセスを発行し、PCI Express の初期化として、以下の設定を行ってください。以下のレジスタ設定は、ルートポートが、ルートポート/エンドポイントの両者のレジスタに対して行います。

下記の内容は、接続先が単一の PCI Express デバイスの場合の説明です。接続先がスイッチあるいはブリッジの場合、別途設定が必要になります。

(a) MPS (Max Payload Size) の設定

ルートポート、エンドポイントを含む、PCI Express システム中に存在するすべての PCI Express デバイスのコンフィグレーションレジスタ中の MPSS (Max Payload Size Supported) を調べ、最も小さな値をシステムの MPS として決定します。決定した MPS の値を、ルートポート・エンドポイントを含むすべてのデバイスのコンフィグレーションレジスタに設定してください。

(b) MRRS (Max Read Request Size) の設定

本モジュールでは、MRRS の値は MPS の値と同じ値とします。MPS と同じ値をルートポート・エンドポイントを含むすべてのデバイスのコンフィグレーションレジスタに設定してください。

(c) PCI アドレス空間の設定 (BAR の設定)

各デバイスに PCI アドレス空間の割り当てを行います。

PCI Express の規格に従って、アドレス空間の割り当てを行い、各デバイスの BAR のその結果を設定してください。

(d) 動作モードの設定

PCI Express の動作モードを規定する、以下のコンフィグレーションレジスタの値をセットします。初期値のままを使用する場合には、セットする必要はありません。個々のレジスタの詳細は、「13.4.5 コンフィグレーションレジスタ」を参照してください。

これらのレジスタは、コンフィグレーションサイクルの完了後には、値を変更しないでください。

PCICONF1[10].Interrupt Disable

PCICONF1[8].SERR Enable
PCICONF1[6].Parity Error Response
PCICONF15[17].SERR Enable (ルートポートのみ)
PCICONF15[15:8].Interrupt Pin (エンドポイントのみ)
PCICONF15[7:0].Interrupt Line (ルートポートのみ)
EXPCAP2[11].Enable No Snoop
EXPCAP2[4].Enable Relaxed Ordering
EXPCAP2[3].Unsupported Request Reporting Enable
EXPCAP2[2].Fatal Error Reporting Enable
EXPCAP2[1].Non Fatal Error Reporting Enable
EXPCAP2[0].Correctable Error Reporting Enable
EXPCAP3[20].Data Link Layer Active Reporting Capable (ルートポートのみ)
EXPCAP7[4].CRS Software Visibility Enable
EXPCAP7[3].PME Interrupt Enable
EXPCAP7[2].System Error on Fatal Error Enable
EXPCAP7[1].System Error on Non-Fatal Error Enable
EXPCAP7[0].System Error on Correctable Error Enable

(e) INTx/MSI 割り込みの設定

システムで使用する割り込み (INTx または MSI) を決定し、各デバイスに設定します。
詳細は、「13.5.9 INTx 割り込み」、「13.5.10 MSI 割り込み」を参照してください。

(f) マスターイネーブルの設定

初期化後に行う転送に応じて、PCICONF1[2].Bus Master Enable, PCICONF1[1].Memory Space Enable, PCICONF1[0].I/O Space Enable を設定します。

Root Port が Endpoint からのリクエストを受信する場合には、まず、Root Port の Bus Master Enable ビットを 1 にセットします。同時に、メモリアクセスを受け付ける場合には Memory Space Enable を、I/O アクセスを受け付ける場合には、I/O Space Enable を 1 にセットします。この設定を行わないと、Root Port はリクエストを受け付けません。次に、Endpoint の Bus Master Enable ビットを 1 にセットします。この設定を行わないと、Endpoint はリクエストを発行できません。

Endpoint に対してメモリアクセス、I/O アクセスを行う場合には、Endpoint の Memory Space Enable, I/O Space Enable を 1 にセットします。この設定を行わないと、Endpoint はリクエストを受信しません。

13.5.5 PI/O 転送 (PCIEC 外部デバイスへのデータ転送)

本節では、PI/O 転送について説明します。ここでの PI/O 転送とは、内部バス経由で PCIEC モジュールのメモリ空間にアクセスすることにより、PCI Express パケットを生成することにより行う転送を指します。

(1) 概要

PI/O 転送は、CPU などが SuperHyway バスを經由して PCIEC のメモリ空間にアクセスすることにより、PCI Express パケットを生成し、送信する転送を指します。PI/O 転送により、外部 PCI Express デバイスに対してメモリリード/ライト、I/O リード/ライトを行うことができます。

PI/O 転送により、PCI メモリ空間へのアクセスにより、簡易に PCI Express パケットを生成することができます。リードアクセスにより、PCI Express 上でのリードパケットが、ライトアクセスにより PCI Express 上でのライトパケットが生成されます。

通常の PI/O 転送では、ひとつの PCI メモリ空間へのアクセスから、ひとつの PCI Express パケットが生成されます。生成される PCI Express パケットのデータ長は、PCI メモリ空間へのアクセスサイズと同じとなります。そのため、CPU による 4 バイトのアクセスでは、データ長が 4 バイトの短い PCI Express パケットしか生成できず、大量のデータを転送する場合の転送効率は良くありません。

大量のデータを転送する場合には、パケット結合が、本モジュール内蔵の DMAC を使用してください。

パケット結合を用いることにより、複数の連続した PI/O 転送によるライトアクセスを結合し、単一のデータ長の長い PCI Express パケットを生成することができます。データ長を長くすることにより、パケットヘッダなどによる転送オーバーヘッドを削減することができ、データ転送効率を向上させることができます。パケット結合の詳細については、「(8) パケット結合」を参照してください。

PCIEC 内蔵 DMAC を用いることにより、CPU 等を介さずに、長いデータ長の PCI Express パケットを用いた効率的なデータ転送を行うことができます。PCIEC 内蔵 DMAC の詳細は、「13.5.7 DMA 転送」を参照してください。

(2) アドレスマップ (SuperHyway 空間)

表 13.11 に SuperHyway 空間のアドレスマップを示します。

PCIEC には、3 種類 (物理的には 8 種類) のアドレス領域があります。PCI メモリ領域 (6 種類)、制御レジスタ領域、およびコンフィグレーションレジスタ領域です。このうち、PCI メモリ領域にアクセスすることにより、PCI Express パケットの生成が行われます。PCI メモリ領域と PCI Express のアドレス空間とのマッピングについては、次節で示します。

表 13.11 SuperHyway 空間のアドレスマップ

メモリ領域	PCIEC0		PCIEC1		PCIEC2		物理アドレス サイズ
	29 ビット アドレス モード時	32 ビット アドレス モード時	29 ビット アドレス モード時	32 ビット アドレス モード時	29 ビット アドレス モード時	32 ビット アドレス モード時	
PCI 領域 0	H'FD00 0000 ~ H'FD7F FFFF		H'FD80 0000 ~ H'FDFF FFFF		H'FC80 0000 ~ H'FCBF FFFF		PCIEC0/1: 8MB PCIEC2: 4MB
PCI 領域 1	使用不可	H'C000 0000 ~ H'DFFF FFFF	使用不可	H'A000 0000 ~ H'BFFF FFFF (メモリ空間 設定 0~4 選択時のみ)	使用不可	H'8000 0000 ~ H'9FFF FFFF (メモリ空間 設定 0~4 選択時のみ)	512 MB
PCI 領域 2	H'1000 0000 ~ H'13FF FFFF (メモリ空間 設定 1/2/5/6 選択時のみ)	H'1000 0000 ~ H'13FF FFFF (メモリ空間 設定 1/2/5/6 選択時のみ)	使用不可	H'3000 0000 ~ H'3FFF FFFF	使用不可	H'2000 0000 ~ H'2FFF FFFF	PCIEC0: 64 MB PCIEC1/2: 256 MB
PCI 領域 3	H'FE10 0000 ~ H'FE1F FFFF		H'FE30 0000 ~ H'FE3F FFFF		H'FCD0 0000 ~ H'FCDF FFFF		1 MB
制御レジスタ 領域 (1)	H'FE00 0000 ~ H'FE03 FFFF		H'FE20 0000 ~ H'FE23 FFFF		H'FCC0 0000 ~ H'FCC3 FFFF		256 KB
コンフィグレーション レジスタ	H'FE04 0000 ~ H'FE04 0FFF		H'FE24 0000 ~ H'FE24 0FFF		H'FCC4 0000 ~ H'FCC4 0FFF		4 KB
制御レジスタ 領域 (2)	H'FE04 1000 ~ H'FE07 FFFF		H'FE24 1000 ~ H'FE27 FFFF		H'FCC4 1000 ~ H'FCC7 FFFF		252 KB
リザーブ	H'FE08 0000 ~ H'FE0F FFFF		H'FE28 0000 ~ H'FE2F FFFF		H'FCC8 0000 ~ H'FCCF FFFF		512 KB

(3) PCI メモリ空間、PCI I/O 空間へのアクセス

図 13.2 に SuperHyway アドレス空間から PCI アドレス空間へのマッピングを示します。図に示すように、SuperHyway アドレス空間中の PCI 領域へのアクセスは、PCI アドレス空間または PCI I/O 空間のどちらかにマッピングされます。どちらの空間にマッピングされるか、あるいは個々の空間個々のどのアドレスにマッピングされるかは、PI/O 転送の転送制御レジスタ(後述)により指定します。PCI 空間にマッピングされている SuperHyway 上の空間(PCI 領域)にアクセスすることにより、PCI メモリ空間や PCI I/O 空間にアクセスすることができます。

PCI 領域へのリードのアクセスからは、PCI メモリ空間または PCI I/O 空間のリードパケットの生成が、PCI 領域へのライトアクセスからは、PCI メモリ空間または PCI I/O 空間のライトパケットが生成されます。

PCI メモリ空間へのアクセス時は、PCI 領域へのアクセスサイズにより、そのパケット長が決定されます。つまり、4Byte アクセスにより PCI 領域にアクセスした場合、PCI メモリ空間に 4Byte (1DW) のサイズのリード/ライトパケットが生成されます。

PCI I/O 空間は、4Byte (1DW) のアクセスのみが許されます。PCI 領域を PCI I/O 空間にマッピングする場合、その PCI 領域にはアクセスサイズを 4Byte としてアクセスしてください。

転送先の空間 (PCI メモリ、I/O 空間の選択)、各空間での先頭アドレス、転送先空間のサイズ、転送パケットの属性は、PI/O 転送の転送制御レジスタにより指定します。

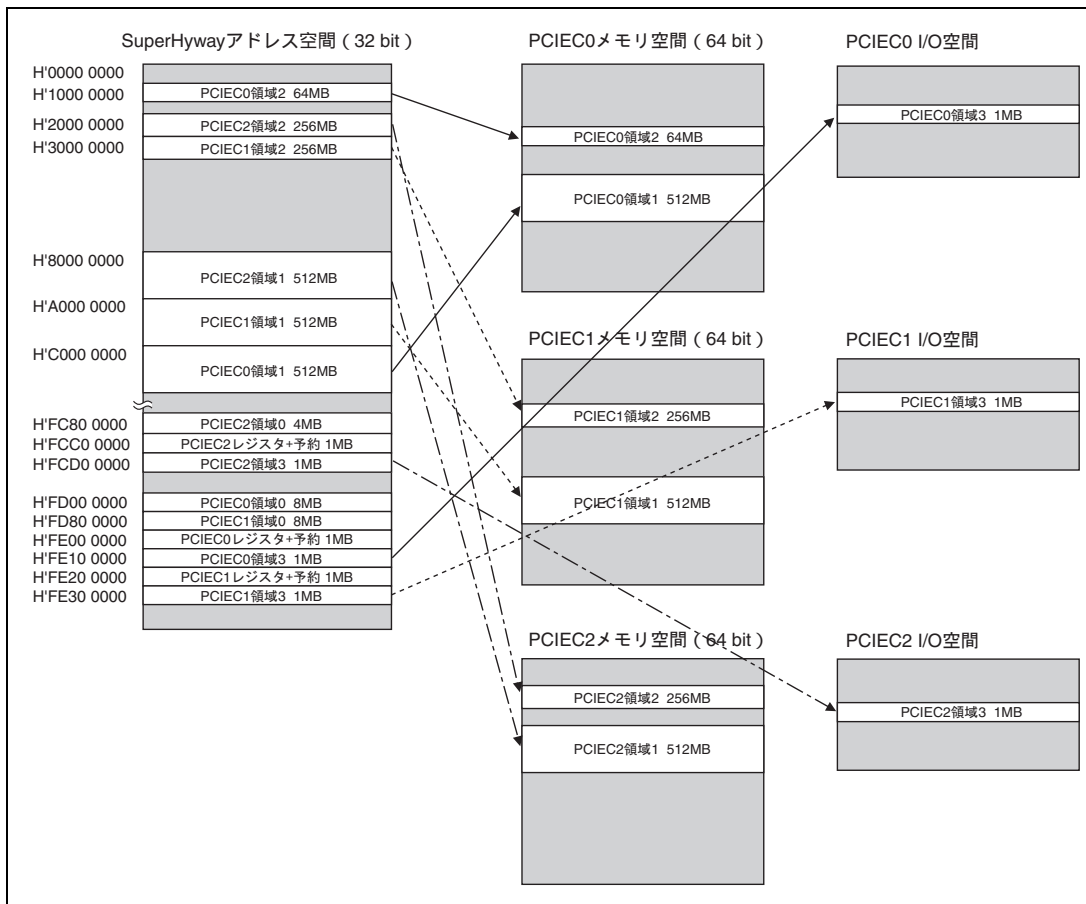


図 13.2 SuperHyway アドレス空間から PCI アドレス空間へのマッピング

(4) PI/O 転送のレジスタ設定

表 13.12 に PI/O 転送の転送制御レジスタを示します。PCI 領域 0~3 へのアクセスは、これらのレジスタが指定する内容に従って、PCI メモリまたは I/O 空間にマッピングされます。これらのレジスタの役割を、表 13.12 に示します。(各レジスタの詳細は、「13.4.3 PCIEC 転送制御レジスタ」を参照してください。)

表 13.12 PI/O 転送の転送制御レジスタ

PCIEPALR0~3	PCI 領域 0~3 がマッピングされる PCI アドレス空間の先頭アドレス (下位 32 ビット)
PCIEPAHR0~3	PCI 領域 0~3 がマッピングされる PCI アドレス空間の先頭アドレス (上位 32 ビット)
PCIEPAMR0~3	PCI 領域 0~3 中の、PCI アドレス空間へマッピングさせるサイズを指定
PCIEPTCLR0~3	PCI 領域 0~3 の有効 / 無効を指定 転送先の空間 (PCI メモリ空間、PCI I/O 空間) を指定 変換時の属性 (Lock、EP、No Snoop、Relax Ordering) を指定

PCIEPALR_n、PCIEPAHR_n (n=0~3) により、PCI 領域 n がマッピングされる PCI Express 空間上でのアドレスを指定します。

PCIEPAMR_n により、PCI 領域のサイズを指定します。表 13.11 に記載される PCI 領域のサイズより大きなサイズは指定できません。

PCIEPTCLR_n により、各領域の有効 / 無効の設定、転送先の空間、転送時のパケットの属性を指定します。本レジスタで、PCI 領域 n が有効であると指定しないと (初期値は無効)、該当する PCI 領域へのアクセスは無効となります。ロック転送を行う場合、あるいは他の属性を設定する場合には、PCI 領域へのアクセス前に本レジスタに設定を行います。ロック転送および属性設定の詳細は、「13.5.5 (6) ロックリクエスト」および「13.5.5 (7) PCI Express パケットの属性」を参照してください。

(5) SuperHyway バスから PCI へのアドレス変換

PCI 領域へのアクセスによる PCI 空間へのアクセス時のアドレスは、アクセスした PCI 領域のアドレスと、転送制御レジスタの設定により決定されます。アドレス変換の詳細は下記のとおりであり、その内容を図 13.3 に示します。(図中および下記の説明文中の n は、0~3 の値をとり、PCI 領域 0~3 に対応します。)

PCI アドレスの下位 16 ビット ([17:2]) は、SuperHyway アドレスの下位ビットから生成されます。

PCI アドレスの中間の 11 ビット ([28:18]) は、転送制御レジスタ (PCIEPAMR_n) の値により、SuperHyway アドレスまたは PCIEPALR_n の該当するビットのどちらかが選択されます。(PCIEPAMR_n の該当するビットが 1 のとき、SuperHyway アドレスが使用され、0 のとき PCIEPALR_n が使用されます。)

PCI アドレスの上位 35 ビット ([63:29]) は、PCIEPAHR_n と PCIEPALR_n の上位 3 ビットが使用されます。

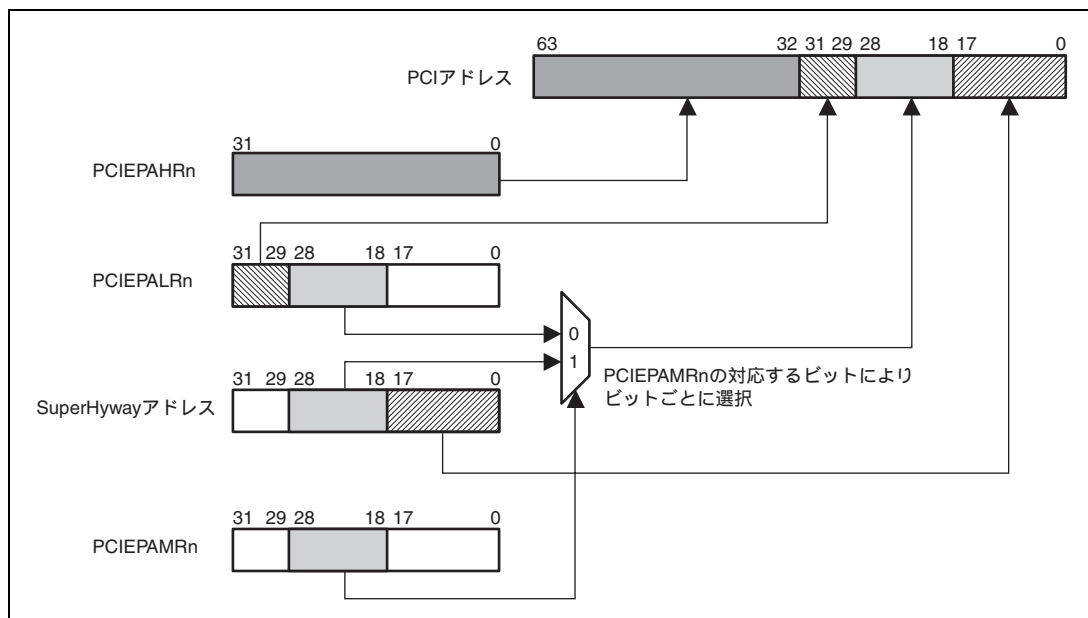


図 13.3 PCI 空間へのアドレス変換

(6) ロックリクエスト

PCI Express では新規に作成するプログラムでは使用しないことが薦められていますが、Legacy の PCI バスとの互換性のため、ルートポートのみにロックリクエストの発行が許可されています。ロックリクエストを使用することにより、Legacy-Endpoint または Legacy-Endpoint との中継を行うブリッジに対して排他的なアクセスを行うことができます。

ロックリクエストは、PCI Express のルートポートから、Legacy-Endpoint に対して発行することが可能です。PCI Express エンドポイントは、ロックリクエストを発行することができません。また、ルートポートおよび PCI Express エンドポイントはロックリクエストを受信することはできません。(受信した場合、Unsupported Request としてエラー処理されます。)

PCI Express のロック転送では、ロック指定されたリードリクエストから、Unlock メッセージを送信するまでの間の転送が排他的に行われます。本モジュールでは、以下の手順によりロック転送を行うことができます。

- 転送制御レジスタ (PCIEPTCTLRn) のLOCKビットを1とする。この設定により、PCI領域nを用いたPI/O転送はロックリクエストを発行します。
- 排他的に処理するリード・ライトアクセスを行う。
- Unlockメッセージを送信する。(ロックを解除する)
- 転送制御レジスタ (PCIEPTCTLRn) のLOCKビットを0とする。

ロック転送は、本モジュールがルートポートとして動作している場合のみ使用できます。

(7) PCI Express パケットの属性

本モジュールでは、PCIEPTCTLRn レジスタの下記のフィールドの設定により、PCI メモリ空間または PCI I/O 空間に発行するパケットの属性を制御することができます。

- TC (Traffic Class) / VC (Virtual Channel)

PCI空間へのアクセス時のTC/VCを設定します。TC (Traffic Class) は0~7、VCは0/1を指定します。通常の転送ではTC=0、VC=0として使用します。バーチャルチャネルを利用し、優先度の高い転送を行う場合は、TC/VCに0以外の値をセットしてください。

本モジュールは、バーチャルチャネルに対応していません。VCは0を指定してください。

- SPC (Space)

アクセスする空間を指定します。

本ビットを0にすると、PCIメモリ空間に、1にすることによりPCI I/O空間にパケットが送信されます。

- EP (Poisoned)

送信パケットのEPビットを指定します。

本ビットを1にすることにより、送信するパケットにPoisoned属性が付加されます。Poisoned属性は、エラーを含むデータを送信する場合に使用される属性で、通常の転送では使用しません。

- ATTR[0].No Snoop

送信パケットのNo-Snoopビットを指定します。

本ビットを1にすることにより、接続先のPCI Expressデバイス上で、キャッシュスヌープを行わないことを指定します。

コンフィグレーションレジスタ中のEXPCAP2[11].Enable No Snoopビットが0となっている場合、No Snoopビットを1としてのパケットの送信はできません。送信しようとした場合、エラーとして処理されます。

アクセス対象の領域が、キャッシュ対象外であることが分かっている場合などに利用しますが、接続先のPCI Expressデバイス上のコンフィグレーションレジスタで、Reject -Snoopビットがセットされている場合、本ビットを1としていないパケットの受信は拒否されます。

- ATTR[1].Relaxed Ordering

送信パケットのRelaxed Orderingビットを指定します。

パケットのオーダリングを緩和することを指定します。

コンフィグレーションレジスタ中のEXPCAP2[4].Enable Relax Orderingビットが0となっている場合、Relaxed Orderingビットを1としてのパケットの送信はできません。送信しようとした場合、エラーとして処理されません。

(8) パケット結合

PI/O 転送の際に、パケットの結合を行うことにより、連続する複数回の PCI メモリ領域へのアクセスから、単一のデータ長の大きな PCI Express パケットを生成することができます。パケットの結合により、データ長の長い PCI Express パケットを生成することにより、パケットヘッダなどの転送オーバーヘッドを削減し、PCI Express の転送効率を向上させることができます。

パケット結合は、以下の場合に行われます。

- (a) PCIEPTCTLR0-3[28].CONNECT ビットに 1 をセットされている場合の、ライトアクセス。
- (b) PCIEC モジュール間のレーン間転送を行っている場合の、ライトアクセス。

リードアクセスに対しては、パケット結合を行うことはできません。また、(a)(b) どちらかの条件を満たす場合でも、後述のパケット結合条件を満たさない場合には、パケット結合は行われません。

(a) の場合、パケットの結合にパケット結合を行う前に、PCIEPTCTLR0-3[27:24].MAX_PACKET_SIZE に結合を許可する最大パケット長をセットし、PCIEPTCTLR0-3[28].CONNECT ビットに 1 をセットしてください。その後、結合させる PI/O 転送のためのアクセスを行い、アクセス完了後は PCIEPTCTLR0-3[28].CONNECT ビットを 0 にクリアしてください。PCIEPTCTLR0-3[28].CONNECT ビットのクリアを行わないと、次の PCIEC モジュールへのアクセスが行われるまで、PCI Express パケットの送信が行われません。

PCIEPTCTLR0-3[27:24].MAX_PACKET_SIZE に設定されたパケット長より長いパケットを生成するパケット結合は行われません。

(b) の場合、PCIEPTCTLR0-3[28].CONNECT ビットへのセットは必要ありません。PCIEC のレーン間転送の場合、自動的にパケット結合を行います。パケット結合を抑止する場合、PCIEPTCTLR0-3[27:24].MAX_PACKET_SIZE に 0 をセットし、パケット結合の上限を 4Byte としてください。

• パケット結合の条件

以下の条件を満たす連続 PI/O アクセスが、パケット結合の対象となります。下記の条件を満たす場合、連続した PI/O 転送は結合され、単一の PCI Express パケットが生成されます。下記の条件を満たさない場合、パケットの結合は行われませんが、複数の PCI Express パケットの生成により、PI/O アクセスの内容に相当する PCI Express パケットを生成します。

1. ライトアクセスである。

リードアクセスに対しては、パケット結合を行いません。

2. アクセスサイズが4バイト以上である。

1バイト / 2バイトのPI/Oアクセスは、結合されません。

3. メモリ空間へ発行するパケットである。

I/O空間へ発行するパケットは、結合されません。

4. 同一のイニシエータからのアクセスである。

異なるイニシエータからのアクセス、たとえばCPU0 / CPU1からのPI/Oアクセスは、アドレスが連続している場合でも結合しません。

5. 連続するアクセスのアドレスが、連続している。

連続するPI/Oアクセスのアドレスが、連続している場合のみ、パケットの結合を行います。

6. 結合した結果のPCI Expressパケットが、4K-Byte境界をまたぐアクセスとならない。

PCI Expressの規格では、4K-Byte境界をまたぐデータ転送を、ひとつのリクエストで行うことが禁止されているため、他の条件を満たす場合でも、4K-Byte境界をまたぐアドレスとなる場合には、パケット結合を行いません。

7. バイトイネーブルが連続している。

連続するPI/Oアクセスのバイトイネーブルが、結合の結果、不連続なデータとなる場合には、パケット結合を行いません。

8. 結合後のパケットサイズが上限を超えていない。

PCIEPTCTLR0-3[27:24].MAX_PACKET_SIZEにより指定される最大パケット長、あるいは、コンフィグレーションレジスタにセットされる、Max_Payload_Sizeで指定されるパケット長を超える場合、パケット結合は行われません。

13.5.6 ターゲット転送 (外部デバイス PCIEC へのデータ転送)

本節では、ターゲット転送について説明します。ここでのターゲット転送とは、外部デバイスからの PCI Express パケットを本モジュールが受信し、内部バス経由で本 LSI の他モジュールにデータを転送することを指します。

(1) 概要

ターゲット転送は、外部デバイスが PCI Express パケットより本モジュールにアクセスすることにより、SuperHyway バスへのリクエストを生成し、他モジュールに送信する転送を指します。ターゲット転送により、外部デバイスがメモリリード・ライト、I/O リードライトのパケット送信することにより、本 LSI 内部の他モジュール、あるいは DRAM 等の本 LSI に接続している外部メモリにリード、ライトを行うことができます。

ターゲット転送では、MPS (Max Payload Size) で指定されるサイズ以下であれば、任意のサイズのデータ長のパケットを受信することができます。SuperHyway バスがサポートするサイズより大きなサイズの転送が指定された場合、本モジュールがパケットの分割を行い、複数の内部バスへのリクエストを生成します。

(2) アドレスマップ (PCI Express 空間)

図 13.4 に PCI 空間の SuperHyway 空間へのマッピングを示します。

PCI Express 空間中のアドレスの割り当ては、初期化時のレジスタ設定を元に、コンフィグレーションサイクル中にルートポートにより動的に決定されます。初期化時のレジスタ設定では、各領域のサイズと、確保する領域の種類 (メモリ空間、I/O 空間の種別など) を指定します。CFINIT に 1 をセットし初期化を完了すると、コンフィグレーションレジスタ中の BARn (Base Address Register n) の値や R/W 属性に初期化内容が反映されます。ここで n は BAR のレジスタ番号を示し、ルートポートのときは、n=0-1、エンドポイントのときは n=0-5 となります。その後のコンフィグレーションサイクル中に、ルートポートがこれらの設定を参照し、アドレスマップを決定し、その結果を各デバイスのコンフィグレーションレジスタの BARn にセットします。この BARn が指すアドレスが、個々のデバイスに割り当てられた PCI Express 空間中の先頭アドレスとなります。

本モジュールは、メモリ空間を確保するエリアとして、PCIの64ビットアドレス空間または32ビット空間(64ビット空間の先頭の4Gの領域)をサポートします。32ビットアドレス空間に領域を確保する場合はBAR_nをひとつ使用し、64ビットアドレス空間に領域を確保する場合は連続する二つのBAR_nレジスタ(BAR_{n+1}/BAR_n)を使用します。そのため、ルートポート時には最大ひとつの64ビットアドレス空間の領域を、エンドポイント時には最大3つの64ビットアドレス空間の領域を確保することができます。

I/O空間は、ひとつのBARレジスタにより領域を確保します。

ターゲット転送のレジスタ設定の詳細は、「(3) ターゲット転送のレジスタ設定」を参照してください。

PCI ExpressからのBAR_nへのアクセスは、本モジュールが受信し、SuperHywayバスへのアクセスに変換されます。変換先のアドレスは、PCIELAR_nにより指定します。アドレス変換の詳細は、「(4) PCIからSuperHywayバスへのアドレス変換」を参照してください。

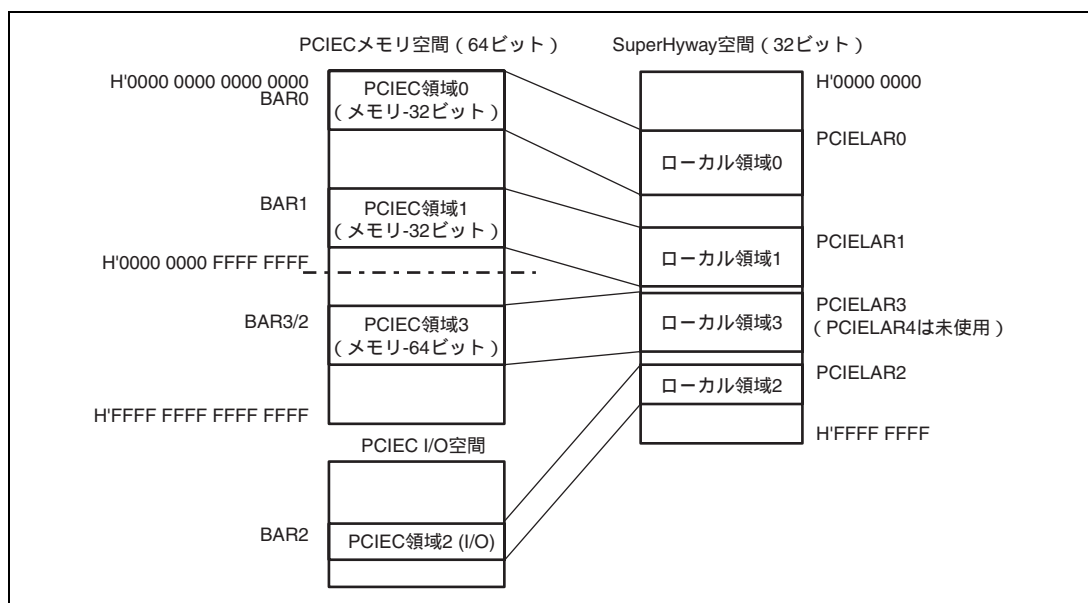


図 13.4 PCI空間のSuperHyway空間へのマッピング

(3) ターゲット転送のレジスタ設定

表 13.13 にターゲット転送の転送制御レジスタを示します。PCI 空間に確保する領域および確保した領域へのアクセスからの内部バスへのアクセスは、これらのレジスタにより制御されます。

本モジュールは、6 セットのターゲット転送レジスタを持ち、ルートポートとして使用する場合は最大 2 個、エンドポイントとして使用する場合は最大 6 個の PCI 領域を PCI 空間上に確保することができます。また、本モジュールは、PCI 空間に確保するメモリ空間として、64 ビット空間と 32 ビット空間をサポートします。32 ビット空間を使用する場合は、1 セットのターゲット転送レジスタにより一つの空間を確保し、64 ビット空間を使用する場合は、連続する 2 セットのターゲット転送レジスタにより一つの空間を確保します。

各レジスタの詳細は、「13.4.3 PCIEC 転送制御レジスタ」を参照してください。

表 13.13 ターゲット転送の転送制御レジスタ

PCIELARLn	PCI 領域 n がマッピングされるローカルバス (SuperHyway) 空間の先頭アドレス
PCIELAMRn	PCI 領域 n のサイズを指定

【注】 n はルートポートのときには 0、1、エンドポイントのときには 0~5

PCIELARLn により、BAR 領域 n がマッピングされる SuperHyway バス上でのアドレスを指定します。n はルートポートのときには 0 または 1 を、エンドポイントのときには 0~5 の値をとります。

PCIELAMRn により、PCI 空間上に確保する PCI 領域のサイズ、領域の種類 (メモリ空間、I/O 空間など)、領域の有効/無効を指定します。このレジスタで、領域を有効としないと、PCI 空間上での領域の確保が行われず、内部バスへの転送も行われません。(リセット後の初期値は、全領域が無効となっています)。

(4) PCI から SuperHyway バスへのアドレス変換

図 13.5 に PCI 空間のアドレスデコードを、図 13.6 に PCI アドレスから SuperHyway アドレスへの変換を示します。

受信した PCI Express パケットは、まずアドレスのデコードを行います。アドレスデコードは、受信したパケットのアドレス幅が 32 ビットか 64 ビットかにより異なります。アドレス幅が 32 ビットの場合、受信パケット中のアドレスと BARn とを比較し、マッチする n の値を決定します。その後、対応する PCIELARn, PCIELAMRn を用いて SuperHyway バスのアドレスへの変換を行います。受信したパケットのアドレス幅が 64 ビットの場合、BARn+1/BARn を組み合わせた 64 ビットのアドレスと受信パケットの 64 ビットアドレスを比較し、マッチする n の値を決定します。その後 PCIELARn, PCIELAMRn を用いて SuperHyway バスのアドレスへの変換を行います。このとき、PCIELARn+1, PCIELAMRn+1 は使用されません。

変換後の SuperHyway バスアドレスの下位ビット (ビット[17:0]) は、受信 PCI パケットのアドレスの下位ビットから生成されます。中位のビット (ビット[28:18]) は PCIELAMRn のビットにより、受信パケットのアドレスまたは PCIELARn の該当ビットが使用され、上位ビット (ビット[31:29]) は PCIELARn のビット[31:29]がそのまま使用されます。

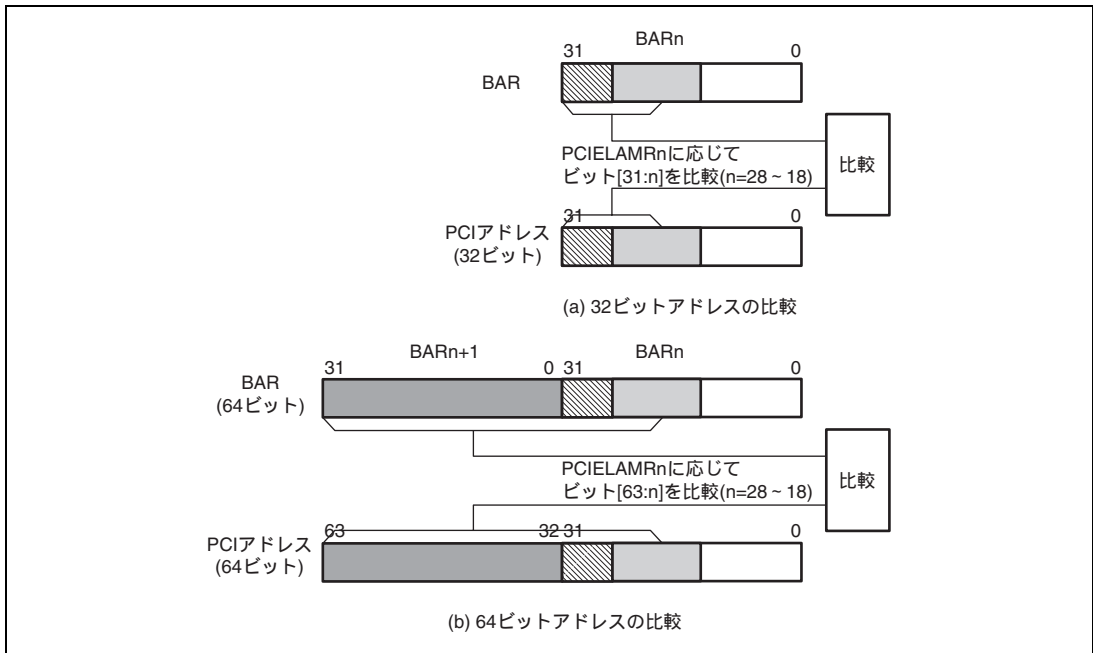


図 13.5 PCI 空間のアドレスデコード方式

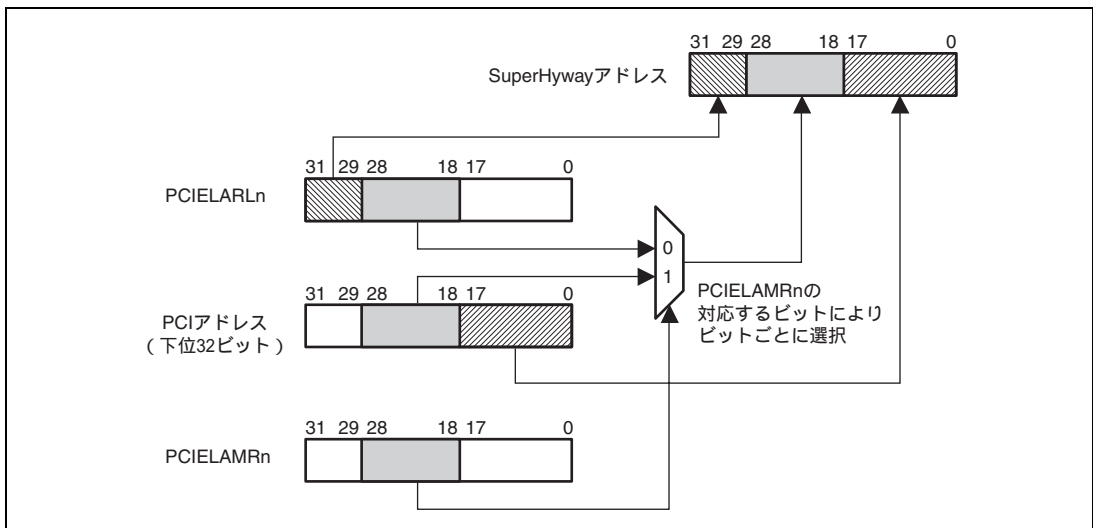


図 13.6 PCI アドレスから SuperHyway アドレスへの変換方式

(5) PCI Express からの SuperHyway バスへのアクセス

本モジュールを通じて、PCI Express よりアクセス可能な内部バスでの空間は、 $\overline{CS2}$ 、 $\overline{CS3}$ 、DBSC 空間、および他の PCIEC モジュールです。ここで、転送先として指定可能な他の PCIEC モジュールとは、PCIEC0 からは PCIEC1/2、PCIEC1 からは PCIEC0/2、PCIEC2 からは PCIEC0/1 となります。

13.5.7 DMA 転送

本節では、PCIEC に内蔵する DMAC (PCIEC-DMAC) を用いた DMA 転送について説明します。

(1) 概要

PCIEC-DMAC は、PCI Express と SuperHyway バスを経由して接続する他モジュールや外部メモリとのデータ転送を効率的に行うための DMAC です。PCIEC-DMAC は、最大で 128byte* のデータ長を持つパケットを PCI Express に対して発行できるよう設計されており、PCI Express の高い転送性能を生かした高速データ転送を可能にします。

【注】 * PCI Express 側に発行するパケットのデータ長は、Max Payload Size が上限となります。

また、PCIEC-DMAC は、不連続な領域のデータを転送するためストライド転送に対応し、複数の転送コマンドを連続して実行するための機能としてコマンドチェーンに対応しています。ストライド転送では、一定回数の転送を行った後に転送元 / 転送先のアドレスにオフセットを加える機能により、不連続領域を転送元 / 転送先とした転送に対応します。コマンドチェーンでは、転送元 / 先のアドレスや転送サイズなどの DMAC 設定の集合をコマンドとみなし、メモリ上に格納したコマンドを逐次読み出し実行する機能により、CPU を介さないでの複数の転送の連続実行に対応します。

(2) 特長

- チャンネル数：4チャンネル
- アドレス空間：PCI Express = 64ビット、SuperHywayバス = 32ビット
- 転送データ長：PCI Express=4バイト~4Kバイト、SuperHywayバス = 4バイト~32バイト
- 最大転送回数：536,870,912回 (2²⁹回)
- アドレスモード：デュアルアドレスモード
- 転送要求：オートリクエスト (レジスタ制御による起動)
- データ転送：通常モード (連続転送)、ストライド転送、コマンドチェーン
- 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：データ転送終了時、またはエラー発生時にINTCへ割り込み要求を発生可能

(3) DMAC 転送要求

PCIEC-DMAC は、オートリクエストモードに対応しています。PCIEC-DMAC の起動は、CPU などからの PCIEC-DMAC のレジスタへの書き込みにより行います。

(4) チャンネルの優先順位

PCIEC-DMAC では、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定、ラウンドロビンの2種類のモードから選択できます。モードの選択は PCIEDMAOR の ABT ビットにより行います。

PCIEC-DMAC では、転送効率を上げるため、なるべく大きなサイズの PCI Express パケットを転送に使用します。いったん送信・受信処理を開始したパケットは、そのパケットの処理が完了するまで中断されません。そのため、より高い優先順位の転送が実行可能になっても、その段階で実行中の転送でのパケット送信が完了するまでチャンネルの切り替えは行われず、最大で 4Kbyte の転送が完了するまでチャンネルの切り替えが行われない可能性があります。

チャンネルの切り替えは、実行中のチャンネルでの1セットのデータ転送が完了したタイミングで起こります。ここで、1セットのデータ転送完了とは、SuperHyway バスと PCI Express の両者の転送が同時に完了したタイミングを意味します。

(a) 固定モード

固定モードではチャンネルの優先順位は変化しません。優先順位は、以下のとおりとなります。

- CH0 > CH1 > CH2 > CH3

(b) ラウンドロビンモード

ラウンドロビンモードでは、1つのチャンネルで1セットの転送が完了すると、そのチャンネルの優先順位が一番低くなるように優先順位を変更します。

(5) 通常モードの転送

通常モードでの転送では、指定された転送元のアドレスから、指定された転送先のアドレスへのデータ転送を行います。転送方向は、PCI SuperHyway バスまたは SuperHyway バスから PCI のどちらかを選択できます。

PCIEC-DMAC による通常モードでの転送は、以下の手順により行います。各レジスタの詳細仕様は、「13.4.4 PCIEC-DMAC 制御レジスタ」を参照してください。

(a) PCIEC-DMAC の全体設定

PCIEDMAOR に、DMA_Enable とアービトレーションの設定を行います。

(b) 転送設定

PCI/SuperHyway のアドレス、バイトカウントの設定、および転送終了割り込みの設定を行います。

PCIEDMPALRn/PCIEDMPAHRn、PCIEDMSALRn、PCIEDMBCNTRn に、転送元/転送先のアドレスを指定します。ここで、n はチャンネル番号 (0~3) を示します。指定するアドレスは、転送の方向によらず、PCI 側のアドレスを PCIEDMPALRn/PCIEDMPAHRn に、SuperHyway バス側のアドレスを PCIEDMSALRn に指定します。

転送終了時に割り込みを発生させる場合、PCIEDMCHSRn に割り込み設定を行います。

ストライド転送を行わない場合には、PCIEDMSBCNTRn および PCIEDMSTRRn には 0 をセットしてください。

コマンドチェーンを使用しない場合には、PCIEDMCCARn には 0 をセットしてください。

(c) DMAC の起動

PCIEDMCHCRn に、転送方向の指定を行うと同時に、チャンネルをイネーブルとすることにより、転送を起動します。

ストライド転送を行わない場合には、PCIEDMCHCRn[24].SARE および PCIEDMCHCRn[25].PARE には 0 をセットしてください。

コマンドチェーンを使用しない場合には、PCIEDMCHCRn[29].CCRE には 0 をセットしてください。

(d) 転送終了待ち

PCIEDMCHSRn[0].TE が 1 となることを確認、あるいは転送終了割り込みを検出することにより転送終了を検知します。

(e) 終了処理

PCIEDMCHCRn[31].CHE を 0 として転送を完了します。また、PCIEDMCHSRn[0].TE に 1 を書き込み、このビットをクリアします。

この終了処理を行わないと、次回の DMA 転送が起動しません。

(6) ストライド転送

ストライド転送では、一定のバイト数の転送を行った後に、ストライド、つまり転送元 / 転送先のアドレスへのオフセットの加算を行います。転送先アドレスにストライドを行うことによりスキッター転送、転送元のアドレスにストライドを行うことにより、ギャザー転送を行えます。転送元 / 転送先の両者にストライドを行うことにより、非連続領域の転送が行えます。

ストライド転送を行う場合には、転送設定の際に、ストライドを行う間隔 (ストライドカウンタ) を PCIEDMSBCNTRn に、ストライド幅を PCIEDMSTRRn にセットしてください。PCI 側または SuperHyway 側のみにストライドを行う場合には、ストライドを行わない側のストライド幅 (PCIEDMSTRRn の SS または PS フィールド) を 0 としてください。

また、DMAC の起動の際に、PCIEDMCHCRn[24].SARE または、PCIEDMCHCRn[25].PARE に 1 をセットしてください。

その他の設定は、通常モードの転送と同じです。

(7) コマンドチェーン

コマンドチェーンでは、複数の DMAC コマンドを連続して実行することができます。ここで、DMAC コマンドとは、PCIEC-DMAC の転送を指示する情報の集合を示し、PCIEDMPALRn、PCIEDMSALRn、PCIEDMBCNTRn、PCIEDMSBCNTRn、PCIEDMSTRRn、PCIEDMCCARn、PCIEDMCHCRn により指定される情報を指します。これらの情報は、PCIEC-DMAC 制御レジスタに対して設定するほかに、メモリ上に図 13.7 に示す形式で設定することが可能です。(PCI 側アドレスの上位 32 ビットは、DMAC コマンドにより指定することはできません。

PCIEC-DMAC 制御レジスタに指定したものが有効となります)。コマンドチェーンの使用により、DMAC コマンドの実行終了後に、次の DMAC コマンドをメモリから読み出し、PCIEC-DMAC 制御レジスタに DMAC コマンドの内容を書き込み、その DMAC コマンドを実行することができます。読み出す DMAC コマンド内に次の DMAC コマンドを指定することにより、DMAC コマンドのチェーンを構築し、転送を連続して行うことができます。

コマンドチェーン使用時には、まず PCIEC-DMAC 制御レジスタの、各チャンネルのレジスタにより設定される DMAC コマンドを実行します。この DMAC コマンドの実行を終了した後に、PCIEDMCCAR_n が示すアドレスから次の DMAC コマンドをメモリから読み出し、コマンドの内容を PCIEC-DMAC の該当するチャンネルのレジスタにその内容を書き込み、実行します。新たに読み出した DMAC コマンド中の CCRE ビットが 1 となっていた場合には、そのコマンドの終了後に再度メモリから次コマンドを読み出し、実行します。読み出した DMAC の CCRE ビットが 0 の場合、そのコマンドの実行が完了した段階で、一連のコマンドチェーンの実行が完了します。

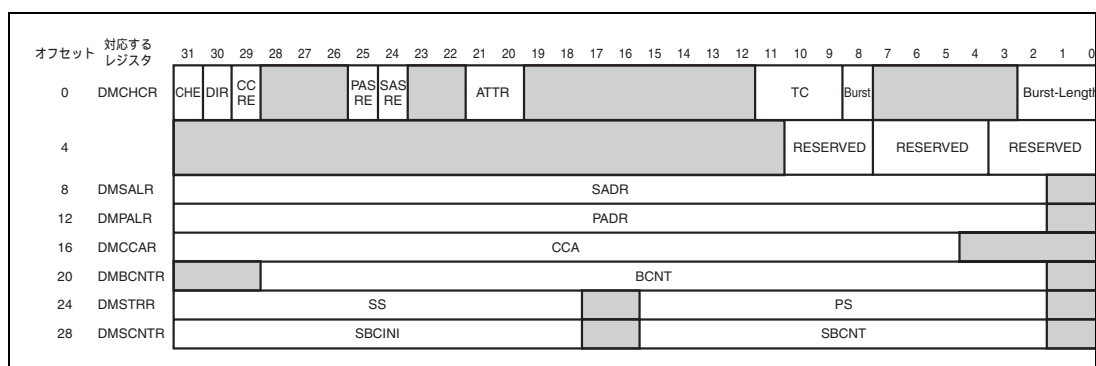


図 13.7 PCIEC-DMAC コマンドフォーマット

コマンドチェーンは、PCIEDMCHCR_n[29].CCRE を 1 とした状態でチャンネルをイネーブルとすることにより、起動します。コマンドチェーンを起動する場合には、事前に SuperHyway バスからアクセス可能なメモリ上に DMAC コマンドのチェーンを格納した上で、最初の DMAC コマンドのアドレスを PCIEDMCCAR_n にセットしてください。

コマンドチェーンによる転送で、VC0/VCX の転送を混在させることはできません。VC0 での転送の後続には、VC0 で実行するコマンドを、VCX での転送の後続には、VCX でのコマンドを指定してください。

PCIEC-DMAC は LD32 を使用し、32 バイトのコマンドを一括して読み出します。LD32 によりアクセス可能なメモリ上にコマンドを置いてください。

メモリ上に格納する DMAC コマンドは、以下の条件を満たすものを格納してください。

- CHEフィールド

常に1を指定してください。

- ATTRフィールド

PCIEC-DMAC制御レジスタのATTRフィールドにより指定されるATTRを、メモリに格納するDMACコマンドのATTRフィールドに指定してください。コマンドのロードにより、ATTRフィールドの内容を変更することはできません。

- TCフィールド

PCIEC-DMAC制御レジスタのTCフィールドにより指定されるVCと、同一のVCが選択されるようなTCをメモリに格納するDMACコマンドのTCフィールドを指定してください。コマンドチェーンの実行中に、使用するVCを変更することはできません。

- RESERVEDフィールド

常に8を設定してください。

- CCAフィールド

最後に実行するコマンドのCCAフィールドは、0を指定してください。

(8) PCIEC-DMAC の割り込み要因

PCIEC-DMAC は、チャンネルごとに転送終了を示す割り込み、全チャンネル共通でエラー終了を示す割り込みを発生します。詳細は、「13.5.11 INTC への割り込み」を参照してください。

13.5.8 メッセージの送受信

本章では、プログラム制御での PCIEC のメッセージの送信、受信について説明します。

(1) 概要

PCI Express でのメッセージは、割り込みの通知、パワーマネージメント、エラー情報の伝達、ロックの解除など、規格により規定された用途の情報伝達に使用されます。

本モジュールでは、上記の用途のうち、INTx 割り込みの受信、エラー情報の伝達 (送信、受信とも) は、ハードウェアが送信・受信とも必要に応じて処理を行うため、ソフトウェアで考慮する必要はありません。ハードウェアが自動での送受信をサポートしていない INTx 割り込みの発生、ロック解除、パワーマネージメントのためにメッセージの送受信を行う場合は、ソフトウェアから送受信の指示を行ってください。

(2) メッセージの送信

PCIEC では、一部のメッセージはハードウェアにより自動で送信を行いますが、他のメッセージの送信は、ソフトウェアによる送信の指示、あるいはソフトウェアによるパケットの作成を行う必要があります。

(a) ハードウェアによるメッセージの自動送信

PCIEC は、エラー発生時に必要なメッセージの送信を自動的に行います。自動送信されるメッセージは、以下のとおりです。

- ERR_COR

コレクタブルエラーメッセージ送信が許可されているとき、コレクタブルエラーが発生した場合に本メッセージを自動送信します。

- ERR_NONFATAL

ノンフェータルエラーメッセージ送信が許可されているとき、ノンフェータルエラーが発生した場合に本メッセージを自動送信します。

- ERR_FATAL

フェータルエラーメッセージ送信が許可されているとき、フェータルエラーが発生した場合に本メッセージを自動送信します。

(b) ソフトウェアによるメッセージの送信の起動

PCIEC は、ソフトウェアの指示によりロック解除、INTx 割り込みに対応するメッセージを送信することができます。これらのメッセージは、以下のレジスタにアクセスすることにより送信することができます。

- ロックの解除 (Unlock メッセージの送信)

PCIEUNLOCKCR[0].ASTUNLOCKに1を書き込むことにより、アンロックメッセージを送信し、ロックを解除します。

アンロックメッセージの送信は、ルートポートのみが行うことができます。

PCIEUNLOCKCRの詳細は、「13.4.1 (10) アンロック制御レジスタ (PCIEUNLOCKCR)」を、ロックを用いた転送の詳細は、「13.5.5 (6) ロックリクエスト」を参照してください。

- スロットパワーリミットの設定 (Set_Slot_Power_Limit メッセージの送信)

PCIEEXPCAP5に書き込みを行うことにより、Set_Slot_Power_Limitメッセージを送信します。送信されるSet_Slot_Power_Limitメッセージのデータには、ビット[14:7]とビット[16:15]がそれぞれ、スロットパワーリミットバリュー、スロットパワーリミットスケールとして使用されます。

スロットパワーリミットメッセージの送信は、ルートポートのみが行うことができます。

スロットパワーリミットの詳細は、「13.4.5 (30) PCIeケイパビリティレジスタ5 (PCIEEXPCAP5)」を参照してください。

- INTx 割り込みの発生および解除 (Assert_INTx / Deassert_INTx メッセージの送信 : x=A/B/C/D)

PCIEINTXR[16].ASTINTXに1を書き込むことにより、PCICONF15[15:8].INTPINで指定されているINTx割り込みに対応するAssert_INTxメッセージを送信し、INTx割り込みを発生させます。また、

PCIEINTXR[16].ASTINTXに0を書き込むことにより、PCICONF15[15:8].INTPINで指定されているINTx割り込みに対応するDeassert_INTxメッセージを送信し、INTx割り込みを解除することができます。

INTx割り込みは、エンドポイントのみが発生 / 解除させることができます。

PCIEINTXRの詳細は、「13.4.1 (13) INTxレジスタ (PCIEINTXR)」を、INTx割り込みの詳細は、「13.5.9 INTx割り込み」を参照してください。

(c) ソフトウェアによるメッセージの生成

上記以外のメッセージは、ソフトウェアによりメッセージコード等のパケットの内容を作成することにより、送信することが可能です。この方法でのメッセージの送信は、以下のレジスタにアクセスすることにより行います。

- PCIEMSGALR
- PCIEMSGAHR
- PCIEMSGCTLR
- PCIEMSGD

PCIEMSGALR/PCIEMSGAHR には、メッセージ発行時のアドレスを指定し、PCIEMSGCTLR にはメッセージ発行時の属性 (Msg/MsgD の選択、MROUTE、MCODE) を指定します。また、PCIEMSGCTLR にはメッセージの発行許可 (MSGIE) も指定します。MSGIE が 0 のとき、メッセージは発行できません。

これらのレジスタに設定を行った後、PCIEMSGD にライトアクセスを行うことにより、PCI Express にメッセージが送信されます。PCIEMSGCTL.MTYPE が 0 で Msg (データなし) が選択されている場合には、書き込まれた値は破棄されます。PCIEMSGCTL.MTYPE が 1 で、MsgD (データ付き) が選択されている場合には、書き込まれた値をデータとして使用します。1DW のデータを持つ MsgD のみが送信可能です。

上記のレジスタの設定によっては、PCI Express の規格で許可されていないメッセージを PCIEC から送信することが可能ですが、規格外のメッセージを送信した場合の動作は保証されません。PCI Express の規格により、発行が許可されているメッセージを表 13.14 に示します。備考欄に記載のあるメッセージは、本方式以外の方法でメッセージの送信が可能です。

表 13.14 送信が許可されているメッセージ

送信モード	メッセージ名	タイプ	メッセージコード	ラウティング	備考
ルートポート	PM_Active_State_Nak	Msg	0001 0100	100	
	PME_Turn_Off	Msg	0001 1001	011	
	Unlock	Msg	0000 0000	011	*1
	Set_Slot_Power_Limit	MsgD	0101 0000	100	*2
エンドポイント	Assert_INTA	Msg	0010 0000	100	*3
	Assert_INTB	Msg	0010 0001	100	*3
	Assert_INTC	Msg	0010 0010	100	*3
	Assert_INTD	Msg	0010 0011	100	*3
	Deassert_INTA	Msg	0010 0100	100	*3
	Deassert_INTB	Msg	0010 0101	100	*3
	Deassert_INTC	Msg	0010 0110	100	*3
	Deassert_INTD	Msg	0010 0111	100	*3
	PM_PME	Msg	0001 1000	000	
	PME_TO_ACK	Msg	0001 1011	101	
	ERR_COR	Msg	0011 0000	000	*4
	ERR_NONFATAL	Msg	0011 0001	000	*4
	ERR_FATAL	Msg	0011 0011	000	*4

- 【注】 *1 PCIEUNLOCKCR[0].ASTUNLOCK に 1 を書き込むことによって、本メッセージを送信することができます。
- *2 PCIEEXPCAP5[14:7]にライトアクセスすることによって、本メッセージを送信することができます。
- *3 PCIEINTXR.ASTINTX にライトアクセスすることによって、これらのメッセージを送信することができます。
- *4 PCIEC モジュールが送受信するバケット中にエラーを検出し、対応するコンフィグレーションレジスタにメッセージ送信が指示されていた場合には、ハードウェアが自動でメッセージを送信します。

(3) メッセージの受信

PCIEC は、一部 (下記) のメッセージの受信処理は、ハードウェアにより行います。ハードウェアが受信処理をサポートしていないメッセージの処理は、ソフトウェアにより行ってください。

(a) ハードウェアによるメッセージの受信処理

以下のメッセージの受信処理は、ハードウェアにより行います。

- Assert_INTA

ルートポートのときに受信した場合、PCIEINTXR[0].INTAをセットします。PCICONF15[7:0].INTLINEがFFh以外のとき、本ビットのセットによりINTA割り込みを発生します。

エンドポイントのときに受信した場合、本メッセージはMalformed TLPとして扱われ、エラー処理を行います。詳細は、「13.5.13 エラー処理」を参照してください。

- Assert_INTB

ルートポートのときに受信した場合、PCIEINTXR[1].INTBをセットします。PCICONF15[7:0].INTLINEがFFh以外のとき、本ビットのセットによりINTB割り込みを発生します。(ルートポートのときのみ)

エンドポイントのときに受信した場合、本メッセージはMalformed TLPとして扱われ、エラー処理を行います。詳細は、「13.5.13 エラー処理」を参照してください。

- Assert_INTC

ルートポートのときに受信した場合、PCIEINTXR[2].INTCをセットします。PCICONF15[7:0].INTLINEがFFh以外のとき、本ビットのセットによりINTC割り込みを発生します。(ルートポートのときのみ)

エンドポイントのときに受信した場合、本メッセージはMalformed TLPとして扱われ、エラー処理を行います。詳細は、「13.5.13 エラー処理」を参照してください。

- Assert_INTD

ルートポートのときに受信した場合、PCIEINTXR[3].INTDをセットします。PCICONF15[7:0].INTLINEがFFh以外のとき、本ビットのセットによりINTD割り込みを発生します。(ルートポートのときのみ)

エンドポイントのときに受信した場合、本メッセージはMalformed TLPとして扱われ、エラー処理を行います。詳細は、「13.5.13 エラー処理」を参照してください。

- Deassert_INTA

ルートポートのときに受信した場合、PCIEINTXR[0].INTAをクリアします。PCICONF15[7:0].INTLINEがFFh以外のとき、本ビットのクリアによりINTA割り込みを解除します。(ルートポートのときのみ)

エンドポイントのときに受信した場合、本メッセージはMalformed TLPとして扱われ、エラー処理を行います。詳細は、「13.5.13 エラー処理」を参照してください。

- Deassert_INTB

ルートポートのときに受信した場合、PCIEINTXR[1].INTBをクリアします。PCICONF15[7:0].INTLINEがFFh以外のとき、本ビットのクリアによりINTB割り込みを解除します。(ルートポートのときのみ)

エンドポイントのときに受信した場合、本メッセージはMalformed TLPとして扱われ、エラー処理を行います。詳細は、「13.5.13 エラー処理」を参照してください。

- Deassert_INTC

ルートポートのときに受信した場合、PCIEINTXR[3].INTCをクリアします。PCICONF15[7:0].INTLINEがFFh以外のとき、本ビットのクリアによりINTC割り込みを解除します。(ルートポートのときのみ)

エンドポイントのときに受信した場合、本メッセージはMalformed TLPとして扱われ、エラー処理を行います。詳細は、「13.5.13 エラー処理」を参照してください。

- Deassert_INTD

ルートポートのときに受信した場合、PCIEINTXR[3].INTDをクリアします。PCICONF15[7:0].INTLINEがFFh以外のとき、本ビットのクリアによりINTD割り込みを解除します。(ルートポートのときのみ)

エンドポイントのときに受信した場合、本メッセージはMalformed TLPとして扱われ、エラー処理を行います。詳細は、「13.5.13 エラー処理」を参照してください。

- ERR_COR

Correctableエラーの受信を示すコンフィグレーションレジスタに値をセットし、INT_PCICERR割り込みを発生します。詳細は、「13.5.13 エラー処理」を参照してください。

- ERR_NONFATAL

Non-Fatalエラーの受信をコンフィグレーションレジスタに値をセットし、INT_PCINFERR割り込みを発生します。詳細は、「13.5.13 エラー処理」を参照してください。

- ERR_FATAL

Fatalエラーの受信をコンフィグレーションレジスタに値をセットし、INT_PCIFERR割り込みを発生します。詳細は、「13.5.13 エラー処理」を参照してください。

- Unlock

PCI Express Endpoint/RootPortは、ロックリクエストを受け付けられないため、Unlockメッセージは破棄されます。

- Set_Slot_Power_Limit

メッセージにより指定される電力情報を、コンフィグレーションレジスタ(EXPCAP1[27:18])にセットします。

- Vendor_Define Type0

本デバイスではVendor Definedのメッセージをサポートしていないため、Unsupported Requestとして処理します。詳細は、「13.5.13 エラー処理」を参照してください。

- Vendor_Define Type1

本デバイスではVendor Definedのメッセージをサポートしていないため、破棄されます。

Assert_INTA/B/C/D, Deassert_INTA/B/C/D, ERR_COR, ERR_NONFATAL, ERR_FATAL, Unlock,

Set_Slot_Power_Limitのメッセージは、PCI Expressの規格により、TC0で送受信することが義務付けられています。これに違反し、TC0以外でこれらのメッセージを受信した場合、PCIECはこれらのメッセージをMalformed-TLP (Fatal Error)とみなし、エラー処理を行います。

(b) ソフトウェア処理が必要なメッセージの受信

以下のメッセージは、受信したことを検知しますが、ハードウェアによる処理は行いません。これらのメッセージの処理は、下記の手法によりソフトウェアにより受信を確認し、処理してください。

- PME_Active_State_Nak
- PM_PME
- PME_Turn_Off
- PME_To_Ack

メッセージの受信は、以下のレジスタにより確認することができます。

- PCIEMSGR
- PCIEMSGIER

PCIEMSGR は、規定されているメッセージごとにビットが定義されており、該当するメッセージの受信により、それらのビットに 1 がセットされます。このとき、PCIEMSGIER の該当するビットに 1 がセットされており、かつ、PCIEINTER[5].INT_PCIMSE に 1 がセットされていると、PCIMES 割り込みが発生します。

PCIEMSGR により受信を検知するメッセージを表 13.15 に示します。備考欄に記述のあるメッセージは、後述のとおり、ハードウェアによりメッセージの処理を行います。

表 13.15 PCIEC が受信を検知するメッセージ

PCIEMSGR のビット番号	受信メッセージ名	備考
8	PM_Active_State_Nak	
9	PM_PME	
10	PME_Turn_OFF	
11	PME_TO_ACK	

13.5.9 INTx 割り込み

本節では、INTx 割り込みについて説明します。

INTx 割り込みは、レガシーの PCI バスで使用されていた INTA/INTB/INTC/INTD 割り込みの総称です。レガシー PCI バスでは専用の信号線を用いていましたが、PCI Express では各デバイスが持つレジスタと、割り込みのアサート/デアサートを意味するメッセージの送受信により、INTx をエミュレートします。

PCI Express では、すべてのデバイスが INTx 割り込みをサポートすることが義務付けられており、本モジュールも INTx 割り込みをサポートしています。しかし、より汎用性の高い MSI 割り込みを使用する場合、INTx 割り込みの使用は禁止されます。MSI 割り込みの使用 / 未使用は、コンフィグレーションサイクル中に決定され、その結果は MSICAP0[16].MSI Enable ビットに反映されます。MSICAP0[16].MSI Enable ビットが 1 のときは、MSI 割り込みが使用される、INTx 割り込みは使用禁止となります。詳細は、「13.5.10 MSI 割り込み」を参照してください。

INTx 割り込みは、エンドポイントがルートポイントに割り込みをかけるために使用されます。エンドポイントが INTx 割り込みを受信することはありません。また、ルートポートが INTx 割り込みを発生させることはできません。

(1) INTx 割り込みの設定 (ルートポート)

INTx 割り込みの設定は、コンフィグレーションサイクル中に、ルートポートが行います。コンフィグレーションサイクル中に INTx 割り込みを使用する (MSI 割り込みを使用しない) と決定した場合、ルートポートは、以下の設定を行ってください。

- ルートポートの PCICONF15[7:0].Interrupt Line に H'FF 以外の値をセットしてください。
- エンドポイントの PCICONF15[15:8].Interrupt Pin に、エンドポイントに割り当てる割り込みに応じた値をセットしてください。
- エンドポイントの PCICONF1 [10].Interrupt Disable に 0 をセットしてください。

(2) INTx 割り込みの発生 (エンドポイント)

本モジュールから、INTx 割り込みを発生させる場合、PCIEINTXR.ASTINTX に 1 を書き込んでください。INTx 割り込みを解除する場合には、PCIEINTXR.ASTINTX に 0 を書き込んでください。このビットに 1 または 0 を書き込むことにより、PCICONF15[15:8].Interrupt Pin で指定される割り込み種別に応じて、Assert_INTx / Deassert_INTx メッセージがルートポートに向けて送信されます。

ルートポートとして使用する場合、MSI 割り込みを使用する場合、および PCICONF1 [10].Interrupt Disable が 1 の場合には、INTx 割り込みを発生させることはできません。

(3) INTx 割り込みの受信 (ルートポート)

PCIEC が Assert_INTx メッセージの受信により INTx 割り込みの発生を検知した場合、PCIEINTXR[3:0]の対応したビットに 1 をセットします。同時に PCICONF15[7:0].Interrupt Line に H'FF 以外の値がセットされている場合、INTC への割り込みが発生します。INTC への割り込みの詳細は、「13.5.11 INTC への割り込み」を参照してください。

また、PCIEC が Deassert_INTx メッセージの受信により INTx 割り込みの解除を検知した場合、PCIEINTXR[3:0]

の対応したビットに 0 をセットします。

INTC からの割り込みをソフトウェアが受け付けた場合、該当する割り込み要因を調査し、割り込みを発生させているエンドポイントに対して割り込みのクリアを指示してください。

13.5.10 MSI 割り込み

本節では、MSI 割り込みについて説明します。

MSI 割り込みは、INTx に代わる方式として規定された割り込み方式です。INTx に比べ、多くの割り込み要因を使用でき、1 デバイスに複数の要因を割り当てることができます。MSI 割り込みは、ルートポートが内部に持つ特定のエリアにメモライトを行うことにより割り込みを発生させる方式で、INTx のような専用線は不要となります。

PCI Express では MSI 割り込みまたは MSI-X 割り込みのサポートが義務付けられており、本モジュールは MSI 割り込みをサポートします。また、PCI-SIG は INTx ではなく MSI 割り込みを使用することを推奨し、INTx 割り込みが将来 EOL (End of Life) となることを示唆しています。しかし、PCI Express/PCI ブリッジなどを介して接続する可能性があるレガシー PCI バスが MSI をサポートしていない場合、あるいは INTx 割り込みを使用する既存のドライバを使用し続けるために、INTx 割り込みを使用することも許可されています。

PCI Express システムとして INTx 割り込みを使用するか MSI 割り込みを使用するかは、コンフィグレーションサイクル中にルートポートによって決定されます。本モジュールをルートポートとして使用する場合には、コンフィグレーションサイクル中に INTx/MSI 割り込みのどちらを使用するかを決定し、その結果をコンフィグレーションレジスタに設定してください。

本モジュールをルートポートとして使用する場合、最大 32 本の割り込みベクタを MSI 割り込みとして使用できます。また、本モジュールは、Per Vector Masking および 64bit アドレスメッセージの送信をサポートします。

(1) MSI 割り込みの設定 (ルートポート)

本モジュールをルートポートとして使用する場合、コンフィグレーションサイクル中に INTx/MSI 割り込みのどちらを使用するかを決定し、MSI 割り込みを使用すると決定した場合、以下の設定を行ってください。

(a) MSI 割り込みのイネーブル

全デバイスの MSICAP0[16].MSI Enable に 1 をセットしてください。

(b) エンドポイントへの割り込みベクタの割り当て

エンドポイントデバイスの MSICAP0[19:17].Multiple Message Capable を参照し、各デバイスが要求する MSI 割り込みベクタ数を調査します。その結果を元に、全デバイスに割り当てられるベクタ数が 32 以下で、かつ、個々のエンドポイントへの割り当てが 1 以上、要求割り当て数以下となるように、各エンドポイントへの割り当てられるベクタ数を決定します。

各エンドポイントに割り当てたベクタ数を、MSICAP0[22:20].Multiple Message Enable にセットしてください。

(c) メッセージアドレスの設定

エンドポイントデバイスのMSICAP1[31:2].Lower Message Address および、MSICAP2[31:0].Upper Message Address に、MSI メッセージの送信先アドレスをセットしてください。

MSI メッセージの送信先アドレスは、本モジュールの PCIEMSIFR レジスタに対応する PCI アドレスとしてください。MSI 割り込みを使用する場合、ルートポートのベースアドレスレジスタ (BAR) が張る PCI 空間の一部が、PCIEC モジュールのレジスタ空間を含んでいる必要があります。

設定すべき MSI メッセージの送信先アドレスの概念図を図 13.8 に示します。

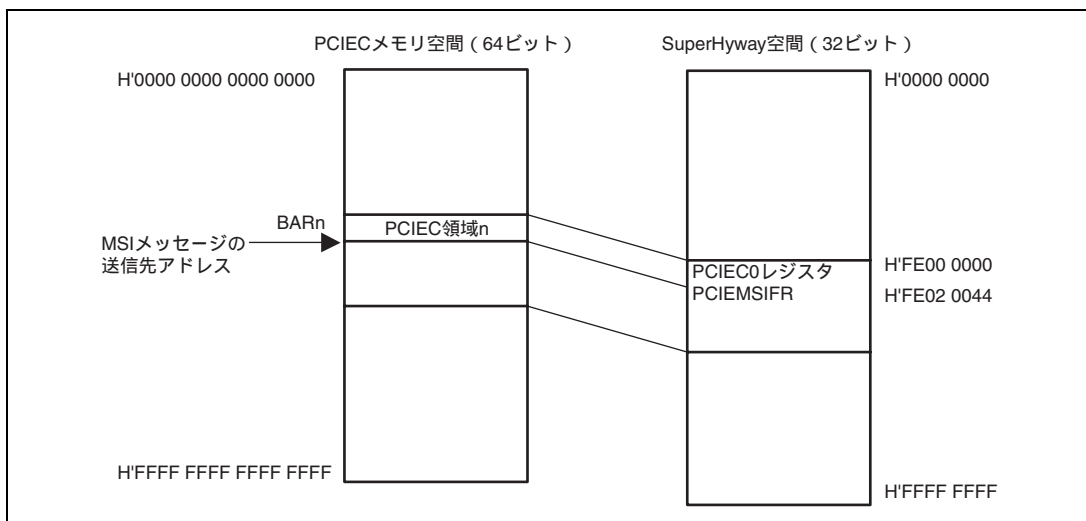


図 13.8 エンドポイントに設定する MSI メッセージの送信先アドレス

(d) メッセージデータの設定

エンドポイントデバイスの MSICAP3[15:0].Message Data に、メッセージ送信時のライトデータをセットしてください。

ライトデータのビット[12:8]は、本モジュールがサポートする 32 ビットの MSI ベクタのうち、エンドポイントに割り当てた MSI ベクタの先頭ベクタの番号を指定し、それ以外のビットは 0 としてください。図 13.9 にエンドポイントに設定する MSI メッセージデータの例を示します。

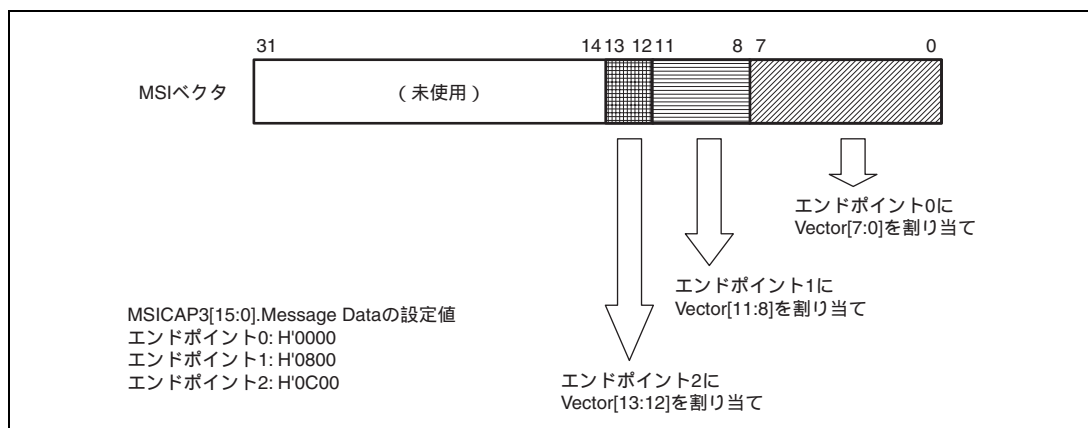


図 13.9 エンドポイントに設定する MSI メッセージデータ
 (エンドポイント 0/1/2 に 8/4/2 ベクタを割り当てた場合の設定例)

(2) MSI 割り込みの発生 (エンドポイント)

PCIEMSIR[4:0].MSIAST に発生させるベクタ番号を書き込むことにより、MSI 割り込みを発生させます。

PCIEMSIR[4:0].MSIAST に書き込みにより、MSICAP5[31:0].Message Pending のベクタ番号に該当するビットに 1 がセットされます。MSICAP5[31:0].Message Pending に 1 がセットされ、MSICAP4[31:0].Message Mask の対応するビットが 0 になっているもののうち、ビット番号が小さいものから順に、MSI 割り込みが発生します。

MSI 割り込みは、MSICAP1[31:2].Lower Message Address および、MSICAP2[31:0].Upper Message Address によって指定されるアドレスに、MSICAP3[15:0].Message Data にベクタ番号を加算した値を書き込むメモリライトを行うことにより、発行されます。

MSI 割り込みの発生は、エンドポイントのみで行えます。ルートポートでは MSI 割り込みを発生させることはできません。

(3) MSI 割り込みの受信 (ルートポート)

MSI 割り込みを受信した場合、PCIEMSIFR[31].MSIF のベクタ番号に対応したビットに 1 がセットされます。同時に、INTC に対して割り込みが発生します。

13.5.11 INTC への割り込み

PCIEC には、68 種類の割り込みがあります。これらの信号は本 LSI の INTC に接続しています。

表 13.16 に PCIEC の割り込みを示します。

表 13.16 PCIEC の割り込み

番号	名称	意味
0	INT_PCISERR	システムエラー
1	INT_PCIFERR	PCIe Fatal エラー
2	INT_PCINFERR	PCIe Non Fatal エラー
3	INT_PCICERR	PCIe Correctable エラー
4	INT_PCIPOWER	パワーダウン割り込み
5	INT_PCIMES	PCIEC メッセージ受信割り込み
[8:6]	INT_TX_VC0[2:0]	PCIEC VC0 送信割り込み
[11:9]	INT_RX_VC0[2:0]	PCIEC VC0 受信割り込み
12	INTPM	PCIEC パワーマネージメント割り込み
13	INTMAC	PCIEC MAC 割り込み
14	INTDL	PCIEC データリンク割り込み
15	INTTL	PCIEC TLP 割り込み
16	RX_VC0_ERR	PCIEC VC0 受信エラー割り込み
17	RX_VCX_ERR	PCIEC VCX 受信エラー割り込み
[20:18]	INT_TX_VCX[2:0]	PCIEC VCX 送信割り込み
[23:21]	INT_RX_VCX[0]	PCIEC VCX 受信割り込み
24	INT_TX_CTRL	PCIEC 送信制御割り込み
25	INT_RX_CTRL	PCIEC 受信制御割り込み
26	INT_RX_ERP	PCIEC 受信エラー割り込み
27	INT_DMACE	PCIEC-DMAC エラー割り込み
28	INT_DMAC0	PCIEC-DMAC0 割り込み
29	INT_DMAC1	PCIEC-DMAC1 割り込み
30	INT_DMAC2	PCIEC-DMAC2 割り込み
31	INT_DMAC3	PCIEC-DMAC3 割り込み
[63:32]	INT_MS[31:0]	MSI 割り込み
[67:64]	INT_PCIINTX[3:0]	INTx 割り込み

割り込み 0~3 の INT_PCISERR、INT_PCIFERR、INT_PCINFERR、INT_PCICERR は、PCIEC がエラーを検出したことを通知する割り込みです。詳細は、「13.5.13 エラー処理」を参照してください。

割り込み 4 の INT_PCIPOWER は、パワーマネージメントで使用する割り込みです。詳細は、「13.5.12 パワーマネージメント」を参照してください。

割り込み 5 の INT_PCIMES は、PCIEC がメッセージを受信したことを示す割り込みです。詳細は、「13.5.8 メッセージの送受信」を参照してください。

割り込み 6 ~ 26 は、PCIEC ブリッジ部を使用せず、PCIEC 制御部を直接ソフトウェアにより制御する場合に使用する割り込みです。ブリッジ部を使用する場合には、これらの割り込みは使用しません。

割り込み 27 の INT_DMACE は、DMAC によりエラーが発生したことを示す割り込みです。また、割り込み 28-31 の INT_DMACE0 ~ 3 は、PCIEC-DMACE0 ~ 3 の転送が終了したことを示す割り込みです。詳細は、「13.5.7 DMA 転送」を参照してください。

割り込み 32 ~ 63 の INT_MSII[31:0]は、MSI 割り込みが発生したことを示す割り込みです。詳細は、「13.5.10 MSI 割り込み」を参照してください。

割り込み 64 ~ 67 の INT_PCIINTX[3:0]は、INTx 割り込みが発生したことを示す割り込みです。詳細は、「13.5.9 INTx 割り込み」を参照してください。

13.5.12 パワーマネージメント

本節では、PCIEC が対応するパワーマネージメントの機能について説明します。

(1) 概要

PCIEC は、PCI-PM と ASPM の 2 種類のパワーマネージメントに対応しています。PCI-PM (PCI Compatible Power Management) は、PCI バスとコンパチブルなパワーマネージメントモードであり、ソフトウェアによる指示を受けて低電力ステートに遷移する機構です。ASPM (Active State Power Management) は、PCI Express 固有の低電力機構であり、送受信を行わないときにハードウェアが自動的に低電力ステートに遷移する機構です。

PCI-PM では、通常状態である L0 ステートの他に、L1/L2/L3 のステートが規格により定義されていますが、PCIEC ではこの内 L1 ステートをサポートします。

ASPM では、通常状態である L0 から L0s/L1 ステートへの遷移について規格により定義されていますが、PCIEC では L0s ステートへの遷移をサポートします。

(2) PCI-PM (PCI Compatible Power Management)

PCI-PM ではソフトウェアの制御により、PCIEC を低電力モードに遷移させることができます。本節では、PCIEC がサポートしている L1 への遷移、L1 から通常状態 L0 への復帰の手順を説明します。

(a) PCIEC がルートポートの場合

• L0 ステートから L1 ステートへの遷移

PCIEC がルートポートとしての動作時には、PCIEC (ルートポート) が外部デバイス (エンドポイント) へ指示を出すことにより、L1 ステートへ遷移します。外部デバイス (エンドポイント) への指示と、その後のステート遷移の処理は、ソフトウェアにより行います。L1 へ遷移する場合、以下の手順により遷移の制御をソフトウェアにより行ってください。

• L1への遷移要求の送信

コンフィグレーションライトにより、外部デバイス (エンドポイント) のPCIEPMCAP1[1:0].Power Stateビットに、D1を示すH'1を書き込むことにより、L1への遷移を要求します。

• L1への遷移要求受信の確認

外部デバイス (エンドポイント) からの、コンフィグレーションライトに対するコンプリージョンの受信を確認します。

• PM_ENTER_L1_DLLPの受信の確認

PCIEPMSR[23].PMEnterL1RXが1となることを確認し、外部デバイス (エンドポイント) からのPM_ENTER_L1_DLLPの受信を確認します。

• パワーステートの変更

PCIEC (ルートポート) のPCIEPMCAP1[1:0].Power Stateビットに、D1を示すH'1を書き込んでください。

• L0ステートであることの確認

PCIEC (ルートポート) のPCIEPMSR[18:16].PMSTATEビットを読み出し、L0 (H'1) であることを確認します。

• L1ステートへの遷移の指示

PCIEC (ルートポート) のPCIEPMCTLR[31].L1 Initiationビットに1を書き込み、PCIEC制御部にL1への遷移を指示します。

• L1ステートへの遷移の確認

PCIEC (ルートポート) のPCIEPMSR[31].L1FALLEdgeビットが1となるまで待ち、L1への遷移シーケンスが完了 / 中断したことを確認します。

PCIEPMSR[31].L1FALLEdgeビットが1となった後に、PCIEPMSR[31].L1FALLEdgeビットに1を書き込んで、本ビットをクリアしてください。

PCIEC (ルートポート) のPCIEPMSR[18:16].PMSTATEビットを読み出し、遷移後のステートを確認してください。L1 (H'3) が読み出されれば、L1への遷移が完了したことを示し、L0 (H'1) が読み出されればL0への遷移が中断されたことを示します。

• L1 ステートから L0 ステートへの復帰

• PCIEC (ルートポート) からの復帰要求

PCIEC (ルートポート) からL0への復帰を行う場合、PCIECと外部デバイスのコンフィグレーションレジスタのPCIEPMCAP1[1:0].Power StateビットをD0を示すH'0としてください。まず、SuperHywayバスからのアク

セスにより、PCIEC (ルートポート) のコンフィグレーションレジスタのPCIEPMCAPI[1:0].Power StateビットをD0を示すH'0とし、次にコンフィグレーションライトにより外部デバイス (エンドポイント) のPCIEPMCAPI[1:0].Power StateビットにD0を示すH'0を書き込んでください。

その後、PIO転送 / DMA転送等による、パケット送受信が可能となります。

- 外部デバイス (エンドポイント) からの復帰要求

外部デバイス (エンドポイント) からL0への復帰を行う場合、外部デバイスは自身が持つコンフィグレーションレジスタのPCIEPMCAPI[1:0].Power StateビットにD0を示すH'0を書き込んだ後に、PCIECに対しPM_PMEメッセージの送信を行ってください。

PCIECは、外部デバイス (エンドポイント) からのPM_PMEメッセージを受信した場合、PCIECのコンフィグレーションレジスタのPCIEPMCAPI[1:0].Power StateビットにD0を示すH'0を書き込んでください。Power StateビットにD0を書き込むことにより、エンドポイントからのパケットを受信することが可能になります。Power StateビットがD0以外の状態の場合、PCIECは外部デバイス (エンドポイント) からのメッセージ以外のパケットをエラー (アンサポータッドリクエスト) として処理します。

PM_PMEメッセージの受信方法は、「13.4.8 (3) メッセージの受信」を参照してください。

(b) PCIEC がエンドポイントの場合

- L0 ステートから L1 ステートへの移行

PCIEC がエンドポイントとしての動作時には、外部デバイス (ルートポート) からのパワーダウンの指示により、L1 ステートへの遷移を開始します。L0 から L1 への遷移は、ソフトウェアによる制御を必要とします。以下にパワーダウンの指示を受けてから、L1 に遷移するまでに必要なソフトウェアの動作を示します。

- L1ステートへの遷移要求の受信

外部デバイス (ルートポート) がコンフィグレーションライトにより、PCIEC (エンドポイント) のPCIEPMCAPI[1:0].Power StateビットにD1を示すH'1が書き込むことにより、PCIECはL1への遷移要求を受け付けます。PCIECは、PCIEPMCAPI[1:0].Power Stateの値の変化により、INT_PCIPOWER割り込みが発生します。この割り込みにより、L1への遷移処理を開始してください。

- 送信待ちTLPの送信完了待ち

PCIEC制御部の送信待ちのTLPが送信完了するまでウエイトします。PCIETXSR[63].TXEMPビットが1であることを確認できるまで、ウエイトします。

これ以降、L1への遷移が完了するまで、新規にTLP送信を行わないよう、ソフトウェアにより制御してください。

- コンフィグレーションライトに対するコンプリージョンの返信

PCIEPWRCTLR[0].RCPLを書き込むことにより、コンプリージョンの送信を行ってください。

通常、PCIECへのコンフィグレーションリクエストに対するコンプリージョンの送信は、PCIECが自動で行いますが、PCIEPMCAPI[1:0].Power Stateへアクセスするコンフィグレーションライトに対しては、指示があるまでコンプリージョンの生成を行いません。

- L0状態であることの確認
PCIEPMSR[18:16].PMSTATEビットを読み出し、L0 (H'1) であることを確認します。
- L1状態への遷移の指示
PCIEPCTL[31].L1 Initiationビットに1を書き込み、PCIEC制御部にL1への遷移を指示します。
- L1状態への遷移の確認
PCIEPMSR[31].L1FALLEdgeビットが1となるまで待ち、L1への遷移シーケンスが完了 / 中断したことを確認します。
PCIEPMSR[31].L1FALLEdgeビットが1となった後に、PCIEPMSR[31].L1FALLEdgeビットに1を書き込んで、本ビットをクリアしてください。
PCIEPMSR[18:16].PMSTATEビットを読み出し、遷移後の状態を確認してください。L1 (H'3) が読み出されれば、L1への遷移が完了したことを示し、L0 (H'1) が読み出されればL0への遷移が中断されたことを示します。
- L1状態からL0状態への復帰
- PCIEC (エンドポイント) からの復帰要求
PCIEC (エンドポイント) のPCIEPMCAPI[1:0].Power StateビットにD0を示すH'0を書き込み、PM_PMEメッセージを外部デバイス (ルートポート) に送信することにより、L0状態に復帰します。
PM_PMEメッセージ送信は、「13.5.8 (2) メッセージの送信」を参照してください。
- 外部デバイス (ルートポート) からの復帰要求
外部デバイス (ルートポイント) からのコンフィグレーションライトにより、PCIEPMCAPI[1:0].Power StateビットにD0を示すH'0が書き込まれることにより、PCIECはL0状態に復帰します。
PCIEPMCAPI[1:0].Power StateビットがD0以外の状態にある場合、PCIECはコンフィグレーションアクセス、メッセージ以外のパケットの受信をエラー (アンサポードリクエスト) として処理します。

(3) ASPM (Active State Power Management)

ASPMを使用することにより、PCIECをハードウェアにより自動的に低電力モードに遷移させることができます。ASPMを使用する場合、PCIEEXCAP4[1:0].ASPM Control ビットにH'1を設定してください。このビットにH'0を指定することにより、ASPMによる低電力モードへの遷移を抑制することができます。初期状態では、本ビットはH'0となっています。

- L0状態からL0s状態への遷移
ASPMを使用している場合、4 μ sのアイドル状態を検出するとPCIECのL0s状態への遷移シーケンスを起動します。ここでのアイドル状態は、以下の条件を満たす状態を指します。
 - (a) TLPが送信されない状態
 - (b) TLPがPCIEC制御部でTLPが送信待ちとなっていない状態
 - (c) TLPが送信待ちとなっても、データリンク層でのフロー制御でのクレジット不足のため、送信することができない状態
 - (d) 送信済みのNon-Posted リクエストに対するCompletionを受信していない状態

(e) DLLP が送信待ちとなっていない状態

- L0s ステートから L0 ステートへの復帰

ASPM では、送受信すべきパケットが発生すると、自動的に L0 ステートへの遷移を行います。

13.5.13 エラー処理

本節では、PCIEC が検出するエラー処理について説明します。

(1) エラーの分類

PCIEC では、検出するエラーを、PCI Express の規格で規定されている 3 種類のエラー (コレクタブルエラー、ノンフェータルエラー、フェータルエラー) と、それ以外のエラー (システムエラー) の計 4 種のエラーに分類し、割り込みによる通知を行います。

(a) コレクタブルエラー (Correctable Error)

PCI Express のプロトコルにより回復が可能なエラーです。PCI Express のプロトコルにより回復可能なエラーが分類されます。ハードウェアによりエラーからの回復が行われるため、通常はソフトウェアによるエラー処理は必要ありません。

後述の条件を満たす場合、コレクタブルエラーの発生は INT_PCICERR 割り込みにより通知されます。

(b) ノンフェータルエラー (Non Fatal Error)

PCI Express のプロトコルでは回復ができませんが、致命的ではないエラーです。単一のパケットの破棄によりその後のデータ通信を行えるエラーが分類されます。通常は、該当するパケットの再送等の処理が必要となります。

後述の条件を満たす場合、ノンフェータルエラーの発生は INT_PCINFERR 割り込みにより通知されます。

(c) フェータルエラー (Fatal Error)

PCI Express のプロトコルでは回復ができず、致命的なエラーです。回復には、通信路のリセットが必要となるエラーが分類されます。通常は、PCIEC の初期化が必要となります。

後述の条件を満たす場合、フェータルエラーの発生は INT_PCIFERR 割り込みにより通知されます。

(d) PCIEC モジュールが検出する上記以外のエラー (システムエラー)

上記に分類されないエラーを、システムエラーと分類します。エラーの要因により、必要となる対応は異なります。

INT_PCISERR 割り込みにより通知されます。

(2) エラーの優先順位

単一のパケットの受信により複数のエラーが検出された場合、本モジュールは最も重要と考えられる一つのエラーのみを報告します。複数のエラーが検出された場合、下記の順に優先順位を付け、もっとも優先順位の高いものが報告されます。

- Receiver Overflow
- Flow Control Protocol Error
- Malformed TLP
- Unsupported Request (UR), Completer Abort (CA), or Unexpected Completion
- Poisoned TLP Received

(3) コレクタブルエラー (Correctable Error)

コレクタブルエラーは、ハードウェアによる自動再送要求などにより、転送データを損失させることなく回復処理が行われるエラーを指します。ハードウェアによる回復処理が行われ、データの消失などは発生しないため、通常ソフトウェアによる回復処理が必要となることはありません。

コレクタブルエラーが発生した場合、PCIEEXPCAP2[16].Correctable Error Detected ビットに1がセットされます。また、PCIEEXPCAP2[0].Correctable Error Reporting Enable ビットに1がセットされているときにコレクタブルエラーが発生した場合、エンドポイントの場合は ERR_COR メッセージを送信することによりルートポートへエラーの発生を通知し、ルートポートの場合には PCIEEXPCAP7[0].System Error on Correctable Error Enable に1がセットされていれば INT_PCICERR 割り込みを発生させます。

ルートポートとして動作している場合、PCIEPCICONF15[17].SERR Enable ビットに1がされ、かつ PCIEEXPCAP2[0].Correctable Error Reporting Enable に1がセットされ、かつ PCIEEXPCAP7[0].System Error on Correctable Error Enable に1がセットされているときにエンドポイントから ERR_COR メッセージを受信した場合、INT_PCICERR 割り込みを発生させます。

以下のエラーがコレクタブルエラーに分類されます。

(a) レシーバーエラー

8b/10b デコードエラー

ディスパリティエラー

エラスティックバッファオーバーフロー

エラスティックバッファアンダフロー

(b) BAD TLP

LCRC エラー

シーケンスナンバエラー

(c) BAD DLLP

16Bit CRC エラー

(d) Replay Timeout

Ack/Nak タイムアウト

(e) Replay Num Rollover

Replay Num のロールオーバー

(4) ノンフェータルエラー (Non-Fatal Error)

ノンフェータルエラーは、ハードウェアによる回復処理を行うことができないエラーであり、1 パケット分のデータが消失するエラーを指します。データの消失が生じるため、ソフトウェアにより再送などによる回復処理が必要となります。

ノンフェータルエラーが発生した場合、PCIEEXPCAP2[17].Non Fatal Error Detected ビットに 1 がセットされます。また、PCIEPCICONF1[8].SERR Enable に 1 がセットされている場合、PCIEPCICONF1[30].Signaled System Error ビットに 1 がセットされます。また、PCIEEXPCAP2[1].Non Fatal Error Reporting Enable ビットに 1 がセットされている、あるいは PCIEPCICONF1[8].SERR Enable に 1 がセットされているときに Non Fatal Error が発生した場合、エンドポイントの場合は ERR_NONFATAL メッセージを送信することによりルートポートへエラーの発生を通知し、ルートポートの場合には PCIEEXPCAP7[1].System Error on Non Fatal Error Enable に 1 がセットされていれば INT_PCINFERR 割り込みを発生させます。ただし、後述の Unsupported Request の場合、後述の条件に該当する場合にはメッセージの送信、割り込みの発生を行いません。

ルートポートとして動作している場合、ERR_NONFATAL メッセージの受信により、PCIEPCICONF7[30].Received System Error に 1 がセットされます。また、PCIEPCICONF15[17].SERR Enable ビットに 1 がされ、かつ PCIEPCICONF1[8].SERR Enable に 1 がセットされているときに ERR_NONFATAL メッセージを受信することにより、PCIEPCICONF1[30].Signaled System Error ビットに 1 がセットされます。また、PCIEPCICONF15[17].SERR Enable ビットに 1 がされ、かつ PCIEEXPCAP2[1].Non Fatal Error Reporting Enable または PCIEPCICONF1[8].SERR Enable に 1 がセットされ、かつ PCIEEXPCAP7[1].System Error on Non Fatal Error Enable に 1 がセットされている時にエンドポイントから ERR_NONFATAL メッセージを受信した場合、INT_PCINFERR 割り込みを発生させます。ただし、後述の Unsupported Request の場合、後述の条件に該当する場合には割り込みの発生を行いません。また、後述のアドバイザー ノンフェータルエラーケース (Advisory Non Fatal Error Case) に該当する場合は、別途規定されている処理を行います。

以下のエラーがノンフェータルエラーに分類されます。

(a) Poisoned TLP の受信

Poisoned 属性を持つパケットによる書き込みが合った場合、ノンフェータルエラーとして処理します。

PCIEC は、Poisoned 属性を持つパケットによる書き込みが PCI Express 側から要求されても、SuperHyway 側にその要求を転送しません。Poisoned 属性を持つリクエストを受信した場合、そのヘッダをエラーヘッダレジスタ 0 - 3 (PCIEEH0R/PCIEEH1R/PCIEEH2R/PCIEEH3R) に記録します。

PCIEC から発行したリクエストに対するコンプリージョンが Poisoned 属性を持つ場合、そのコンプリージョンに含まれるデータを、SuperHyway 側に転送しません。

(b) アンサポーテッドリクエスト (Unsupported Request: UR) の受信

以下のリクエストは、アンサポーテッドリクエストとして扱われます。

- BARで指定されたPCIアドレス領域以外へアクセス
- RootPortとして動作時、PCIEPCICONF1[2].Bus Master Enableが0のときの、メモリ/I/Oリクエストの受信

- PCICONF1[1].Memory Space Enableが0のときの、メモリ空間へのアクセス
- PCICONF1[0].I/O Space Enableが0のときの、I/O空間へのアクセス
- 未定義のメッセージコードを持つメッセージの受信
- Type0のVendor Defined Messageの受信
- Non-D0ステート時のコンフィグレーションアクセス・メッセージ以外のTLPの受信
- 実装していないコンフィグレーションレジスタへのアクセス
- Type1 Configuration Requestの受信
- VCCAP4[15].ReJeCT Snoop Transactionsによりスヌープトランザクションの受付が拒否されている場合の、No Snoop属性の指定のないパケットの受信
- MRdLkリクエストの受信

アンサポーテッドを受信した場合、PCIEEXPCAP2[19].Unsupported Request Detected ビットに1がセットされま
す。

アンサポーテッドを受信した場合、PCIEEXPCAP2[3].Unsupported Request Reporting Enable ビットが0であり、
かつ PCIEPCONF1[8].SERR Enable が0の場合は、メッセージの送信 / 割り込みの発生は行いません。

アンサポーテッドリクエストを受信した場合、そのヘッダをエラーヘッダレジスタ0～3(PCIEEH0R/ PCIEEH1R/
PCIEEH2R/ PCIEEH3R) に記録します。

(c) コンプリージョンタイムアウト (Completion Timeout)

PCIEC が PCI Express 側に発行したリクエストに対応するコンプリージョンを、規定されている時間内に受信で
きない場合、コンプリージョンタイムアウトとしてエラー処理を行います。

(d) コンプリータアボート (Completer Abort:CA)

PCI Express からのパケットの内部バス空間上での転送先が自モジュールの PCI 領域である場合、PCIEC の制御
レジスタのうち PCI Express 側からの参照が許可されていないレジスタである場合、あるいは PCI Express からの
パケットを SuperHyway バスに転送した際に SuperHyway バス上でエラーが発生した場合、PCIEC は Completer
Abort としてエラー処理を行います。PCI Express から受信したパケットが、Non-Posted リクエストである場合、
Completer Abort (CA)– Completion Status を持つコンプリージョンを返信し、PCIECONF1[28].Signaled Target Abort
ビットに1がセットされます。

PCIEC が PCI Express 側から受信したパケットが、PCI Express の規格に違反している場合や破損しているとみな
された場合は、コンプリータアボートではなく、アンサポーテッドリクエストや、Malformed TLP などとして処理
されます。

(e) アンエクペクテッドコンプリージョン (Unexpected Completion) の受信

PCIEC が発行したリクエストに対応しないコンプリージョンを受信した場合、アンエクペクテッドコンプリージ
ョンとみなし、エラー処理を行います。

アンエクペクテッドコンプリージョンの受信は、アドバイザー ノンフェータルエラーケース (後述) に該当
します。

(5) フェータルエラー (Fatal Error)

フェータルエラーは、ハードウェアにより回復処理を行うことのできないエラーであり、通常 PCI Express の初期化など、システムレベルでのエラー回復処理が必要となるエラーを指します。フェータルエラーの発生後は、再初期化を行わない限り、正常なデータ転送を行うことはできません。

フェータルエラーが発生した場合、PCIEEXPCAP2[18].Fatal Error Detected ビットに 1 がセットされます。また、PCIEPCICONF1[8].SERR Enable に 1 がセットされている場合、PCIEPCICONF1[30].Signaled System Error ビットに 1 がセットされます。また、PCIEEXPCAP2[2].Fatal Error Reporting Enable ビットに 1 がセットされている、あるいは PCIEPCICONF1[8].SERR Enable に 1 がセットされているときにフェータルエラーが発生した場合、エンドポイントの場合は ERR_FATAL メッセージを送信することによりルートポートへエラーの発生を通知し、ルートポートの場合には PCIEEXPCAP7[2].System Error on Fatal Error Enable に 1 がセットされていれば INT_PCINFERR 割り込みを発生させます。

ルートポートとして動作している場合、ERR_FATAL メッセージの受信により、PCIEPCICONF7[30].Received System Error に 1 がセットされます。また、PCIEPCICONF15[17].SERR Enable ビットに 1 がされ、かつ PCIEPCICONF1[8].SERR Enable に 1 がセットされているときに ERR_FATAL メッセージを受信することにより、PCIEPCICONF1[30].Signaled System Error ビットに 1 がセットされます。また、PCIEPCICONF15[17].SERR Enable ビットに 1 がされ、かつ PCIEEXPCAP2[2].Fatal Error Reporting Enable または PCIEPCICONF1[8].SERR Enable に 1 がセットされ、かつ PCIEEXPCAP7[2].System Error on Fatal Error Enable に 1 がセットされている時にエンドポイントから ERR_FATAL メッセージを受信した場合、INT_PCIFERR 割り込みを発生させます。

以下のエラーがフェータルエラーに分類されます。

- (a) データリンク層プロトコルエラー
- (b) フローコントロールプロトコルエラー
- (c) Malformed TLP の受信

下記のバケットは、Malformed TLP とみなされ、受信することによりフェータルエラーを発生します。これらのバケットを受信した場合、バケットのヘッダがエラーヘッダレジスタ 0~3 (PCIEEH0R/PCIEEH1R/PCIEEH2R/PCIEEH3R) に記録されます。

- Max Payload Size以上のデータを持つバケットの受信
- サイズフィールドと異なるデータ長のデータを持つバケットの受信
- ヘッダのTDフィールド=0でダイジェストフィールド付きのTLP受信
- ヘッダのTDフィールド=1でダイジェストフィールドなしのTLP受信
- TC0でないAssert_INTx/Deassert_メッセージの受信
- TC0でないパワー管理メッセージの受信
- TC0でないエラー信号メッセージの受信
- TC0でないアンロックメッセージの受信
- TC0でないSet_Slot_Power_Limitメッセージの受信
- Lengthフィールドと異なるサイズデータのコンプリージョン受信
- Max_Payload_Sizeを超えるデータサイズのコンプリージョン受信
- 未定義のTLP TypeおよびfmtのTLP受信

- 割り当てられていないTCのTLP受信
- ディセーブルされているVCに対するTLP受信
- TC!=0、またはAttr[1:0]!=0、またはLength[9:0]!=1、またはLast DW[3:0]!=0のI/Oリクエストの受信
- TC!=0、またはAttr[1:0]!=0、またはLength[9:0]!=1、またはLast DW[3:0]!=0のコンフィギュレーションリクエストの受信
- エンドポイントで動作時のAssert_INTx/Deassert_INTxメッセージの受信

(6) システムエラー (System Error)

システムエラーは、コレクタブル/ノンフェータル/フェータルに分類されていないエラーを示します。システムエラーに分類されるエラーが発生した場合、INT_PCISERR 割り込みが発生します。

(a) DL_Down

一度データリンク層がアクティブのなった後に、データリンク層が通信不能となることを DL_Down と呼びます。DL_Down は意図的にデータリンク層をダウンさせることによっても発生しますが、通常データ転送中に通信路の状態が著しく悪化した場合にも起こります。DL_Down 後は PCIEC モジュールの初期化を行い、再度接続先デバイスとのコネクションを確立する必要があります。

DL_Down が発生した場合、転送中のパケットはすべて破棄されます。DL_Down により破棄されたパケットによるデータ転送の内容は補償されません。DL_Down 発生後に、再度初期化を行い、転送を再度実行してください。DMA 転送は、DMAC 制御レジスタ等を再度設定し直した後に、再度実行を行ってください。

DL_Down となっている場合、PCIETCTLR[3].DLDOWN ビットが 1 となります。INT_PCISERR 割り込みが発生した場合、本ビットにより DL_DOWN の発生を確認してください。

(b) CRS (Configuration request Retry Status) の受信

PCIEC が発行したコンフィギュレーションリクエストに対し、相手側のデバイスが立ち上がっていないために、CRS Completion Status を持つコンプリージョンが返信された場合が生じます。PCIEC では、PCIEEXPCAP7[4].CRS Software Visibility Enable ビットに 1 がセットされているときに CRS を受信した場合、INT_PCISERR 割り込みが発生します。

CRS Completion Status を受信した場合、PCIEC は PCIEPCTLR[16].CRS ビットをセットします。INT_PCISERR 割り込みを使用せずに、初回のコンフィギュレーションリクエストの発行後に PCIEC は PCIEPCTLR[16].CRS ビットを確認することによっても、CRS 受信の有無を確認できます。

(PCI Express デバイスは、一度 CRS 以外のコンプリージョンを返送した後に、CRS コンプリージョンを返信することが禁止されています。そのため、一度 CRS 以外のコンプリージョンを受信した後は、CRS の受信の確認を行う必要はありません。)

(7) アドバイザリーノンフェータルエラーケース (Advisory Non Fatal Error Case)

一部のノンフェータルエラーの処理は、パケットの送信元やソフトウェア/システムなどによりエラーの要因/重要度を判定するべきとの考えから、パケットの受信時にはエラー処理を行わないことが PCI Express の規格により規定されています。この一部のノンフェータルエラーを、アドバイザリーノンフェータルエラーケースと呼

び、以下のものが該当します。これらのケースに該当するエラーを検出した場合、通常のノンフェータルエラーの処理を行わず、個別に規定される処理を行います。

(a) UR/CA ステータスを持つコンプリージョンの返信

UR/CA ステータスを持つコンプリージョンを返信した場合、そのコンプリージョンを受信したデバイス（リクエストを発行したデバイス）が、エラーの重要度を判定すべきであるため、アドバイザリーノンフェータルエラーケースに指定されています。

PCIEC は、UR/CA ステータスを持つコンプリージョンの送信を行っても、PCI Express で規定されているノンフェータルエラーとしてのエラー処理は行いません。エラーの発生を、PCIEERRFR[0].SENDURCPL または、PCIEERRFR[1].SENDACPL に記録し、PCIEERRFER の該当するビットに 1 がセットされていた場合、INT_PCISERR を発生します。

(b) コンプリージョンタイムアウト

リクエストに対する応答を規定された時間内に受信できず、コンプリージョンタイムアウトが発生した場合、リクエストの発行側の判断によりリクエストを再送することができます。再送回数は、リクエストの発行を制御するソフトウェア等により設定可能のため、ハードウェアによるエラー処理を行わないよう、コンプリージョンタイムアウトはアドバイザリーノンフェータルエラーケースに指定されています。

コンプリージョンタイムアウトが発生しても、PCIEC は PCI Express で規定されているノンフェータルエラーとしてのエラー処理は行いません。PCIEC はエラーの発生を、PCIEERRFR[8].CPLTIMEOUT に記録し、PCIEERRFER の該当するビットに 1 がセットされていた場合、INT_PCISERR を発生します。ソフトウェア等により、これ以上再送をできないと判定した場合、ERR_COR を送信する等のエラー処理を、ソフトウェアにより行ってください。

(c) アンエクペクテッドコンプリージョン (Unexpected Completion) の受信

アンエクペクテッドコンプリージョンの受信（送信済みのリクエストに対応しないコンプリージョンを受け取った場合）は、アドバイザリーノンフェータルエラーケースに指定されています。通常、アンエクペクテッドコンプリージョンの受信は、スイッチデバイスを使用している場合の誤ルーティングにより発生しますが、この場合は本来コンプリージョンを受信するはずのデバイスがコンプリージョンタイムアウトの情報を元にエラー処理をすべきとの考えから、アンエクペクテッドコンプリージョンの受信デバイスの処理はアドバイザリーノンフェータルエラーとして指定されています。

PCIEC は、アンエクペクテッドコンプリージョンを受信しても、PCI Express で規定されているノンフェータルエラーとしてのエラー処理は行いません。エラーの発生を、PCIEERRFR[12].UNEXPECTED COMPLETION に記録し、PCIEERRFER の該当するビットに 1 がセットされていた場合、INT_PCISERR を発生します。

(d) UR/CA コンプリージョンの受信

UR/CA ステータスを持つコンプリージョンを受信した場合の処理は、ソフトウェア等の上位のレイヤでエラーの重要度を判定するべきとの考えから、アドバイザリーノンフェータルエラーケースに指定されています。

PCIEC は、UR/CA のコンプリージョンの受信により、PCI Express で規定されているノンフェータルエラーとしてのエラー処理は行いません。エラーの発生を、PCIEERRFR[4].RECEIVEURCPL または、PCIEERRFR[5].RECEIVEACPL に記録し、PCIEERRFER の該当するビットに 1 がセットされていた場合、

INT_PCISERR を発生します。

PCI Express の規格では、Poisoned TLP を受信し、受信処理を継続したケースもアダプザリーノンフェータルエラーケースとして規定していますが、PCIEC では Poisoned データの処理を継続することを許可していないため、このケースに該当するアダプザリーノンフェータルエラーは発生しません。また、PCIEC はインターメディアイトレシーバ (Intermediate Receiver) に関するケースも規定されていますが、PCIEC はインターメディアイトレシーバとしては動作しないため、これに該当する処理は行いません。

13.5.14 物理層制御レジスタへのアクセス

本節では、物理層制御レジスタへのアクセス方法を説明します。

通常の使用時には、マニュアル上で使用を許可されているビット以外へのアクセスは行わないでください。アクセスを許可されていないビットへのアクセスを行った場合、物理層を含む PCIEC モジュールの動作は保障されません。

(1) 概要

PCIEC モジュールの物理層は、物理層を制御するためのレジスタを持っています。これらのレジスタは、物理層レジスタ用のアドレス空間にマッピングされており、PHY 制御バスを經由してアクセスすることができます。物理層レジスタ用アドレス空間は、チップの物理・論理アドレス空間とは独立な空間であり、PCIEC モジュール内のレジスタを經由して PHY 制御バスを介してアクセスします。

本節では、物理層制御用レジスタと、レジスタへのアクセスするための PHY 制御バスについて説明します。

(2) 物理層制御用レジスタ

物理層制御レジスタは、8 ビットのアドレスと、4 ビットのレーン番号により張られる空間内にレジスタを持ちます。各レジスタは、表 13.4 に示されています。本表により、アクセスが許可されているアドレス/レーン/ビットのみにアクセスを行ってください。

(3) PHY 制御バス

物理層制御レジスタには、コマンド / ACK を用いた PHY 制御バスを介してアクセスを行います。PHY 制御バスでは、リード / ライトのコマンドを発行することによりレジスタへのアクセスを行い、ACK の受信によりアクセスが完了したことを確認します。PHY 制御バスへのコマンドの発行、ACK の確認などの制御および ACK の確認は、物理層制御レジスタを介してソフトウェアにより行います。

表 13.17 に PHY 制御バスの信号を示します。これらの信号は、PCIEPHYCTLR、PCIEPHYADRR、PCIEPHYDINR、PCIEPHYDOUTR を介してソフトウェアにより制御します。物理層制御レジスタへのアクセス時には、図 13.10 ~ 図 13.12 に示すシーケンスにしたがって、ライト、リード、初期化を行ってください。

表 13.17 PHY 制御バスの信号

信号名	ビット幅	対応するレジスタ	意味
CLKEN	1	PCIEPHYCTLR[0].PHYCKE	クロックイネーブル 1 のとき、PHY 制御バスへのクロック供給を行います。
Reset	1	PCIEPHYCTLR[31].PHYRST	リセット 1 のとき、初期化を行います。
Address	8	PCIEPHYADRR[7:0].PHYADDR	アドレス 物理層制御レジスタ空間内のアドレスを指定します。
Command	2	PCIEPHYADRR[17:16].PHYCMD	コマンド バスアクセスのコマンドを指定します。 2'b00 : Idle 2'b01 : Write 2'b10 : Read 2'b11 : 予約 (指定しないでください)
DataIn	32	PCIEPHYDINR[31:0].PHYDIN	ライトデータ ライト時の書き込みデータをセットします。
LaneEn	4	PCIEPHYADRR[11:8].PHYLANE	レーン アクセス対象となるレーンを指定します。 ライト時には、複数のレーンを指定できます。 リード時には、1 レーンのみを指定してください。
Ack	1	PCIEPHYADRR[24].PHYACK	ACK アクセスの完了を示す ACK 信号を示します。
DataOut	32	PCIEPHYDOUTR[31:0].PHYDOUT	リードデータ リード時の読み出しデータを示します。

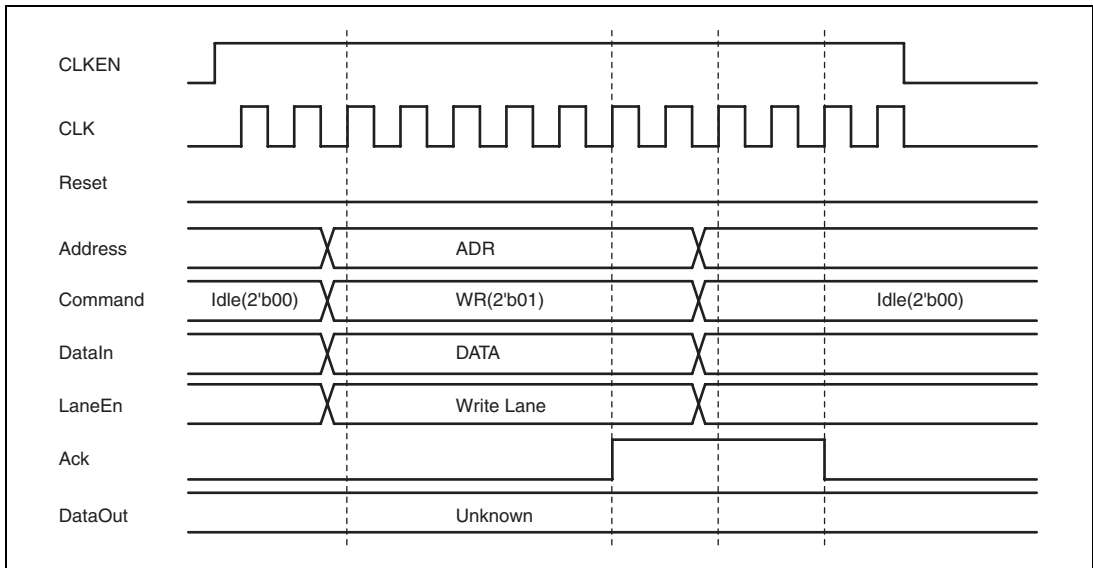


図 13.10 物理層制御レジスタへのライトシーケンス

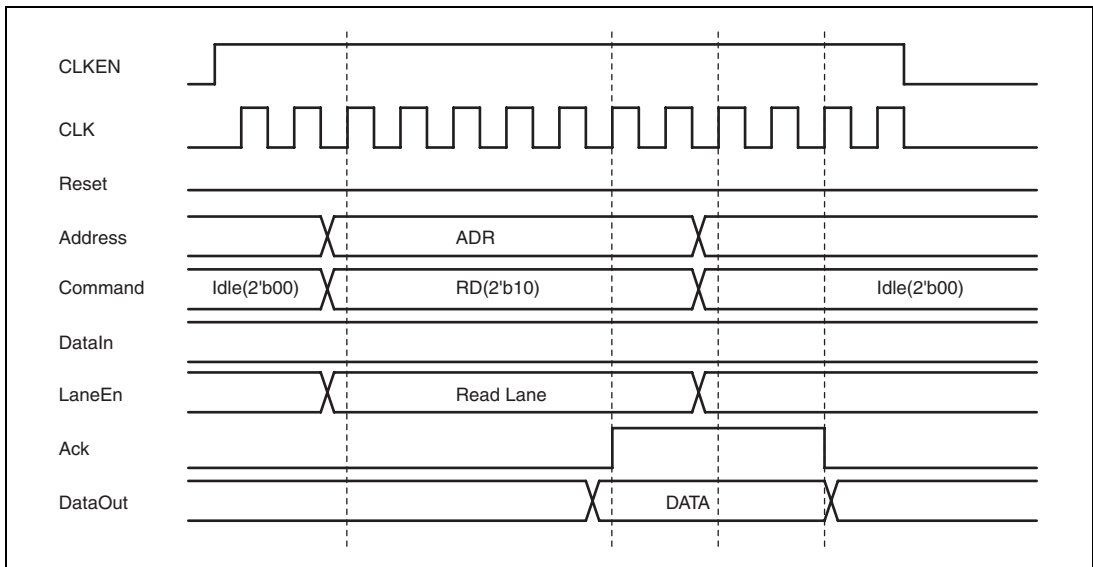


図 13.11 物理層制御レジスタからのリードシーケンス

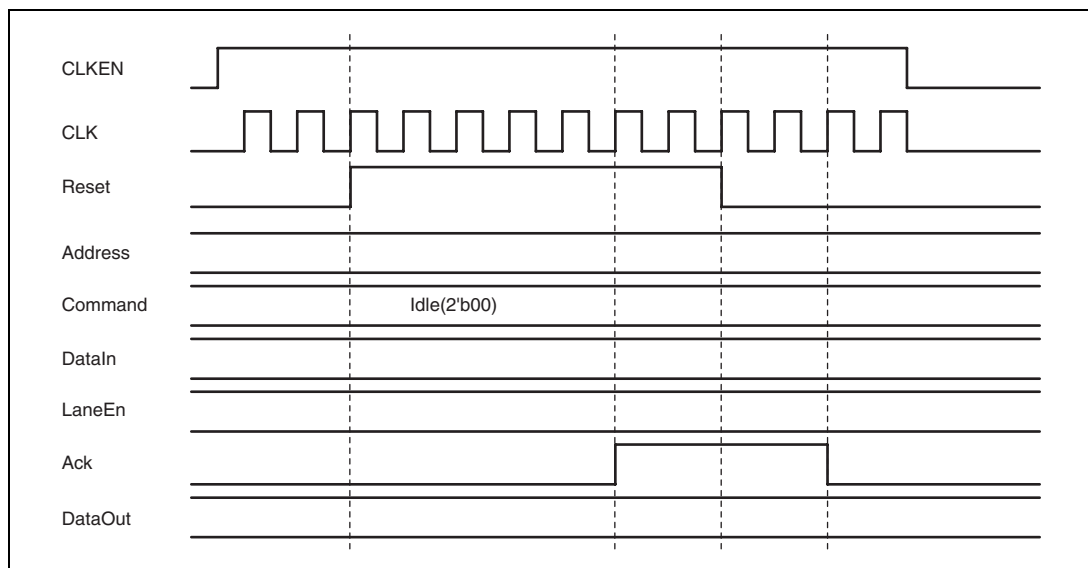


図 13.12 物理層制御レジスタの初期化

(4) 起動時の処理

PCIEC モジュールを使用する場合、物理層の初期設定として、以下の順序で物理層制御レジスタの値を修正した後に使用してください。

x4 (PCIEC0) + x1 (PCIEC1) モードで使用する場合、PCIEC0/PCIEC1 を使用する場合、PCIEC0/PCIEC1 の物理層制御レジスタに対して初期化を行ってください。

x2(PCIEC0) + x1(PCIEC1) + x1(PCIEC2) モードで使用する場合、PCIEC0/PCIEC2 を使用する場合には PCIEC0 に対して、PCIEC1 を使用する場合には PCIEC1 に対して初期化を行ってください。

表 13.18 物理層制御レジスタの初期化

順序	アドレス	レーン (PCIEC0)	レーン (PCIEC1)	書き込みデータ
1	H'60	0~3	0	H'004B_008B
2	H'61	0~3	0	H'0000_7B41
3	H'64	0~3	0	H'00FF_4F00
4	H'65	0~3	0	H'0907_0907
5	H'66	0~3	0	H'0000_0010
6	H'74	0~3	0	H'0007_001C
7	H'79	0~3	0	H'01FC_000D
8	H'B0	0~3	0	H'0000_0610
9	H'67	0	0	H'0000_0400

13.5.15 ソフトウェアリセット

本節では、ソフトウェアにより PCIEC モジュールのブリッジ部・制御部を初期化する方法を説明します。

(1) 目的

ソフトウェアリセットは、ハードウェアの障害などのため、本モジュールが異常な状態に陥った場合の回復手段として使用します。ソフトウェアリセットの印加により、転送中のパケットは破棄されます。

(2) ソフトウェアリセット手順

- CFINITを0にする。
- Phyをリセット、リセット解除
- PCIECのソフトリセットアサート ディアサート
- SPWのソフトリセットアサート ディアサート

PCIESRSTR[0].SRST に 1 を書き込む。

CFINIT に 0 を書き込む。

PCIESRSTR[0].SRST に 0 を書き込む。

PCIETXVC0SR[63].TXBUSCLR に 1 を書き込み、PCIEC 制御部を初期化する。

その後、PCIEC の初期化を行ってください。

13.5.16 参考文献

- "PCI Express Base Specification Revision 1.1", March 28 2005, PCI-SIG
- "PCI Bus Power Management Interface Specification Revision 1.2", March 3 2004, PCI-SIG
- "PCI Local Bus Specification Revision 3.0", February 3 2004, PCI-SIG

14. USB

14.1 USB

14.1.1 概要

USB モジュールは図 14.1 に示すように USB-LINK(EHCI/OHCI/FUNCTION)/PHY、各 Interface および共通レジスタ (REGS) によって構成されています。「14.1 USB」では共通レジスタ (REGS) および USB-PHY 外付け回路の説明を行います。USB-LINK (EHCI/OHCI/FUNCTION) レジスタについては EHCI は「14.2 USB2.0-HOST コントローラ」を、OHCI は「14.3 USB1.1-HOST コントローラ」を、FUNCTION は「14.4 USB2.0-機能コントローラ」を参照してください。

下記制御が可能です。

- USBモジュール内部の初期化
- Host/Functionのポート切り替え (On-the-GO機能は未対応)
- OVC/VBUSの極性切り替え

14.1.2 回路図

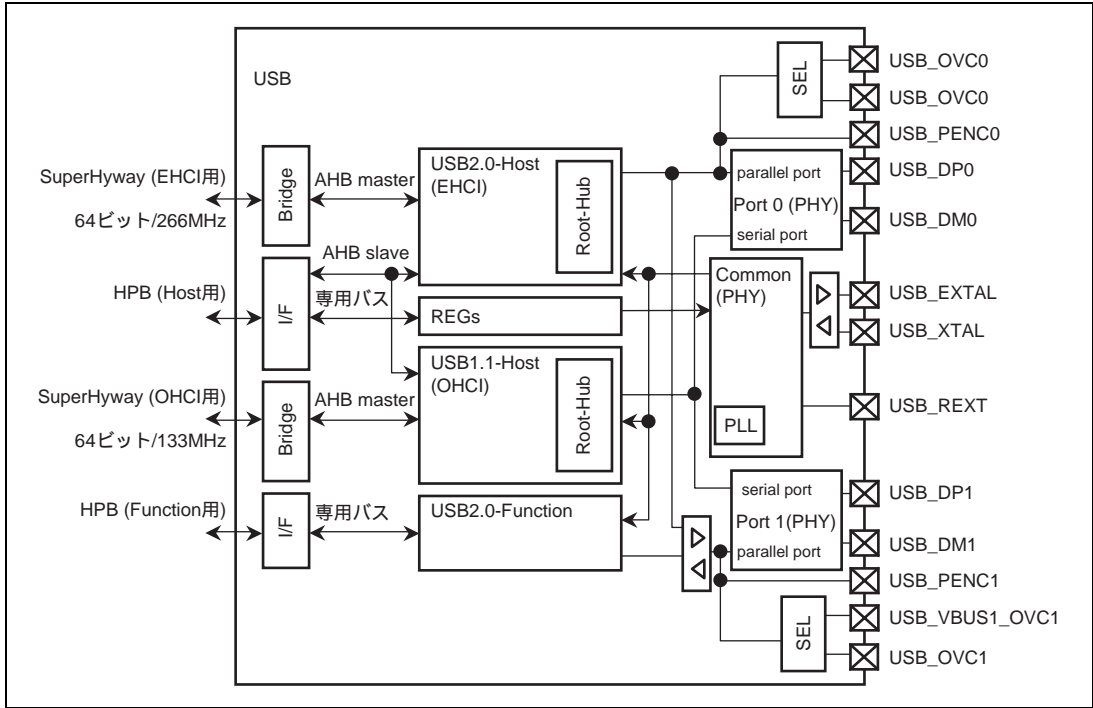


図 14.1 USB 回路図

14.1.3 外部端子

表 14.1 端子一覧

端子名	入出力	説明
USB_EXTAL	入力	PLL 発振用クロック、外部クロック入力端子
USB_XTAL	入力	PLL 発振用クロック
USB_DP0	入出力	USB port0 D+
USB_DM0	入出力	USB port0 D-
USB_PENC0	出力	Port Enable0 初期状態は"0"【Host : 電源 IC 管理 1=電源 ON、0=電源 OFF】
USB_OVC0	入力	Over Current0【Host : 過電流検出】、"LowActive"
USB_OVC0*	入力	Over Current0【Host : 過電流検出】 初期状態は"LowActive"で、レジスタ切り替え可能。
USB_DP1	入出力	USB port1 D+
USB_DM1	入出力	USB port1 D-
USB_PENC1	出力	PortEnable1 初期状態は"0" 【Host : 電源 IC 管理 1=電源 ON、0=電源 OFF、Function : Port 出力機能】
USB_VBUS1_OVC1	入力	VBUS/OverCurrent1 【Host : 過電流検出、Function : ケーブル接続/切断の検出】、"LowActive"
USB_OVC1*	入力	VBUS/OverCurrent1 【Host : 過電流検出、Function : ケーブル接続/切断の検出】 初期状態は HostMode の"LowActive"で、レジスタ切り替え可能。
USB_REXT	入出力	外部抵抗接続用端子

【注】 * この端子は DMAC0 の端子と共用されています。

14.1.4 レジスタ一覧

CPU アクセスのみ許可。CPU 以外のアクセスでの動作は保証しません。レジスタのビット幅は 32 ビットで、ロングワードサイズ (32 ビット) でアクセスしてください。ロングワードサイズ以外でレジスタアクセスを行った場合の動作は保証しません。

表 14.2 レジスタ一覧

名 称	略 称	R/W	アドレス	初期値
Port Control 0	USBPCTRL0	R/W	H'FFE70800	H'XXXXXXXX*
Port Control 1	USBPCTRL1	R/W	H'FFE70804	H'XXXXXXXX*
Port Status	USBST	R	H'FFE70808	H'XXXXXXXX*
EHCI Control 0	USBEOH	R/W	H'FFE7080C	H'00000000
OHCI Control 0	USBOH0	R/W	H'FFE7081C	H'00000000
USB Control 0	USBCTL0	R/W	H'FFE70858	H'00000224

【注】 上記アドレス以外への書き込みは行わないでください。

書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

* 初期値詳細はそれぞれのレジスタの説明を参照してください。

【レジスタ説明の記号説明】

初期値 : リセット後のレジスタ値

: 不定値

R/W : リードおよびライト可。書き込み値を読み出すことができます。

R : リードのみ可。書き込む値は常に 0 にしてください。

W : ライトのみ可。読み出し値は不定です。

(1) Port Control 0 (USBPCTRL0)

Port の機能割り当てレジスタ。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	VBUS/ OVC1	OVC0	—	—	—	PENC	OVC0_ ACT	—	OVC1_ ACT	PORT1
初期値 :	—	—	—	—	—	—	0	0	—	—	—	0	0	—	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10			R	リザーブ "0"以外の書き込み禁止
9	VBUS/OVC1	0	R/W	VBUS/OVC1 入力切り替え 0 : USB_VBUS1_OVC1 端子からの入力を使用 1 : USB_OVC1*端子からの入力を使用
8	OVC0	0	R/W	OVC0 入力切り替え 0 : USB_OVC0 端子からの入力を使用 1 : USB_OVC0*端子からの入力を使用
7~5			R	リザーブ "0"以外の書き込み禁止
4	PENC	0	R/W	Function を選択した PENC1 用レジスタ 0 : Low 出力 1 : High 出力
3	OVC0_ACT	0	R/W	【ビット 9 にて USB_OVC1 端子を選択した場合】 Host 時 : OVC0 極性切り替え 0 : Low Active 1 : High Active
2			R	リザーブ "0"以外の書き込み禁止
1	OVC1_ACT	0	R/W	【ビット 8 にて USB_OVC0 端子を選択した場合】 Host 時 : OVC1 極性切り替え 0 : Low Active 1 : High Active Function 時 : VBUS1 極性切り替え 0 : 0 で接続検出、1 で切断検出 1 : 0 で切断検出、1 で接続検出

ビット	ビット名	初期値	R/W	説 明
0	PORT1	0	R/W	Port1 Host/Function 切り替え 0 : Host 1 : Function

【注】 * この端子は DMAC0 の端子と共用されています。

(2) Port Control 1 (USBPCTRL1)

Port の機能割り当ておよび USB 初期化レジスタ。RST ビットを使用した場合に初期化されるレジスタは USBCTL、USBSTT を除くすべての USB レジスタが対象になります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RST	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	PHY RST	PLL ENB	PHY ENB
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	RST	0	R/W	USB モジュールの初期化を行う 本ビットは 1 設定中リセットをアサートし続けます。 起動させたい場合は 0 を設定してください。 0 : ネゲート 1 : アサート
30~3			R	リザーブ "0"以外の書き込み禁止
2	PHY RST	0	R/W	USB-PHY のリセット USB を使用する場合は PHYENB を 1、PLLENB を 1 に設定し、PLL の発振安定期間後、1 を設定してください。 0 : アサート 1 : ネゲート
1	PLL ENB	0	R/W	USB- PHY 内部の PLL イネーブル USB を使用する場合は PHYENB を 1 に設定した後、1 を設定してください。 0 : ディスエーブル 1 : イネーブル
0	PHY ENB	0	R/W	USB- PHY のイネーブル USB を使用する場合は 1 を設定してください。 0 : ディスエーブル 1 : イネーブル

USB モジュールを使用する場合の手順

1. USBPCTRL1レジスタ：bit[0] (PHY ENB) に1を設定。
2. USBPCTRL1レジスタ：bit[1] (PLL ENB) に1を設定。
3. USBStatusレジスタ：bit[30] (PLL)、bit[31] (ACT) がともに1になっているのを確認。
4. USBPCTRL1レジスタ：bit[2] (PHY RST) に1を設定。

(3) USB Status (USBST)

USB モジュールの状態を示すレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ACT	PLL	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	—*1	—*2	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	ACT	*1	R	USB モジュールの状態を示します。 レジスタ設定を行う場合は bit[31:30]両方が 1 になっていることを確認してから実行してください。 0：初期化中 1：動作中
30	PLL	*2	R	USB 用 PLL の状態を示します。 レジスタ設定を行う場合は bit[31:30]両方が 1 になっていることを確認してから実行してください。 0：発振不安定 1：発振安定
29~0			R	リザーブ "0"以外の書き込み禁止

【注】 *1 LSI が起動してから約 1ms 以内にリードした場合は"0"が読み出されます。

*2 USB_EXTAL/USB_XTAL からクロックを入力しなければ発振安定にはなりません。

(4) EHCI Control 0 (USBEH0)

本レジスタは EHCI 側 Bridge 部のデータアライメントを制御するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0		H'0000 0000	R/W	バスアライメント制御レジスタです。詳細は「14.1.5 初期設定」を参照願います。

(5) OHCI Control 0 (USBOH0)

本レジスタは OHCI 側 Bridge 部のデータアライメントを制御するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0		H'00000 000	R/W	バスアライメント制御レジスタです。詳細は「14.1.5 初期設定」を参照願います。

(6) USB Control0 (USBCTL0)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CLK SEL	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	1	0	0	0	1	0	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~10		すべて0	R	リザーブ
9		1	R	リザーブ
8		0	R	リザーブ
7	CLKSEL	0	R/W	USB クロックモード 0: 水晶発振子モード (初期値) 1: 外部クロックモード
6		0	R	リザーブ
5		1	R	リザーブ
4, 3		すべて0	R	リザーブ
2		1	R	リザーブ
1, 0		すべて0	R	リザーブ

14.1.5 初期設定

USB 機能を使用する場合、下記設定を行う必要があります。

- 設定1
 - アドレス : H'FFE7_0094
 - 初期値データ : H'00400040
 - 書き込みデータ : H'00FF0040
- 設定2
 - アドレス : H'FFE7_009C
 - 初期値データ : H'00000000
 - 書き込みデータ : H'00000001

EHCI/OHCI レジスタおよび Function レジスタへアクセスするには下記手順を行った後、実行してください。

- 設定1
 - アドレス : H'FFE7_0804 (USBPCTRL1)
 - 書き込みデータ : H'00000001 (PHY ENBに1を設定し、USB-PHYをスタンバイ状態から解除する)
- 設定2
 - アドレス : H'FFE7_0804 (USBPCTRL1)
 - 書き込みデータ : H'00000003 (PLL ENBに1を設定し、USB-PHY内部のPLLを動作させる)
- 確認
 - アドレス : H'FFE7_0808 (USBST)
 - 確認ビット : bit[31] = "1" (USBが動作状態であることを示す)
 - 確認ビット : bit[30] = "1" (USB用PLLが発振安定状態であることを示す)
- 設定3
 - アドレス : H'FFE7_0804 (USBPCTRL1)
 - 書き込みデータ : H'00000007 (PHY RESETに1を設定し、USB-PHY内部ロジックのリセットを解除する)

バスアライメント処理として下記値を設定してください。

EHCI 側バスアライメント処理

- 設定

アドレス : H'FFE7_080C (USBEH0)

初期値データ : H'00000000

書き込みデータ : 下記表参照

エンディアン	スワップ設定	レジスタ値	備考
ビッグ	スワップなし	H'0000_0003	通常はこの値を設定してください。
	バイトスワップ	H'0000_0002	
	ワードスワップ	H'0000_0001	
	ワードバイトスワップ	H'0000_0000	
リトル	スワップなし	H'0000_0000	通常はこの値を設定してください。
	バイトスワップ	H'0000_0001	
	ワードスワップ	H'0000_0002	
	ワードバイトスワップ	H'0000_0003	

OHCI 側バスアライメント処理

- 設定

アドレス : H'FFE7_081C (USBOH0)

初期値データ : H'00000000

書き込みデータ : 下記表参照

エンディアン	スワップ設定	レジスタ値	備考
ビッグ	スワップなし	H'8800_0003	通常はこの値を設定してください。
	バイトスワップ	H'8800_0002	
	ワードスワップ	H'8800_0001	
	ワードバイトスワップ	H'8800_0000	
リトル	スワップなし	H'0000_0000	通常はこの値を設定してください。
	バイトスワップ	H'0000_0001	
	ワードスワップ	H'0000_0002	
	ワードバイトスワップ	H'0000_0003	

14.1.6 未使用時の接続例

未使用端子の処理について説明します。

- USB_DP/USB_DMの接続例

未使用時は両ポートともOpenにしてください。

- USB_OVC/USB_PENCの接続例

USB_OVCはHOSTではNotActive状態に、Functionでは切断状態になるようにしてください。

【例：HOST時にLowActive設定ならばPull-Up処理】

USB_PENCはOpenにしてください。

なお、USB_OVC/USB_PENCはGPIO設定が可能です。

GPIO設定時はGPIOの処理に従ってください。

14.2 USB2.0-HOST コントローラ

14.2.1 概要

このドキュメントでは、EHCI 規格について説明します。USB ホストのシステムを開発する際に、ご参考としてお使いください。なお、EHCI 規格の詳細につきましては、「Enhanced Host Controller Interface Specification for Universal Serial Bus Revision 1.0」をご覧ください。

14.2.2 レジスタの説明

CPU アクセスのみ許可。CPU 以外のアクセスでの動作は保証しません。レジスタのビット幅は 32 ビットで、ロングワードサイズ (32 ビット) でアクセスしてください。ロングワードサイズ以外でレジスタアクセスを行った場合の動作は保証しません。

アドレスは $H'FFE70000 + \text{Offset}$ になります。

表 14.3 Host Controller Capability Registers

Offset	31	16	15	8	7	0
0	HCIVERSION		Reserved		CAPLENGTH	
4	HCSPARAMS					
8	HCCPARAMS					
C	HCSP-PORTROUTE					

アドレスは $H'FFE70010 + \text{Offset}$ になります。

表 14.4 Host Controller Operational Registers

Offset	31	0
0	USBCMD	
4	USBSTS	
8	USBINTR	
C	FRINDEX	
10	CTRLDSSEGMENT	
14	PERIODICLISTBASE	
18	ASYNCLISTADDR	
1C – 3F	Reserved	
40	CONFIGFLAG	
44	PORTSC (1 – N_PORT)	

【注】 上記アドレス以外への書き込みは行わないでください。

書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

【レジスタ説明の記号説明】

Read/Write 属性欄の意味合いは以下のとおりです。

属性	意 味
R	Read Only リードのみ可能。ライトは無効。
W	Write Only ライトのみ可能。リードすると0が読み出されます。
R/W	Read/Write リードもライトも可能。
R/WC	Read/Write Clear リードもライトも可能ですが、ライトはクリアのため。1ライトでクリアされ、0ライトは無効。

(1) HCIVERSION

このレジスタは、HC がサポートする EHCI 規格のバージョンを BCD 表記で示します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	HCIVERSION															
初期値 :	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	HCD R/W	説 明
31~16	HCIVERSION	H'0100	R	Host Controller Interface Version Number HC がサポートする EHCI 規格のバージョンを示します (BCD 表示)。

(2) CAPLENGTH

このレジスタは Capability レジスタ領域全体のサイズを示します。

ビット :	7	6	5	4	3	2	1	0
	CAPLENGTH							
初期値 :	0	0	0	1	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	HCD R/W	説 明
7~0	CAPLENGTH	H'0010	R	Capability Register Length Capability レジスタ領域のサイズを示します。 Operational レジスタ領域は Capability レジスタ領域の直後に配置されるので、このレジスタの値を Offset として使うことで Operational レジスタ領域の位置を知ることができます。

(3) HCSPARAMS

このレジスタは、ポートの数など、HC の構造パラメータ群を示します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	DPN				—	—	—	P_INDI
初期値 :	—	—	—	—	—	—	—	—	0	0	0	0	—	—	—	0
R/W :	—	—	—	—	—	—	—	—	R	R	R	R	—	—	—	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	N_CC				N_PCC				PRR	—	—	PCC	N_PORTS			
初期値 :	0	0	0	1	0	0	1	0	0	—	—	1	0	0	1	0
R/W :	R	R	R	R	R	R	R	R	R	—	—	R	R	R	R	R

ビット	ビット名	初期値	HCD R/W	説明
31~24				リザーブビット
23~20	DPN	0000	R	Debug Port Number (Optional) N_PORTS 個あるポートの中で、Debug Port であるポートを示します。 0 : Debug Port は存在しません。 0 以外 : Debug Port が存在します。このフィールドの値がそのままポート番号になります。 このフィールドの値は N_PORTS より大きい値は設定不可。
19~17				リザーブビット
16	P_INDI	0	R	Port Indicator (P_INDICATOR) ポートが Port Indicator Control 機能をサポートしているかどうかを示します。 0 : Port Indicator Control はサポートしません。 1 : Port Indicator Control はサポートします。 この場合、PORTSC レジスタの Port Indicator Control のフィールドで Port Indicator の制御が可能です。
15~12	N_CC	0001	R	Number of Companion Controller (N_CC) 搭載している USB1.1 Companion Host Controller の個数を示します。 0 : Companion Host Controller は搭載していません。EHCI Host Controller のみ。 0 以外 : このフィールドで示された値だけ、Companion Host Controller を搭載しています。
11~8	N_PCC	0010	R	Number of Ports per Companion Controller (N_PCC) 一つの Companion Host Controller が持つポートの数を示します。

ビット	ビット名	初期値	HCD R/W	説 明
7	PRR	0	R	<p>Port Routing Rule</p> <p>それぞれのポートをどの Companion Host Controller に割り当てるかを定める Routing ルールを指定します。</p> <p>0 : N_PCC 個数分つづ、cHC の若い番号順に割り当てます。</p> <p>N_PORT=8、N_CC=2、N_PCC=4 だとすると、No1 ~ No4 のポートは最初の Companion Host Controller に、No5 ~ No8 のポートは 2 番目の Companion Host Controller。</p> <p>1 : HCSP-PORTROUTE に割り当てルールを定義し、それに従って割り当てます。</p>
6、5				リザーブビット
4	PCC	1	R	<p>Port Power Control (PCC)</p> <p>ポート電源の ON、OFF を切り替え可能かを示します。</p> <p>0 : ポート電源は切り替え不可。</p> <p>1 : ポート電源は切り替え可能。</p> <p>1 の場合、PORTSC レジスタの Port Power は切り替え可能。</p>
3~0	N_PORTS	0010	R	<p>N_PORTS</p> <p>HC がもつ Down Stream ポートの数を示します。この値によって Operational レジスタ空間のポートレジスタ (PORTSC) の個数も決まります。H'1 ~ H'F の範囲で指定します。</p>

(4) HCCPARAMS

このレジスタは、HC の能力に関するパラメータ群を示します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EECP								IST				—	ASPC	PFLF	64AC
初期値 :	1	0	1	0	0	0	0	0	0	0	0	1	—	1	1	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	—	R	R	R

ビット	ビット名	初期値	HCD R/W	説明
31~16				リザーブビット
15~8	EECP	H'A0	R	EHCI Extended Capabilities Pointer (EECP) 追加の Capability 情報を設定したい場合、PCI Configuration 領域に追加 Capability 領域を確保することができます。このフィールドで、その追加した Capability 領域への Offset を指定します。
7~4	IST	0001	R	Isochronous Scheduling Threshold Isochronous Schedule データのキャッシングモードを示します。 7Bit 目=0 : MicroFrame キャッシング。 [6 : 4]でキャッシングする mFrame を指定。 7Bit 目=1 : Frame キャッシング。一つの Frame 分をキャッシング。 1000 : 1Frame 分丸ごとキャッシングするので、今の Frame 対応するデータ構造体は修正できません。次の Frame 以後のデータ構造体は修正可能。 0010 : 2 マイクロ Frame 分キャッシュするので、3 マイクロ Frame 先以後のデータ構造体は修正可能です。 0000 : データ構造体をキャッシングせず、各マイクロ Frame でその都度データ構造体を取得します。そのため、次のマイクロ Frame 以後のデータ構造体が修正可能です。
3				リザーブビット
2	ASPC	1	R	Asynchronous Schedule Park Capability Asynchronous Schedule 内の HS 用 QH に対する Park 機能を有効にするかを指定します。 0 : Park 機能はサポートしません。 1 : Park 機能をサポートします。 この場合、USBCMD レジスタの Asynchronous Schedule Park Mode Enable、Asynchronous Schedule Park Mode Count により Park 機能を使うことができます。

ビット	ビット名	初期値	HCD R/W	説 明
1	PFLF	1	R	Programmable Frame List Flag Frame List のサイズが可変かどうかを指定します。 0 : Frame List の要素数は 1024 で固定。 この場合、USBCMD レジスタの Frame List Size は Read Only であり、 0 となります。 1 : Frame List の要素数を変更できます (512、256 に変更することができます)。 USBCMD レジスタの Frame List Size により変更できます。
0	64AC	0	R	64-Bit Addressing Capability 各種データ構造体アクセスする際のアドレッシングモードを指定します。 0 : 32Bit アドレッシング 1 : 64Bit アドレッシング

(5) HCSP-PORTROUTE

このレジスタは、各 DownStream ポートをどの Companion HC に割り当てるかを指定します。

このレジスタは、HCSPARAMS レジスタの PortRoutingRules フィールドが 1 である場合のみ有効です。

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	—	—	—	—	HCSP-PORTROUTE											
初期値:	—	—	—	—	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	HCSP-PORTROUTE															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	HCSP-PORTROUTE															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HCSP-PORTROUTE															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	HCD R/W	説 明
63~60				リザーブビット
59~0	HCSP- PORTROUTE	すべて 0	R	HCSP-PORTROUTE N_PORTS 個のポートのそれぞれが、何番目の Companion Host Controller に 対応するかを示します。Companion Host Controller の番号を 4Bit で指定しま す。N_PORTS は最大 15 であり、本レジスタは 15×4=60Bit 長となります。 たとえば、H'0 H'1 H'0 H'1...となっていれば、対応する Companion Host Controller の番号は、それぞれ 1、2、1、2...となります。

(6) USBCMD

このレジスタは、HC 自体の On/Off 設定、HC リセットの制御、Schedule 処理の On/Off などを設定できます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	ITC							
初期値 :	—	—	—	—	—	—	—	—	0	0	0	0	1	0	0	0
R/W :	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ASPME	—	ASPMC	LHCR	IAAD	ASE	PSE	FLS	HCR	RS		
初期値 :	—	—	—	—	1	—	1	1	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	HCD R/W	説 明
31~24				リザーブビット
23~16	ITC	H'08	R/W	<p>Interrupt Threshold Control</p> <p>Host Controller がハードウェア割り込みを発生させる頻度 (割り込みの最大間隔) を示す。</p> <p>H'01 : 1 マイクロ Frame</p> <p>H'02 : 2 マイクロ Frame</p> <p>H'04 : 4 マイクロ Frame</p> <p>H'08 : 8 マイクロ Frame (初期値、1ms)</p> <p>H'10 : 16 マイクロ Frame (2ms)</p> <p>H'20 : 32 マイクロ Frame (4ms)</p> <p>H'40 : 64 マイクロ Frame (8ms)</p> <p>このフィールドは USBSTS レジスタの HCHalted ビットが 0 の場合に設定しないでください。</p>
15~12				リザーブビット
11	ASPME	1	R/W	<p>Asynchronous Schedule Park Mode Enable (Optional)</p> <p>Asynchronous Schedule の Park Mode を有効にします。</p> <p>0 : ParkMode は無効</p> <p>1 : ParkMode は有効</p> <p>このビットは HCCPARAMS レジスタの Asynchronous Schedule Park Capability ビットが 1 にセットされていなければ 0 固定で Read Only となります。</p> <p>逆に Asynchronous Schedule Park Capability が 1 にセットされていれば、初期値が 1 で、Read/Write 可能となります。</p>
10				リザーブビット

ビット	ビット名	初期値	HCD R/W	説明
9、8	ASPMC	11	R/W	<p>Asynchronous Schedule Park Mode Count (Optional)</p> <p>Asynchronous Schedule 中の一つの QH から、一度に発行するトランザクションの数を設定します。たとえば、3 と設定されている場合、フェッチした QH から 3 回バストランザクションを実行してから、次の QH をフェッチします。</p> <p>Asynchronous Schedule Park Mode を 1 に設定した場合、本フィールドを 0 に設定しないでください。</p> <p>このフィールドは HCCPARAMS レジスタの Asynchronous Schedule Park Capability ビットが 1 にセットされていなければ 0 固定で Read Only となります。</p> <p>逆に Asynchronous Schedule Park Capability が 1 にセットされていれば、初期値が 3 で、Read/Write 可能となります。</p>
7	LHCR	0	R/W	<p>Lighthost Controller Reset (Optional)</p> <p>ポートの状態、ポートのオーナーシップの関係に影響を与えることなく、EHCI Host Controller をリセットします。つまり、PORTSC レジスタ、CF レジスタを初期化することなく、他のレジスタを初期化します。</p> <p>本ビットに 1 をセットすることで、Lighthost Controller Reset を実行することができます。そして、本ビットをリードして 0 であればリセット完了したことがわかります。1 であればまだリセット中であることを示します。</p>
6	IAAD	0	R/W	<p>Interrupt on Async Advance Doorbell</p> <p>System Software が Host Controller に対して、Asynchronous Schedule の処理を進めるときに割り込みを発生させるように依頼するためのものです。</p> <p>本ビットがセットされると、Host Controller は、キャッシングしている Asynchronous Schedule データをクリアし、USBSTS レジスタの Interrupt on Async Advance ビットをセットします。このとき、USBINTR レジスタの Interrupt on Async Advance Enable がセットされていたら、Host Controller は次の Interrupt Threshold で割り込みを発生させます。</p>
5	ASE	0	R/W	<p>Asynchronous Schedule Enable</p> <p>Host Controller が Asynchronous Schedule を実行するか、もしくは実行しないでスキップするかを指定します。</p> <p>0 : Asynchronous Schedule を処理しません。</p> <p>1 : ASYNCLISTADDR レジスタを使って、Asynchronous Schedule を処理します。</p>
4	PSE	0	R/W	<p>Periodic Schedule Enable</p> <p>Host Controller が Periodic Schedule を実行するか、もしくは実行しないでスキップするかを指定します。</p> <p>0 : Periodic Schedule を処理しません。</p> <p>1 : PERIODICLISTBASE レジスタを使って、Periodic Schedule を処理します。</p>

ビット	ビット名	初期値	HCD R/W	説 明
3、2	FLS	00	R/W	<p>Frame List Size</p> <p>Frame List のサイズを規定します。</p> <p>このフィールドで規定した Frame List のサイズによって、Frame List Index レジスタのどのビットを Frame List Current Index のために使うかが決まります。</p> <p>HCCPARAMS レジスタの Programmable Frame List Flag がセットされているときのみ、本ビットにライトできます。</p> <p>00 : 1024 Elements (4096Byte)</p> <p>01 : 512 Elements (2048Byte)</p> <p>10 : 256 Elements (1024Byte)</p>
1	HCR	0	R/W	<p>Host Controller Reset (HCRESET)</p> <p>Host Controller をリセットします。このビットにより Host Controller がリセットされた場合、Root Hub のレジスタについては、チップの Hardware リセットと同様に振る舞いになります。</p> <p>このビットがセットされた場合、Host Controller は、Host Controller 内の Pipeline、timer、counter、state machine などリセットし、初期値をセットします。また、その時点で行われているすべての転送をすぐに終了させます。Downstream ポートにはこのリセットはドライブされません。</p> <p>リセットによって、PCI Configuration レジスタ領域の各レジスタは初期化されませんが、Operational レジスタ領域の全レジスタは Port のレジスタ、Port の State Machine も含めてすべて初期値に戻される。Port のオーナシップは Companion Host Controller に戻されます。そのため、リセット後ソフトウェアは Host Controller を再度動作状態に戻すために、Host Controller を再初期化する必要があります。</p> <p>このビットのクリアは（つまり 1 がセットされた後、再び 0 に戻すのは）、Host Controller が行います。リセット処理が完了したときに Host Controller がクリアします。リセット処理中にソフトウェアがこのビットをクリアしてリセット処理を中断させることはできません。</p> <p>また、ソフトウェアは USBSTS レジスタの HC Halted ビットが 0 のときは、この HCRESET をセットすることはできません。つまり、Host Controller が実行状態のときは USBRESET しないでください。</p>

ビット	ビット名	初期値	HCD R/W	説 明
0	RS	0	R/W	<p>Run/Stop</p> <p>このビットは Host Controller 全体の ON/OFF を制御します。</p> <p>0 : 0 がセットされた場合、Host Controller は現在実行中のすべての通信を完了させて、動作を停止します。</p> <p>Host Controller は、ソフトウェアがこのビットをクリアしてから 16microframe 以内に動作を停止しないとけません。</p> <p>USBSTS レジスタの Halted ビットで、Host Controller が実行中の転送を完了させて、Stop 状態に遷移したかを確認できます。</p> <p>1 : 1 である間、Host Controller は Schedule を実行しつづけます。</p> <p>ソフトウェアは Host Controller が Halt 状態のとき(USBSTS/Halted=1 のとき)には、この Run/Stop を 1 にセットしないでください。</p>

(7) USBSTS

このレジスタは割り込みや Schedule などの各種のステータス情報を示します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ASS	PSS	R	HCH	—	—	—	—	—	—	IAA	HSE	FLR	PCD	UEI	UI
初期値 :	0	0	0	1	—	—	—	—	—	—	0	0	0	0	0	0
R/W :	R	R	R	R	—	—	—	—	—	—	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC

ビット	ビット名	初期値	HCD R/W	説明
31～16				リザーブビット
15	ASS	0	R	Asynchronous Schedule Status Asynchronous Schedule の現状の（実際の）状態を示します。 0 : Asynchronous Schedule が Disable 1 : Asynchronous Schedule が Enable ソフトウェアが USBCMD レジスタの Asynchronous Schedule Enable ビットをセット/クリアして Asynchronous Schedule を Enable/Disable にした場合、Host Controller はすぐに Asynchronous Schedule を Enable/Disable にする必要はありません（ソフトウェアの要求をすぐには反映する必要はありません）。 このビットと USBCMD レジスタの Asynchronous Schedule Enable ビットが一致していれば、Asynchronous Schedule が Enable/Disable であると分かります。
14	PSS	0	R	Periodic Schedule Status Periodic Schedule の現状の（実際の）状態を示します。 0 : Periodic Schedule が Disable 1 : Periodic Schedule が Enable ソフトウェアが USBCMD レジスタの Periodic Schedule Enable ビットを Enable/Disable にした場合、Host Controller はすぐに Periodic Schedule を Enable/Disable にする必要はありません（ソフトウェアの要求をすぐには反映する必要はありません）。 このビットと USBCMD レジスタの Periodic Schedule Enable ビットが一致していれば、Periodic Schedule が Enable か Disable が分かります。
13	R	0	R	Reclamation Asynchronous Schedule が空の状態を検出した場合にセットされます。

ビット	ビット名	初期値	HCD R/W	説明
12	HCH	1	R	<p>HCHalted</p> <p>Host Controller の状態を示します。</p> <p>0 : USBCMD レジスタの Run/Stop ビットが 1 である場合。</p> <p>1 : Run/Stop ビットがクリアされて、Host Controller が停止した場合。</p> <p>Run/Stop ビットのクリアは、ソフトウェアからも行われ、ハードウェアからも行われます (Internal Error などの場合)。</p>
11 ~ 6				リザーブビット
5	IAA	0	R/WC	<p>Interrupt on Async Advance</p> <p>ソフトウェアは USBCMD の Interrupt On Async Advance Doorbell ビットをセットすることにより、Host Controller に Asynchronous Schedule を進めたときに割り込みを発生させることを強制することができます。</p> <p>本ビットは、これにより Host Controller が Asynchronous Schedule を進めたことを示します。</p> <p>このビットはステータスビットであり、この割り込み要因によって割り込みが起こったことを示します。</p> <p>本割り込みは、Asynchronous Schedule から Queue Head を削除する場合に使われます。</p>
4	HSE	0	R/WC	<p>Host System Error</p> <p>Host System が Host Controller Module を伴うアクセスを行っている最中に、重大なエラーが起こった場合に、Host Controller が本ビットをセットされます。</p> <p>PCI System では、このビットがセットされる場合は、「PCI Parity Error」「PCI Master Abort」「PCI Target Abort」の状態を含みます。</p> <p>このエラーが起こった場合、Host Controller は Run/Stop ビットを 0 にして、スケジュールされている TD が実行されないようにします。</p>
3	FLR	0	R/WC	<p>Frame List Rollover</p> <p>Frame List Index (FRINDEX) レジスタが最大値から 0 へ RollOver した場合に、Host Controller がこのビットをセットします。</p> <p>どの値で RollOver するかは Frame List Size に依存します。USBCMD レジスタの Frame List Size に依存します。Frame List Size が 1024 に設定されていれば、FRINDEX[13]がトグルするたびに Role Over します。同様に、512 なら、FRINDEX[12]がトグルするたびに Role Over します。</p>
2	PCD	0	R/WC	<p>Port Change Detect</p> <p>このビットは、以下の場合に HC がセットします。</p> <ul style="list-style-type: none"> • Port Owner ビット = 0 であるポートで、Port Owner ビット = 1 になった場合。 • サスペンド中のポートで、J-K の遷移を検出し、Force Resume Transition ビットが 0 から 1 に変化した場合。 • ソフトウェアが、Port Owner ビットに 1 を書き込み、ポートのオーナシップを放棄した場合。

ビット	ビット名	初期値	HCD R/W	説明
1	UEI	0	R/WC	USB Error Interrupt エラーとして USB 転送が完了 (Error Counter がアンダフローした場合) した場合に、HC がこのビットをセットします。 ioc = 1 となった TD がエラーで転送完了した場合は、このビットと USBINT ビットの両方がセットされます。
0	UI	0	R/WC	USB Interrupt ioc = 1 となって TD がリタイアして USB 転送が完了した際に、Host Controller がこのビットをセットします。 Short Packet を受信した場合 (受信したデータサイズが、期待していたサイズ以下であった場合) にもセットされます。

(8) USBINTR

このレジスタでは、ハードウェア割り込みの On/Off を設定できます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	IAAE	HSEE	FLRE	PCDE	UEIE	UIE
初期値 :	—	—	—	—	—	—	—	—	—	—	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	HCD R/W	説明
31~6				リザーブビット
5	IAAE	0	R/W	Interrupt on Async Advance Enable このビットがセットされて、かつ USBSTS レジスタの Interrupt on Async Advance ビットがセットされていれば、Host Controller はハードウェア割り込みを発生させます。
4	HSEE	0	R/W	Host System Error Enable このビットがセットされ、かつ USBSTS レジスタの Host System Error Status ビットがセットされていれば、Host Controller はハードウェア割り込みを発生させます。
3	FLRE	0	R/W	Frame List Rollover Enable このビットがセットされ、かつ USBSTS レジスタの Frame List Rollover ビットがセットされていれば、Host Controller はハードウェア割り込みを発生させます。

ビット	ビット名	初期値	HCD R/W	説明
2	PCDE	0	R/W	Port Change Detect Enable このビットがセットされ、かつ USBSTS レジスタの Port Change Detect ビットがセットされていれば、Host Controller はハードウェア割り込みを発生させます。
1	UEIE	0	R/W	USB Error Interrupt Enable このビットがセットされ、かつ USBSTS レジスタの USBERRINT ビットがセットされていれば、Host Controller はハードウェア割り込みを発生させます。
0	UIE	0	R/W	USB Interrupt Enable このビットがセットされ、かつ USBSTS レジスタの USBINT ビットがセットされていれば、Host Controller はハードウェア割り込みを発生させます。

(9) FRINDEX

このレジスタは、現在のフレーム番号を示します。125 μ s ごとアップデートされ、HC が Periodic Frame List を参照するときに使われます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	FI													
初期値 :	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	HCD R/W	説明																
31 ~ 14				リザーブビット																
13 ~ 0	FI	すべて 0	R/W	Frame Index それぞれの Micro Frame の最後に、この値がインクリメントされます。Bit[N:3] は Frame List の Current Index のために使われます。つまり、Frame List のそれぞれの場所は、8 MicroFrame (1Frame) ごとにアクセスされます。 <table border="1" style="margin-top: 10px;"> <thead> <tr> <th>Frame List Size (USBCMD)</th> <th>Number Element</th> <th>N</th> <th>Frame List の実サイズ</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>1024</td> <td>12</td> <td>2¹² = 4096</td> </tr> <tr> <td>01</td> <td>512</td> <td>11</td> <td>2¹¹ = 2048</td> </tr> <tr> <td>10</td> <td>256</td> <td>10</td> <td>2¹⁰ = 1024</td> </tr> </tbody> </table>	Frame List Size (USBCMD)	Number Element	N	Frame List の実サイズ	00	1024	12	2 ¹² = 4096	01	512	11	2 ¹¹ = 2048	10	256	10	2 ¹⁰ = 1024
Frame List Size (USBCMD)	Number Element	N	Frame List の実サイズ																	
00	1024	12	2 ¹² = 4096																	
01	512	11	2 ¹¹ = 2048																	
10	256	10	2 ¹⁰ = 1024																	

(10) CTRLDSSEGMENT

このレジスタは HC が 64Bit 版データ構造体をアクセスする際の、上位 32Bit [63:32]を示します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CTRLDSSEGMENT															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CTRLDSSEGMENT															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	HCD R/W	説明
31~0	CTRLDSSEGMENT	すべて 0	R/W	Control Data Structure Data Segment EHCI の各データ構造体を 64Bit でアクセスする際の上位 32Bit ([63:32]) を指定します。 HCCPARAMS の 64Bit Addressing Capability フィールドが 0 なら、このフィールドは無効となります。1 であれば、EHCI の各データ構造体を 64Bit でアクセスすることができます。 データ構造体は、同じ 4GByte 境界内に置く必要があります。

(11) PERIODICLISTBASE

このレジスタは、Periodic Frame List のベースアドレスを示します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA				—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	HCD R/W	説明
31~12	BA	すべて0	R/W	Base Address メモリ上に用意した Periodic Frame List の先頭アドレスを指します。 ソフトウェアは、Host Controller が Periodic Schedule を実行する前にこのレジスタをロードします。 このレジスタと FRINDEX レジスタによって、Host Controller が Periodic Frame List を順序どおりに処理できるようになります。
11~0				リザーブビット

(12) ASYNCLISTADDR

このレジスタは、Asynchronous Schedule 中の Queue Head へポインタを示します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	LPL																
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	LPL												—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	—	—	—	—	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	

ビット	ビット名	初期値	HCD R/W	説明
31~5	LPL	すべて0	R/W	Link Pointer Low Asynchronous Schedule 中の次に実行する Queue Head を指す。Queue Head は 32Bit 境界に配置されているので、上位 27Bit のみの定義となります。
4~0				リザーブビット

(13) CONFIGFLAG

このレジスタは、全ポートのオーナシップを示します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CF
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	HCD R/W	説明
31~1				リザーブビット
0	CF	0	R/W	Config Flag 全ポートのルーティングルールを規定します。 0 : それぞれのポートは、それぞれ対応の cHC にルーティングされます。 1 : 全ポートは、eHC にルーティングされます。

(14) PORTSC (1 - N_PORT)

このレジスタでは、ポートに対して各種の制御や、状態モニタを行うことができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	WOE	WDE	WCE	PTC			
初期値 :	—	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC		PO	PP	LS	—	PR	S	FPR	OC	OA	PEDC	PED	CSC	CCS	
初期値 :	0	0	1	0	0	0	—	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	—	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R

ビット	ビット名	初期値	HCD R/W	説明
31~23				リザーブビット
22	WOE	0	R/W	Wake on Over-current Enable (WKOC_E) Suspend から Resume させる WakeUp イベントとして、ポートの Over-Current 検出を有効にします。
21	WDE	0	R/W	Wake on Disconnect Enable (WKDSCNNT_E) Suspend から Resume させる WakeUp イベントとして、Device の DisConnect 検出を有効にします。
20	WCE	0	R/W	Wake on Connect Enable (WKCNNNT_E) Suspend から Resume させる WakeUp イベントとして、Device Connect 検出を有効にします。
19~16	PTC	0000	R/W	Port Test Control ポートのテストモードを制御します。 0000 : テストモードは有効ではありません。 0001 : Test J-STATE 0010 : Test K-STATE 0011 : Test SE0_NAK 0100 : Test Packet 0101 : Test FORCE_ENABLE
15, 14	PIC	00	R/W	Port Indicator Control ポートのインディケータを制御します。 00 : ポートのインディケータ機能は OFF 01 : Amber 10 : Greed HCSPARAMS/P_INDICATOR=0 であれば、このフィールドは無効です。

ビット	ビット名	初期値	HCD R/W	説明															
13	PO	1	R/W	<p>Port Owner</p> <p>ポートのオーナシップを制御します。</p> <p>0 : このポートのオーナシップは EHCI Host Controller</p> <p>1 : このポートのオーナシップは Companion Host Controller</p> <p>接続されたデバイスが High-Speed デバイスでなかった場合、ソフトウェアは、本ビットをセットし、オーナシップを開放します。</p> <p>ConfigurationFrag レジスタの Configured ビットが 0 1 になった場合は、このフィールドは無条件で 0 になります。逆に Configured ビットが 0 になったら、このフィールドは無条件で 1 になります。</p>															
12	PP	0	R/W	<p>Port Power</p> <p>ポート電源を制御します。本ビットは HCSPARAMS レジスタの Port Power Control (PPC) ビットに依存します。</p> <table border="1" data-bbox="568 765 1208 921"> <thead> <tr> <th>PPC</th> <th>PP</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1 (ReadOnly)。ポート電源は常に ON で、本ビットは常に 1。</td> </tr> <tr> <td>1</td> <td>0/1 (Read/Write 可能)。ポート電源は切り替え可能。 0=OFF、1=ON を示します。</td> </tr> </tbody> </table> <p>本ビットが 0 つまりポート電源が OFF の場合はポートが機能しないので、接続・切断の検知なども行われません。</p> <p>Over-Current が検出された場合で、PPC=1 である場合は、そのポートの PP ビットは Host Controller によって 1 から 0 にクリアされ、ポート電源が OFF にされます。</p>	PPC	PP	0	1 (ReadOnly)。ポート電源は常に ON で、本ビットは常に 1。	1	0/1 (Read/Write 可能)。ポート電源は切り替え可能。 0=OFF、1=ON を示します。									
PPC	PP																		
0	1 (ReadOnly)。ポート電源は常に ON で、本ビットは常に 1。																		
1	0/1 (Read/Write 可能)。ポート電源は切り替え可能。 0=OFF、1=ON を示します。																		
11、10	LS	00	R	<p>Line Status</p> <p>現在の D+/D- の論理レベルを示します。D+ が 11Bit 目、D- が 10Bit 目に示されます。</p> <p>このフィールドはポートリセット / ポートイネーブル処理に先立って、Low Speed デバイスの接続を検知するために使われます。</p> <p>このフィールドの値は、Port Enable=0 かつ Current Connect Status=1 である場合のみ有効です。つまり、接続を検出してポートをイネーブルにするまでの間だけ有効であり、接続検出して、その接続されたデバイスが Low Speed デバイスか否かを判定するために使われます。</p> <table border="1" data-bbox="568 1400 1208 1595"> <thead> <tr> <th>LS</th> <th>状態</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>SE0</td> <td>Not Low-Speed Device, perform EHCI reset</td> </tr> <tr> <td>01</td> <td>J-State</td> <td>Not Low-Speed Device, perform EHCI reset</td> </tr> <tr> <td>10</td> <td>K-State</td> <td>Low-Speed Device, release ownership of port</td> </tr> <tr> <td>11</td> <td>SE1</td> <td>Not Low-Speed Device, perform EHCI reset</td> </tr> </tbody> </table>	LS	状態	説明	00	SE0	Not Low-Speed Device, perform EHCI reset	01	J-State	Not Low-Speed Device, perform EHCI reset	10	K-State	Low-Speed Device, release ownership of port	11	SE1	Not Low-Speed Device, perform EHCI reset
LS	状態	説明																	
00	SE0	Not Low-Speed Device, perform EHCI reset																	
01	J-State	Not Low-Speed Device, perform EHCI reset																	
10	K-State	Low-Speed Device, release ownership of port																	
11	SE1	Not Low-Speed Device, perform EHCI reset																	
9				リザーブビット															

ビット	ビット名	初期値	HCD R/W	説 明
8	PR	0	R/W	<p>Port Reset</p> <p>ポートリセット処理を制御します。</p> <p>0 : ポートは Reset 中ではありません。</p> <p>1 : ポートは Reset 中です。</p> <p>ソフトウェアが本ビットをセットすると、USB2.0 仕様書で規定されたバスリセット処理が開始されます。ソフトウェアはバスリセット処理を完了するために、本ビットに 0 ライトする必要があります。ソフトウェアは、USB2.0 仕様書で規定されたリセット期間が完了するまで、このビットを 1 に保ちつづける必要があります。</p> <p>【注】1. このビットを 0 1 にする場合は、Port Enable ビットを 0 にする必要があります。</p> <p>2. ソフトウェアがこのビットを 0 にしても、このビットが 0 になるのは多少遅延します。</p> <p>このビットをリードしても、リセット処理が完了するまでは、0 が読み出されない。ポートが High-Speed モードの場合で、リセットが完了した場合は、Host Controller は自動的にポートを有効にします (PortEnable=1)。Host Controller はソフトウェアがこのビットを 0 にセットしてから 2ms 以内に、リセットを完了させてポートを安定させる必要があります。たとえば、ポートリセット中に High-Speed デバイスの接続を検知した場合、ソフトウェアがこのビットを 0 にセットしてから 2ms 以内に、ポートを有効にする必要があります。</p> <p>3. ソフトウェアがこのビットを使う際には、USBSTS/HCHalted を 0 にする必要があります。</p> <p>HC は、USBSTS/HCHalted=1 である間は、この PortReset ビットを 1 に保ちつづける必要があります。</p>

ビット	ビット名	初期値	HCD R/W	説 明								
7	S	0	R/W	<p>Suspend</p> <p>ポートのサスペンド処理を制御します。</p> <p>0 : ポートは Suspend 状態ではありません。</p> <p>1 : ポートは Suspend 状態です。</p> <p>Port Enable ビットと Port Suspend ビットの設定により、ポートの状態は以下ようになります。</p> <table border="1" data-bbox="568 556 1207 710"> <thead> <tr> <th>Bit[Port Enable, Port Suspend]</th> <th>Port Status</th> </tr> </thead> <tbody> <tr> <td>0X</td> <td>Disable</td> </tr> <tr> <td>10</td> <td>Enable</td> </tr> <tr> <td>11</td> <td>Suspend</td> </tr> </tbody> </table> <p>Suspend 状態では、このポートの Down Stream へのデータの伝播はブロックされます。ただし、PortReset は伝わります。もし転送が行われている最中である場合、現在の転送が完了後、データのブロックが行われます。</p> <p>Suspend 状態では、ポートは Resume を検出することができます。</p> <p>【注】1. Suspend 状態に遷移後および、現在の転送が処理中で Suspend 遷移待ちであるときこのビットは変化しません。</p> <p>2. ソフトウェアがこのビットをクリアしても HC に無視されます。HC は以下の条件が成立したら無条件でこのビットをクリアします。</p> <ul style="list-style-type: none"> ・ソフトウェアが Force Port Resume ビットを 0 1 にセット。 ・ソフトウェアが Port Reset ビットを 0 1 にセット 	Bit[Port Enable, Port Suspend]	Port Status	0X	Disable	10	Enable	11	Suspend
Bit[Port Enable, Port Suspend]	Port Status											
0X	Disable											
10	Enable											
11	Suspend											

ビット	ビット名	初期値	HCD R/W	説明
6	FPR	0	R/W	<p>Force Port Resume</p> <p>ポートのレジューム処理を制御します。</p> <p>0 : ポートは Resume (K 状態) を検知してないし、ドライブもしていません。</p> <p>1 : ポートが Resume したことを検知しました。</p> <p>もしくは、ポートが Resume をドライブしていることを検知しました。</p> <p>つまり、ポートが Resume 状態にあります。</p> <p>このビットは Suspend ビットの状態に依存します。たとえば、ポートが Suspend 状態ではない (Suspend ビット & PortEnable ビットがともに 1 であれば Suspend ですが、そうになっていない) 場合は、このビットをセットしても、どういう状態になるかは未定義です。</p> <p>ソフトウェアがこのビットをセットした場合、Resume をドライブします。つまり、ソフトウェア自身が Resume をドライブしたいときに、本ビットをセットします。</p> <p>Host Controller が本ビットをセットする場合は、ポートが Suspend 状態のときに、J K への遷移を検出した場合です。つまり、Host Controller は Resume を検知したら、自分でこのビットをセットします。J K の遷移を検知してこのビットをセットするので、その際は、USBSTS レジスタの Port Change Detect ビットもセットする必要があります。ただ、ソフトウェアがこのビットをセットした場合は、HC は USBSTS レジスタの Port Change Detect ビットをセットすることは禁止です。</p> <p>【注】ソフトウェアがセットする場合</p> <p>EHCI がポートのオーナーである場合は、Resume の処理は USB2.0 仕様書に従います。このビットが 1 である間中、Resume 信号 (Full-Speed K) をドライブしつづけます。ソフトウェアは適切な時間だけ Resume して、十分な時間 Resume したあと、このビットに 0 をセットする必要があります。このビットを 1 0 にセットすると、ポートは High-Speed モードに戻ります (バスを High-Speed の Idle にフォースする)。このビットは、High-Speed の idle にスイッチできるまでは 0 を書き込まれても 1 のままです。Host Controller はソフトウェアがこのビットに 0 を書き込んでから 2ms 以内にこのスイッチを完了する必要があります。</p>
5	OC	0	R/WC	<p>Over-current Change</p> <p>0 : 状態に変化はありません。</p> <p>1 : ポートの Over-current 状態が非 Active から Active 状態に変化したことを示します。</p> <p>ソフトウェアはこのビットに 1 を書き込むことで、このビットをクリアすることができます。</p>
4	OA	0	R	<p>Over-current Active</p> <p>0 : Port は Over-current 状態にはありません。</p> <p>1 : Port は Over-current 状態にあります。</p> <p>本ビットは Over-current 状態が取り除かれたら、自動的に 0 へとクリアされません。</p>

ビット	ビット名	初期値	HCD R/W	説 明
3	PEDC	0	R/WC	<p>Port Enable/Disable Change</p> <p>0 : 状態に変化はありません。</p> <p>1 : ポートの Enable/Disable の状態が変化したことを示します。</p> <p>このビットが 1 にセットされるのは、EOF2 の時点でポートが無効になるような条件が存在していて、ポートが無効になった場合のみです (USB2.0 仕様書 11 章 Port Error の部分を参照)。</p>
2	PED	0	R/W	<p>Port Enabled/Disabled</p> <p>0 : ポートが無効</p> <p>1 : ポートが有効</p> <p>ポートが有効になるのは、ポートリセットを行ったときのみであり、ソフトウェアが本ビットをセットすることでポートを有効にすることはできません。ポートを有効にできるのは Host Controller だけです。</p> <p>Host Controller は、リセットシーケンスによって接続デバイスが High-Speed デバイスであると確定したときのみ、本ビットをセットすることができます。</p> <p>ポートは、Fault Condition になった場合 (Disconnect 発生やその他 Fault Event)、もしくはソフトウェアによってのみ無効にされます。</p> <p>【注】1. ポートの状態が本当に変化するまでは、このビットの状態は変化しません。</p> <p>HC の別の処理や Bus の処理などで、ポートが Enable/Disable になるのが遅れる場合があります。</p> <p>2. このビットが 0 でポートが無効のときは Down Stream にデータは伝播しません。</p> <p>ただし、リセットは伝わります。</p>
1	CSC	0	R/WC	<p>Connect Status Change</p> <p>0 : 変化ありません。</p> <p>1 : Current Connect Status が変化がありました。</p> <p>ソフトウェアが本ビットをクリアしていなくても、ポートのデバイス接続状態になんらかの変化が起これば、Host Controller は本ビットをセットします。</p> <p>ソフトウェアは 1 を書き込むことで、このビットを 0 にクリアすることができます。</p>
0	CCS	0	R	<p>Current Connect Status</p> <p>0 : デバイスがポートに存在していません</p> <p>1 : デバイスがポートに存在しています。</p> <p>このビットは、ポートの状態を反映するものであり、Connect Status Change ビットがセットされるようなイベントが発生してもそれに直接は影響されません。</p>

14.2.3 注意事項

(1) ポートリセットに関する注意事項

EHCI によるポートリセット (PORTSC レジスタの Port Reset ビット「1」ライト) 中に Overcurrent が発生すると、Port Power を OFF (Port Power ビット「0」ライト) しない状態で、ソフトウェアでポートリセットを解除 (Port Reset ビット「0」ライト) しても、Port Reset ビットがクリアされないことがあります。

そのため、Overcurrent を検出した場合、必ず、いったん Port Power を OFF (Port Power ビット「0」ライト) してください。

(2) NPS ビット、PSS ビットに関する注意事項

OHCI HcRhDescriptorA レジスタ NPS ビットを「1」に設定した状態で、HcRhPortStatus レジスタの PRS ビットへ「1」ライトしてバスリセットを発行中の 10ms 間に Overcurrent が発生すると、PRS ビットが「1」セットされ続けてしまいます。

また、HcRhDescriptorA レジスタ NPS ビットを「1」で、かつ、HcRhDescriptorB レジスタ DR ビットを「1」に設定した状態で、PSS ビットへ「1」ライトしてバスをサスペンドさせ、その間に Overcurrent が発生すると、PSS ビットが「1」セットされ続けてしまいます。

そのため、HcRhDescriptorA レジスタ NPS ビットは「0」に設定するか、「1」に設定する場合は、Overcurrent ピンに Low を入力しないでください。

14.3 USB1.1-HOST コントローラ

14.3.1 概要

本 LSI は、USB ホストインタフェースを内蔵しており、ルートハブと 2 ポートの USB トランシーバを備え、FullSpeed で動作します。また、OpenHCI インタフェースとレジスタも内蔵しています。

ソフトウェア開発に際しては、OpenHCI 仕様も参照してください。

(1) 特長

- OpenHCIインタフェースをサポート
- USBホストインタフェースをサポート
- ルートハブ機能
- FullSpeed (12Mbps) およびLowSpeed (1.5Mbps) モードで動作
- 過電流検出機能および電源イネーブル管理機能を内蔵

14.3.2 レジスタの説明

本モジュールのレジスタ一覧を表 14.5 に示します。

USB ホストのレジスタは、I/O バスのアドレス空間に割り当てられます。なお、本和文は、Open HCI Rev.1.0 を参考にしています。詳細は、原文（英文）を参照してください。レジスタのビット幅は 32 ビットで、ロングワードサイズ（32 ビット）でアクセスしてください。ロングワードサイズ以外でレジスタアクセスを行った場合の動作は保証しません。

表 14.5 Open HCI レジスタ一覧

レジスタアドレス	レジスタ名	R/W	初期値	アクセスサイズ
H'FFE70400	HcRevision レジスタ	R	H'xxxxxx10	32
H'FFE70404	HcControl レジスタ	R/W	H'00000000	32
H'FFE70408	HcCommandStatus レジスタ	R/W	H'00000000	32
H'FFE7040C	HcInterruptStatus レジスタ	R/W	H'00000000	32
H'FFE70410	HcInterruptEnable レジスタ	R/W	H'00000000	32
H'FFE70414	HcInterruptDisable レジスタ	R/W	H'00000000	32
H'FFE70418	HcHCCA レジスタ	R/W	H'00000000	32
H'FFE7041C	HcPeriodCurrentED レジスタ	R/W	H'00000000	32
H'FFE70420	HcControlHeadED レジスタ	R/W	H'00000000	32
H'FFE70424	HcControlCurrentED レジスタ	R/W	H'00000000	32
H'FFE70428	HcBulkHeadED レジスタ	R/W	H'00000000	32
H'FFE7042C	HcBulkCurrentED レジスタ	R/W	H'00000000	32
H'FFE70430	HcDoneHead レジスタ	R/W	H'00000000	32
H'FFE70434	HcFmInterval レジスタ	R/W	H'00002EDF	32
H'FFE70438	HcFmRemaining レジスタ	R	H'00000000	32
H'FFE7043C	HcFmNumber レジスタ	R	H'00000000	32
H'FFE70440	HcPeriodicStart レジスタ	R/W	H'00000000	32
H'FFE70444	HcLSThreshold レジスタ	R/W	H'00000628	32
H'FFE70448	HcRhDescriptorA レジスタ	R/W	H'FF000902	32
H'FFE7044C	HcRhDescriptorB レジスタ	R/W	H'00060000	32
H'FFE70450	HcRhStatus レジスタ	R/W	H'00000000	32
H'FFE70454	HcRhPortStatus1 レジスタ	R/W	H'00000100	32
H'FFE70458	HcRhPortStatus2 レジスタ	R/W	H'00000100	32

【レジスタ説明の記号説明】

初期値 : リセット後のレジスタ値

: 読み出し値は不定です。書き込む値は常に 0 にしてください。

R/W : リードおよびライト可。

R : リードのみ可。書き込む値は常に 0 にしてください。

【注】 レジスタは、48MHz のクロックが入力されているときに設定することができます。

設定コントロールレジスタ以外のレジスタは、Open HCI 仕様に適合しています。

設定コントロールレジスタは、本 LSI 専用のレジスタです。

(1) HcRevision レジスタ

レジスタ名 : HcRevision			オフセット : 00 ~ 03
ビット	初期値	R/W	説明
31 ~ 8	—	—	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
7 ~ 0	H'10	R	Revision ハードウェアがサポートする Open HCI 仕様のリビジョン番号を示します。 (X.Y = XYh) 本 USB ホストコントローラ (HC) は、Open HCI 1.0 仕様をサポートしています。

(2) HcControl レジスタ

レジスタ名 : HcControl			オフセット : 04 ~ 07
ビット	初期値	R/W	説明
31 ~ 11	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
10	0	R/W	Remote Wakeup Connected Enable リモートウェイクアップ信号をサポートしている場合、このビットでリモートウェイクアップ機能を有効にします。USB ホストモジュールではリモートウェイクアップ信号をサポートしていないので、このビットは無視されます。
9	0	R/W	Remote Wakeup Connected ホストコントローラ (HC) がリモートウェイクアップ信号をサポートするかどうかを示します。
8	0	R/W	Interrupt Routing 割り込みの通知先を指定します。 0 : 割り込みを通常の割り込み処理部 (INT) に通知します。 1 : 割り込みを SMI に通知します。
7, 6	00	R/W	Host Controller Functional State ホストコントローラの状態を設定します。以下の 4 種類の状態があります。 00 : UsbReset 01 : UsbResume 10 : UsbOperational 11 : UsbSuspend ホストコントローラは、ダウンストリームのポートから送信された再開信号を検出すると、強制的に USB SUSPEND 状態を USB RESUME 状態に切り替えます。
5	0	R/W	Bulk List Enable このビットをセットすると、バルクリストの処理を有効にします。
4	0	R/W	Control List Enable このビットをセットすると、コントロールリストの処理を有効にします。
3	0	R/W	Isochronous Enable 周期リストが有効なとき、このビットをクリアすると、アイソクロナスリストを無効にします (したがって、インタラプト ED の処理が可能です)。周期リスト処理中に、HC はアイソクロナス ED を見つけると、このビットの状態をチェックします。
2	0	R/W	Periodic List Enable このビットをセットすると、周期リスト (インタラプトリストとアイソクロナスリスト) の処理を有効にします。フレーム内の周期転送を行う前に、HC はこのビットの状態をチェックします。

レジスタ名 : HcControl			オフセット : 04 ~ 07
ビット	初期値	R/W	説明
1, 0	00	R/W	Control Bulk Service Ratio バルクエンドポイント 1 個に対し、いくつかのコントロールエンドポイントを処理するかを指定します。処理するコントロールエンドポイント数-1 の値を指定してください (例 : 00 : コントロールエンドポイント 1 個、11 : コントロールエンドポイント 4 個)。

(3) HcCommandStatus レジスタ

レジスタ名 : HcCommandStatus			オフセット : 08 ~ 0B
ビット	初期値	R/W	説明
31 ~ 18	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
17, 16	00	R	Schedule Overrun Count HcInterruptStatus レジスタの Scheduling Overrun ビットがセットされるたびに、このビットの値がインクリメントされます。カウント値 11 のあとにインクリメントが起こると、値は 00 に戻ります。
15 ~ 4	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
3	0	R/W	Ownership Change Request ソフトウェアでこのビットをセットすると、HcInterruptStatus レジスタの Ownership Change ビットがセットされます。このビットは、ソフトウェアでクリアできます。
2	0	R/W	Bulk List Filled このビットがセットされているとき、バルクリストにアクティブ ED があることを示します。このビットは、ソフトウェアとホストコントローラのどちらからもセットできます。ホストコントローラは、バルクリストの先頭から処理を開始するたびに、このビットをクリアします。
1	0	R/W	Control List Filled このビットがセットされているとき、コントロールリストにアクティブ ED があることを示します。このビットは、ソフトウェアとホストコントローラのどちらからもセットできます。ホストコントローラは、コントロールリストの先頭から処理を開始するたびに、このビットをクリアします。
0	0	R/W	Host Controller Reset このビットをセットすると、ソフトウェアリセットを開始します。リセット動作が完了すると、ホストコントローラがこのビットをクリアします。

(4) HcInterruptStatus レジスタ

このレジスタのすべてのビットは、セットはハードウェアが行い、クリアはソフトウェアが行います。
ビットをクリアするときは、対応するビットに1を書き込んでください。

レジスタ名 : HcInterruptStatus			オフセット : 0C ~ 0F
ビット	初期値	R/W	説明
31	0	—	リザーブビット 読み出し値は常に0です。書き込む値も常に0にしてください。
30	0	R/W	Ownership Change HcCommand Status レジスタの Ownership Change Request ビットがセットされると、このビットがセットされます。
29~7	すべて0	—	リザーブビット 読み出し値は常に0です。書き込む値も常に0にしてください。
6	0	R/W	Root Hub Status Change HcRhStatus レジスタまたは HcRhPortStatus レジスタの値が変化すると、このビットがセットされます。
5	0	R/W	Frame Number Overflow Frame Number のビット 15 の値が0 から 1 へ、または 1 から 0 へ変化すると、このビットがセットされます。
4	0	R/W	Unrecoverable Error HC が USB に関わらないシステムエラーを検出すると、このビットがセットされます。
3	0	R/W	Resume Detected HC がダウンストリームポートからの開始信号を検出すると、このビットがセットされます。
2	0	R/W	Start of Frame フレームマネージャが Start of Frame (フレーム開始) のイベントを通知すると、このビットがセットされます。
1	0	R/W	Writeback Done Head HC が HcDoneHead レジスタの値を HccaDoneHead に書き込むと、このビットがセットされます。
0	0	R/W	Scheduling Overrun リストプロセッサが、スケジュールオーバーランが発生したと判断すると、このビットがセットされます。

(5) HcInterruptEnable レジスタ

このレジスタのビットに 1 を書き込むと、対応するビットがセットされます。ただし、0 を書き込んでもビットの値は変化しません。

レジスタ名 : HcInterruptEnable			オフセット : 10 ~ 13
ビット	初期値	R/W	説明
31	0	R/W	Master Interrupt Enable 割り込み全体を有効にするビットです。1 を書き込むと、以下のビットで有効にした割り込みの発生を許可します。
30	0	R/W	Ownership Change Enable 0 : 無視されます。 1 : 所有権の変更 (Ownership Change) による割り込みを有効にします。
29 ~ 7	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
6	0	R/W	Root Hub Status Change Enable 0 : 無視されます。 1 : ルートハブ状態の変更 (Root Hub Status Change) による割り込みを有効にします。
5	0	R/W	Frame Number Overflow Enable 0 : 無視されます。 1 : フレーム番号のオーバーフロー (Frame Number Overflow) による割り込みを有効にします。
4	0	R/W	Unrecoverable Error Enable この機能はサポートしていません。値を書き込んでも無視されます。
3	0	R/W	Resume Detected Enable 0 : 無視されます。 1 : 開始信号の検出 (Resume Detected) による割り込みを有効にします。
2	0	R/W	Start of Frame Enable 0 : 無視されます。 1 : フレームの開始 (Start of Frame) による割り込みを有効にします。
1	0	R/W	Writeback Done Head Enable 0 : 無視されます。 1 : Writeback Done Head による割り込みを有効にします。
0	0	R/W	Scheduling Overrun Enable 0 : 無視されます。 1 : スケジュールオーバーラン (Scheduling Overrun) による割り込みを有効にします。

(6) HcInterruptDisable レジスタ

このレジスタのビットに 1 を書き込むと、HcInterruptEnable レジスタの対応するビットがクリアされます。ただし、0 を書き込んででもビットの値は変化しません。

レジスタ名 : HcInterruptDisable			オフセット : 14 ~ 17
ビット	初期値	R/W	説明
31	0	R/W	Master Interrupt Disable 割り込み全体を無効にするビットです。1 を書き込むと、すべての割り込みの発生を禁止します。
30	0	R/W	Ownership Change Disable 0 : 無視されます。 1 : ホストコントローラ所有権の変更 (Ownership Change) による割り込みを禁止します。
29~7	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
6	0	R/W	Root Hub Status Change Disable 0 : 無視されます。 1 : ルートハブ状態の変更 (Root Hub Status Change) による割り込みを禁止します。
5	0	R/W	Frame Number Overflow Disable 0 : 無視されます。 1 : フレーム番号のオーバーフロー (Frame Number Overflow) による割り込みを禁止します。
4	0	R/W	Unrecoverable Error Disable この機能はサポートしていません。値を書き込んででも無視されます。
3	0	R/W	Resume Detected Disable 0 : 無視されます。 1 : 開始信号の検出 (Resume Detected) による割り込みを禁止します。
2	0	R/W	Start of Frame Disable 0 : 無視されます。 1 : フレームの開始 (Start of Frame) による割り込みを禁止します。
1	0	R/W	Writeback Done Head Disable 0 : 無視されます。 1 : Writeback Done Head による割り込みを禁止します。
0	0	R/W	Scheduling Overrun Disable 0 : 無視されます。 1 : スケジュールオーバーラン (Scheduling Overrun) による割り込みを禁止します。

(7) HcHCCA レジスタ

レジスタ名: HcHCCA			オフセット: 18~1B
ビット	初期値	R/W	説明
31~8	すべて0	R/W	HCCA HCCA 基底アドレスへのポインタ (DDR メモリ空間内)
7~0	すべて0	—	リザーブビット 読み出し値は常に0です。書き込む値も常に0にしてください。

(8) HcPeriodCurrentED レジスタ

レジスタ名: HcPeriodCurrentED			オフセット: 1C~1F
ビット	初期値	R/W	説明
31~4	すべて0	R	Period Current ED 現在の周期リスト ED へのポインタ (DDR メモリ空間内)
3~0	すべて0	—	リザーブビット 読み出し値は常に0です。書き込む値も常に0にしてください。

(9) HcControlHeadED レジスタ

レジスタ名: HcControlHeadED			オフセット: 20~23
ビット	初期値	R/W	説明
31~4	すべて0	R/W	Control Head ED コントロールリストの先頭 ED へのポインタ (DDR メモリ空間内)
3~0	すべて0	—	リザーブビット 読み出し値は常に0です。書き込む値も常に0にしてください。

(10) HcControlCurrentED レジスタ

レジスタ名: HcControlCurrentED			オフセット: 24~27
ビット	初期値	R/W	説明
31~4	すべて0	R/W	Control Current ED 現在のコントロールリスト ED へのポインタ (DDR メモリ空間内)
3~0	すべて0	—	リザーブビット 読み出し値は常に0です。書き込む値も常に0にしてください。

(11) HcBulkHeadED レジスタ

レジスタ名 : HcBulkHeadED			オフセット : 28 ~ 2B
ビット	初期値	R/W	説明
31 ~ 4	すべて 0	R/W	Bulk Head ED バルクリストの先頭 ED へのポインタ (DDR メモリ空間内)
3 ~ 0	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。

(12) HcBulkCurrentED レジスタ

レジスタ名 : HcBulkCurrentED			オフセット : 2C ~ 2F
ビット	初期値	R/W	説明
31 ~ 4	すべて 0	R/W	Bulk Current ED 現在のバルクリスト ED へのポインタ (DDR メモリ空間内)
3 ~ 0	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。

(13) HcDoneHead レジスタ

レジスタ名 : HcDoneHead			オフセット : 30 ~ 33
ビット	初期値	R/W	説明
31 ~ 4	すべて 0	R	Done Head 現在の完了リストの先頭 ED へのポインタ (DDR メモリ空間内)
3 ~ 0	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。

(14) HcFmInterval レジスタ

レジスタ名 : HcFmInterval			オフセット : 34 ~ 37
ビット	初期値	R/W	説 明
31	0	R/W	Frame Interval Toggle 新しい値を Frame Interval ビットにロードするたびに、ホストコントローラドライバ (HCD) がこのビットの値を反転します。
30 ~ 16	すべて 0	R/W	FS Largest Data Packet 各フレームの最初で最大データパケットカウンタ (Largest Data Packet Counter) にロードする値を指定します。
15, 14	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
13 ~ 0	H ² EDF	R/W	Frame Interval フレーム長を (ビット時間 1) の形で指定します。1 フレームあたり 12,000 ビット時間の場合、11,999 を指定します。

(15) HcFrameRemaining レジスタ

レジスタ名 : HcFrameRemaining			オフセット : 38 ~ 3B
ビット	初期値	R/W	説 明
31	0	R	Frame Remaining Toggle Frame Remaining ビットに値がロードされると、このビットに Frame Interval Toggle ビットの値がロードされます。
30 ~ 14	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
13 ~ 0	すべて 0	R	Frame Remaining このビットは 14 ビットのダウンカウンタで、フレームのタイミングを決めるために用います。ホストコントローラが USB OPERATIONAL 状態にあるとき、このカウンタは、12 MHz のクロックごとにデクリメントします。カウンタ値が 0 になったときが、フレームの終わりです。このとき、カウンタには Frame Interval ビットの値がリロードされます。また、ホストコントローラの状態が USB OPERATIONAL に遷移するタイミングでも、このカウンタはリロードされます。

(16) HcFmNumber レジスタ

レジスタ名 : HcFmNumber			オフセット : 3C ~ 3F
ビット	初期値	R/W	説明
31 ~ 16	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
15 ~ 0	すべて 0	R	Frame Number このビットは、16 ビットのアップカウンタです。Frame Remaining ビットへのロードと同時に、値をインクリメントします。カウンタ値は、H'FFFF を超えると H'0000 に戻ります。

(17) HcPeriodicStart レジスタ

レジスタ名 : HcPeriodicStart			オフセット : 40 ~ 43
ビット	初期値	R/W	説明
31 ~ 14	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
13 ~ 0	すべて 0	R/W	Periodic Start リストプロセッサが、フレーム中のどこから周期リスト処理を開始するのかを判断するために必要な値を設定します。

(18) HcLSThreshold レジスタ

レジスタ名 : HcLSThreshold			オフセット : 44 ~ 47
ビット	初期値	R/W	説明
31 ~ 12	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
11 ~ 0	H'628	R/W	LS Threshold フレームマネージャが、現在のフレームで低速トランザクションを行えるかどうかを判断するために必要な値を設定します。

(19) HcRhDescriptorA レジスタ

このレジスタは、パワーオンリセットでのみリセットされます。システムの初期化時に、ルートハブを設定するために、このレジスタに書き込みます。通常の動作中には、このレジスタに書き込まないでください。

レジスタ名 : HcRhDescriptorA			オフセット : 48 ~ 4B
ビット	初期値	R/W	説明
31 ~ 24	H'FF	R/W	Power-on to Power Good Time USB ホストコントローラの電源切り替えは、2ms で有効になります。このビットの値は、2ms 単位で指定します。 ビット 25 と 24 のみ、リードおよびライト可能です。他のビットはリードのみ可能で、読み出し値は 0 です。これらのビットに H'1 以外の値を書き込むことは想定されていません。限られた範囲で、インプリメンテーション特有の機能用のみ、書き込むことが可能です。これらのビットには、常に 0 以外の値を書き込んでください。
23 ~ 13	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
12	0	R/W	No Over Current Protection USB ホストコントローラが全体の過電流通知を行うかどうかを指定します。 0 : 過電流状態を通知します。 1 : 過電流状態を通知しません。 このビットは、外部システムポートの過電流検出のインプリメンテーションに合わせて、値を設定してください。
11	1	R/W	Over Current Protection Mode USB ホスト全体の過電流通知を行うかどうかを指定します。 0 : 全体の過電流を通知します。 1 : 個別の過電流を通知します。 このビットの設定は、No Over Current Protection ビットがクリアされているときにのみ有効です。
10	0	R	Device Type USB ホストコントローラが複合デバイスでないことを示します。
9	0	R/W	No Power Switching USB ホストコントローラが全体の電源切り替えをサポートしているかどうかを指定します。 0 : ポートの電源切り替えは可能です。 1 : ポートは常に電源オン状態です。 このビットは、外部システムポートの電源切り替えのインプリメンテーションに合わせて、値を設定してください。

レジスタ名 : HcRhDescriptorA			オフセット : 48 ~ 4B
ビット	初期値	R/W	説明
8	1	R/W	Power Switching Mode USB ホストコントローラが全体の電源切り替えをサポートしているかどうかを指定します。 0 : 全体の電源を切り替えます。 1 : 個別に電源を切り替えます。 このビットの設定は、No Power Switching ビットがクリアされているときのみ有効です。
7 ~ 0	H'02	R	Number Downstream Ports USB ホストコントローラが1つのダウンストリームポートをサポートしていることを示します。

(20) HcRhDescriptorB レジスタ

このレジスタは、パワーオンリセットでのみリセットされます。システムの初期化時に、ルートハブを設定するために、このレジスタに書き込みます。通常の動作中には、このレジスタに書き込まないでください。

レジスタ名 : HcRhDescriptorB			オフセット : 4C ~ 4F
ビット	初期値	R/W	説明
31 ~ 16	H'0006	R/W	<p>Port Power Control Mask</p> <p>USB ホストコントローラが全体の電源切り替えをサポートするかどうかを指定します。このビットは、No Power Switching ビットがクリアされ、Power Switching Mode ビットがセットされているとき(個別のポート切り替え時)のみ、有効です。このビットをセットすると、ポートは個別ポート電源切り替えコマンド (Set/ClearPortPower) でのみ切り替えられます。このビットをクリアすると、ポートは全体 (グローバル) ポート電源切り替えコマンド (Set/ClearGlobalPower) でのみ切り替えられます。</p> <p>0 : デバイスは取り外し不可です。 1 : グローバル電源切り替えをマスクします</p> <p>ビットとポートの対応</p> <p>ビット 16 : リザーブ ビット 17 : ポート 1 ビット 18 : ポート 2 ... ビット 31 : ポート 15</p> <p>システムで使用しないポートに対応するビットはリザーブビットとなり、読み出し値は常に 0 です。書き込む値も常に 0 にしてください。</p>
15 ~ 0	H'0000	R/W	<p>Device Removable</p> <p>USB ホストコントローラのポートは、デフォルトでは取り外し可能です。</p> <p>0 : デバイスは取り外し可能です。 1 : デバイスは取り外し不可です。</p> <p>ビットとポートの対応</p> <p>ビット 0 : リザーブ ビット 1 : ポート 1 ビット 2 : ポート 2 ... ビット 15 : ポート 15</p> <p>システムで使用しないポートに対応するビットはリザーブビットとなり、読み出し値は常に 0 です。書き込む値も常に 0 にしてください。</p>

(21) HcRhStatus レジスタ

このレジスタは UsbReset 状態でリセットされます。

レジスタ名 : HcRhStatus			オフセット : 50 ~ 53
ビット	初期値	R/W	説明
31	—	W	(ライト時) Clear Remote Wakeup Enable 1 を書き込むと、Device Remote Wakeup Enable ビットをクリアします。0 を書き込んでも変化しません。
30 ~ 18	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
17	0	R/W	Over Current Indicator Change Over Current Indicator ビットが変化すると、このビットがセットされます。1 を書き込むとビットをクリアします。0 を書き込んでも変化しません。
16	0	R/W	(リード時) Local Power Status Change 本 LSI ではサポートしません。読み出し値は常に 0 です。 (ライト時) Set Global Power 1 を書き込むと、ポートに SetGlobalPower コマンドを発行します。0 を書き込んでも変化しません。
15	0	R/W	(リード時) Device Remote Wakeup Enable ポートの Connect Status Change をリモートウェイクアップイベントとして有効にします。 0 : 無効 1 : 有効 (ライト時) Set Remote Wakeup Enable 1 を書き込むと Device Remote Wakeup Enable ビットをセットします。0 を書き込んでも変化しません。
14 ~ 2	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
1	0	R	Over Current Indicator OVRCUR 端子の状態を示します。No Over Current Protection と Over Current Protection Mode ビットがクリアされているときのみ有効です。 0 : 過電流状態は検出されていません。 1 : 過電流状態です。
0	0	R/W	(リード時) Local Power Status 本 LSI ではサポートしません。読み出し値は常に 0 です。 (ライト時) ClearGlobalPower 1 を書き込むと、ポートに ClearGlobalPower コマンドを発行します。0 を書き込んでも変化しません。

(22) HcRhPortStatus1、2 レジスタ

このレジスタは UsbReset 状態でリセットされます。

レジスタ名 : HcRhPortStatus1、2			オフセット : 54 ~ 57、58 ~ 5B
ビット	初期値	R/W	説明
31 ~ 21	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
20	0	R/W	Port Reset Status Change ポートリセットが完了したことを示します。 0 : ポートリセットは未完了です。 1 : ポートリセットは完了しています。
19	0	R/W	Port Over Current Indicator Change Over Current Indicator ビットが変化すると、このビットがセットされます。1 を書き込むとビットをクリアします。0 を書き込んででも変化しません。
18	0	R/W	Port Suspend Status Change ポートの選択的再開シーケンスが完了したことを示します。 0 : ポートは再開されていません。 1 : ポートの再開が完了しています。
17	0	R/W	Port Enable Status Change ハードウェアのイベントにより、ポートが無効になっている (Port Enable Status ビットがクリアされている) ことを示します。 0 : ポートは無効になっていません。 1 : Port Enable Status ビットがクリアされています。
16	0	R/W	Connect Status Change 接続あるいは切断イベントが検出されたことを示します。1 を書き込むとビットをクリアします。0 を書き込んででも変化しません。 0 : 接続 / 切断イベントは発生していません。 1 : 接続 / 切断イベントをハードウェアで検出しました。 【注】 Device Removeable ビットがセットされると、このビットは 1 にリセットされます。
15 ~ 10	すべて 0	—	リザーブビット 読み出し値は常に 0 です。書き込む値も常に 0 にしてください。
9	x	R/W	(リード時) Low Speed Device Attached 接続されているデバイスのスピード (およびバスアイドル) を示します。Current Connect Status ビットがセットされているときのみ有効です。 0 : 高速デバイス 1 : 低速デバイス (ライト時) Clear Port Power 1 を書き込むと、Port Power Status ビットをクリアします。0 を書き込んででも変化しません。

レジスタ名 : HcRhPortStatus1、2			オフセット : 54 ~ 57、58 ~ 5B
ビット	初期値	R/W	説明
8	0	R/W	<p>(リード時) Port Power Status</p> <p>電源切り替えモードにかかわらず、ポートの電源状態を示します。</p> <p>0 : ポートの電源はオフ。 1 : ポートの電源はオン。</p> <p>【注】 No Power Switching ビットがセットされていると、このビットの読み出し値は常に 1 です。</p> <p>(ライト時) Set Port Power</p> <p>1 を書き込むと、Port Power Status ビットをセットします。0 を書き込んでも変化しません。</p>
7~5	すべて 0	—	<p>リザーブビット</p> <p>読み出し値は常に 0 です。書き込む値も常に 0 にしてください。</p>
4	0	R/W	<p>(リード時) Port Reset Status</p> <p>0 : ポートリセット信号はアクティブではありません。 1 : ポートリセット信号はアクティブです。</p> <p>(ライト時) Set Port Reset</p> <p>1 を書き込むと、Port Reset Status ビットをセットします。0 を書き込んでも変化しません。</p>
3	0	R/W	<p>(リード時) Port Over Current Indicator</p> <p>USB ホストコントローラは全体の過電流通知機能をサポートしています。このビットは、対応するポートの OVRCUR 端子の状態を示します。No Over Current Protection ビットがクリアされ Over Current Protection Mode ビットがセットされているときのみ有効です。</p> <p>0 : 過電流状態は検出されていません。 1 : 過電流状態が検出されています。</p> <p>(ライト時) Clear Suspend Status</p> <p>1 を書き込むと、対応するポートの選択的再開シーケンスを開始します。0 を書き込んでも変化しません。</p>
2	0	R/W	<p>(リード時) Port Suspend Status</p> <p>0 : ポートは中断されていません。 1 : ポートは選択的に中断されています。</p> <p>(ライト時) Set Port Suspend</p> <p>1 を書き込むと、Port Suspend Status ビットをセットします。0 を書き込んでも変化しません。</p>
1	0	R/W	<p>(リード時) Port Enable Status</p> <p>0 : ポートは無効です。 1 : ポートは有効です。</p> <p>(ライト時) Set Port Enable</p> <p>1 を書き込むと、Port Enable Status ビットをセットします。0 を書き込んでも変化しません。</p>

レジスタ名 : HcRhPortStatus1、2			オフセット : 54 ~ 57、58 ~ 5B
ビット	初期値	R/W	説明
0	0	R/W	<p>(リード時) Current Connect Status</p> <p>0 : デバイスが接続されていません。 1 : デバイスが接続されています。</p> <p>【注】 Device Removeable ビットがセットされていると (取り外し不可)、このビットの読み出し値は常に 1 です。</p> <p>(ライト時) Clear Port Enable</p> <p>1 を書き込むと、Port Enable Status ビットをクリアします。0 を書き込んでも変化しません。</p>

【注】 X : トランシーバの状態に影響します。

14.4 USB 2.0-ファンクションコントローラ

本モジュールは、USB ファンクションコントロール機能を備えた USB コントローラです。

USB 規格 Rev.2.0 の Hi-Speed 転送、Full-Speed 転送に対応しています。

本コントローラは、USB 規格で定義されている全転送タイプに対応しています。またデータ転送用に最大 10K バイトのバッファメモリを内蔵でき、最大 10 本のパイプを使用できます。また、パイプ 1~9 に対しては、通信を行うペリフェラル機器やユーザシステムに合わせた、任意のエンドポイント番号の割り付けが可能です。CPU バスインタフェースとは独立したローカルバスインタフェース (DMA インタフェース専用) を備え、高速大容量データ転送を要求されるシステムに適しています。

14.4.1 特長

(1) USB Hi-Speed 対応のファンクションコントローラを内蔵

- UTMI+ Spec1.0のインタフェース仕様に対応 (UTMI+level3 ただしOn-the-Go機能は未対応)

(2) USB 全転送タイプに対応

アイソクロナス転送対応を含む USB 全転送タイプに対応

- コントロール転送
- バルク転送
- インタラプト転送 (High Bandwidthは非対応)
- アイソクロナス転送 (High Bandwidthは非対応)

(3) バスインタフェース

- バス幅32bitのHPBに準拠
- DMAインタフェースを2ch内蔵可能
(CPUとは独立したDMACインタフェースを選択可能)
- 内蔵FIFOへのアクセスは60Mバイト/秒の高速データ転送が可能 (UTMI+ 8bitモード選択時)

(4) パイプコンフィグレーション

- USB通信用バッファメモリを最大10Kバイトまで対応可能
- 最大10本のパイプを選択可能 (デフォルトコントロールパイプを含む)
- プログラマブルなパイプ構成
- パイプ1-9は任意のエンドポイント番号を割り付け可能
- 各パイプの設定可能な転送条件

パイプ0 : コントロール転送、64バイト固定シングルバッファ

パイプ1、2 : バルク転送 / アイソクロナス転送、連続転送モード、バッファサイズはプログラマブル
(最大2Kバイトでダブルバッファ指定可能)

パイプ3~5 : バルク転送、連続転送モード、バッファサイズはプログラマブル (最大2Kバイトでダブルバッファ指定可能)

パイプ6~9 : インタラプト転送、64バイト固定シングルバッファ

(5) ファンクションコントロール機能の特長

- Hi-Speed転送 (480Mbps) とFull-Speed転送 (12Mbps) に対応
- リセットハンドシェイク自動応答による、Hi-Speed動作、もしくはFull-Speed動作自動認識
- コントロール転送ステージ管理機能
- デバイスステート管理機能
- SET_ADDRESSリクエストに対する自動応答機能
- NAK応答割り込み機能 (NRDY)
- SOF補間機能

(6) その他の機能

- バイトエンディアンスワップ機能により、ビッグエンディアン、リトルエンディアンのどちらのデータ形式にも対応可能
- トランザクションカウントによるトランスファ終了機能
- 外部トリガ (TEND信号またはWREND信号) によるDMA転送の終了機能
- SOFパルス出力機能
- BRDY割り込みイベント通知タイミング変更機能 (BFRE)
- DxFIFOポートで指定したパイプのデータ読み出し後自動バッファメモリアリア機能 (DCLRM)
- トランスファ終了による応答PIDのNAK設定機能 (SHTNAK)

(7) 用途

ナビゲーションシステム、DVDレコーダ、セットトップボックス、オーディオ機器、プリンタ、外部ストレージ機器、その他USB搭載の機器全般

14.4.2 ブロック図

図 14.2 に本コントローラの構成図を示します。

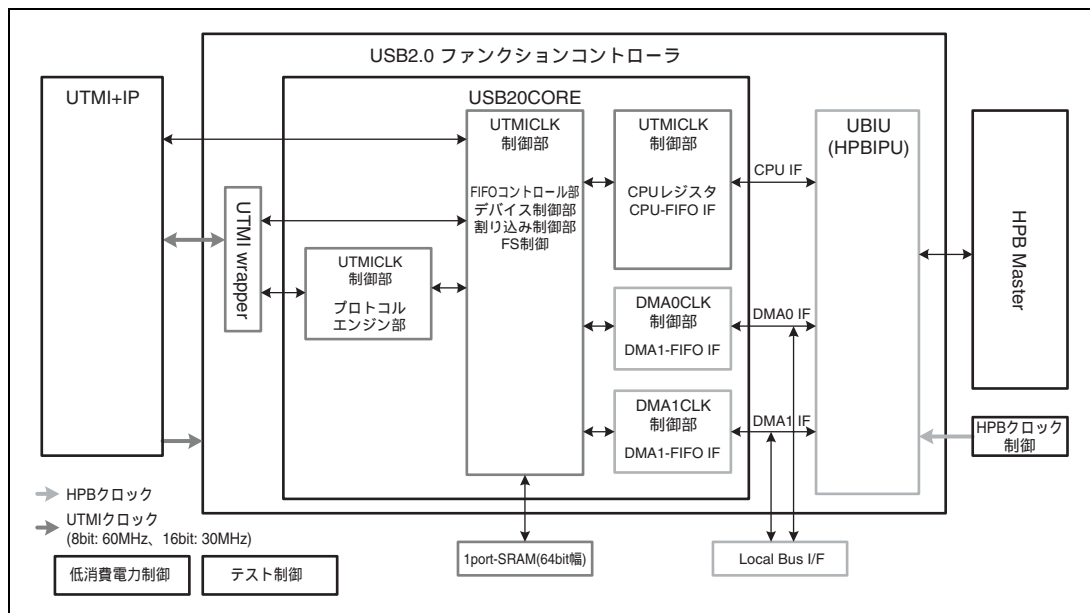


図 14.2 ブロック図

USB バス上に接続されているホストコントローラとデータ送受信を行う場合は、パイプごとに割り当てを行ったバッファメモリを使用します。本コントローラが、バッファメモリに格納されているデータを USB データパケットに変換し、USB バス上にシリアル出力を行い、また、USB バス上のデータパケットを入力し、バッファメモリへデータ格納することで、相互通信が可能となります。

14.4.3 機能概要

(1) コントローラ機能

ハードウェアが、USB 転送 Speed を自動認識します。

(2) バスインタフェース

本コントローラは、バス幅 32bit の HPB に準拠しています。

(a) FIFO バッファメモリアクセス方法

本コントローラは、USB データ転送用の FIFO バッファメモリへのアクセス方法として下記の 2 種類に対応しています。CPU (DMAC) から FIFO ポートアクセス (読み出し / 書き込み) を行うことにより、FIFO バッファメモリからの読み出し (または FIFO バッファメモリへの書き込み) を行うことができます。

1. CPUアクセス

FIFOポートアドレスを指定し、データをFIFOバッファメモリに書き込み、もしくはFIFOバッファメモリから読み出してください。

2. DMAアクセス

CPU内蔵DMAC、もしくは専用DMACから、FIFOポートアドレスを指定し、データを本コントローラのFIFOバッファメモリに書き込み、もしくはFIFOバッファメモリから読み出してください。

USB データ通信はリトルエンディアンで行われます。FIFO ポートアクセスにはバイトエンディアンスワップ機能があり、16bit/32bit アクセスの場合には、レジスタ設定によるエンディアン切り替えができます。

(b) ローカルバスからの FIFO バッファメモリアクセス方法

CPU バスインタフェースとは独立したローカルバスインタフェース (DMA インタフェース専用) を選択することができ、高速大容量データ転送の FIFO バッファアクセスが可能になります。

(3) USB イベント

本コントローラは、USB 動作上のイベントを割り込みによりユーザシステムに通知します。また、DMA インタフェースを選択したパイプのバッファメモリへのアクセスが可能であることを、UCL_Dx_DREQ 信号をアサートすることにより通知します。

ソフトウェアの設定により種類別、要因別に割り込み通知の可否を選択することができます。

(4) USB データ転送

本コントローラは、USB 通信のコントロール転送、バルク転送、インタラプト転送、およびアイソクロナス転送の全種類のデータ転送が可能です。各転送タイプに対するパイプのリソースは下記のとおりです。

1. コントロール転送専用パイプ：1本
2. インタラプト転送専用パイプ：4本
3. バルク転送専用パイプ：3本
4. バルク転送もしくはアイソクロナス転送選択パイプ：2本

各パイプは、ユーザシステムに合わせて転送タイプ、エンドポイント番号、マックスパケットサイズ等の USB 転送に必要な設定を行ってください。

また、本コントローラは、最大 10K バイトのバッファメモリを内蔵できます。バルク転送専用パイプ、およびバルク転送もしくはアイソクロナス転送選択パイプに対しては、ユーザシステムによるバッファメモリの割り当てやバッファ動作モードなどの設定を行ってください。バッファ動作モード設定は、ダブルバッファ構成やデータバケットの連続転送機能により、少ない割り込み回数で、高速なデータ転送が可能です。

ユーザシステムの制御用 CPU、および DMA コントローラからのバッファメモリへのアクセスは、3本の FIFO ポートレジスタを通して行います。

(5) DMAC (ダイレクトメモリアクセスコントローラ) からのアクセス用機能

本コントローラは、2チャンネルの DMA インタフェースを備えており、下記のような機能を有しています。

1. 転送終了信号によるトランスファ終了通知機能 (ローカルバス選択時のみ)
2. Zero-Lengthパケット受信時のFIFOバッファ自動クリア機能
3. トランザクションカウンタ機能によるトランスファ終了機能

(6) SOF パルス出力機能

SOF パケットの送受信タイミングを通知する SOF パルス出力機能を備えています。ホストコントローラ機能選択時には、SOF パケットの送信時に SOF パルス出力をアサートします。ペリフェラルコントローラ機能選択時には SOF パケットの受信時に SOF パルス出力をアサートします。SOF パケット破損時も SOF 補間タイムにより、一定間隔でパルスを出力します。

14.4.4 レジスタ

	<u>レジスタ表の見方</u>
ビット番号	各レジスタは、16 ビットの内部バスに接続されています。 偶数番地は b15 ~ b8 に、奇数番地は b7 ~ b0 になります。
リセット後の状態	リセット動作直後のレジスタ初期状態を示します。 ハードウェアリセットは EXL_SYSRST 端子から外部リセット信号を入力した場合の初期状態です。 USB リセットは USB バスリセットを検出した場合の初期状態です。 なお、リセット動作中に特筆すべき事項は注意事項で記載しています。 " " は本コントローラによる操作がなく、ユーザ設定が保持されている状態です。 "?" は値が不定な状態であることを示します。
S/W Access 条件	ソフトウェアがレジスタをアクセスする場合の条件です。
H/W Access 条件	ハードウェア (本コントローラ) がリセット動作以外でレジスタをアクセスする場合の条件です。 R: Read Only W: Write Only R/W: Read / Write R(0): "0" Read Only W(1): "1" Write Only
Remarks	備考、および、詳細説明項目番号です。
Name	ビットシンボルおよびビット名称です。
Function	機能説明です。特に断りのない場合は、読み出し時の値はソフトウェアまたはハードウェアが書き込んだ値です。

< 表記例 >

網掛け部分には何も配置されていません。"0"に固定してください。

Bit Number	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit Symbol		Abit	Bbit	Cbit												
H/W リセット	?	0	0	0												
USB リセット	?	0	-	-												

ビット	ビット名	機 能	S/W	H/W	備考
15		何も配置されていません。"0"に固定してください。			
14	A bit AAA 許可	0 : 動作禁止 1 : 動作許可	R/W	R	
13	B bit BBB 動作	0 : Low 出力 1 : High 出力	R	W	
12	C bit CCC 制御	0 : 1 :	R(0)/ W(1)	R	

<< 備考 >>

- レジスタ一覧

表 14.6 に本コントローラのレジスタ一覧表を示します。

表 14.6 レジスタ一覧表

アドレス	レジスタ名	名 称	インデックス
H'FFE60000	SYSCFG0	システムコンフィグレーションコントロールレジスタ	
H'FFE60002	BUSWAIT	CPU バスウェイトレジスタ	
H'FFE60004	SYSSTS0	システムコンフィグレーションステータスレジスタ	
H'FFE60006			
H'FFE60008	DVSTCTR0	デバイスコントロールレジスタ	
H'FFE6000A			
H'FFE6000C	TESTMODE	テストモードレジスタ	
H'FFE6000E			
H'FFE60010	D0FBCFG	DMA0-FIFO バスコンフィグレーションレジスタ	
H'FFE60012	D1FBCFG	DMA1-FIFO バスコンフィグレーションレジスタ	
H'FFE60014	CFIFO	CFIFO ポートレジスタ	
H'FFE60016			
H'FFE60018	D0FIFO	D0FIFO ポートレジスタ	
H'FFE6001A			
H'FFE6001C	D1FIFO	D1FIFO ポートレジスタ	
H'FFE6001E			
H'FFE60020	CFIFOSEL	CFIFO ポート選択レジスタ	
H'FFE60022	CFIFOCTR	CFIFO ポートコントロールレジスタ	
H'FFE60024			
H'FFE60026			
H'FFE60028	D0FIFOSEL	D0FIFO ポート選択レジスタ	
H'FFE6002A	D0FIFOCTR	D0FIFO ポートコントロールレジスタ	
H'FFE6002C	D1FIFOSEL	D1FIFO ポート選択レジスタ	
H'FFE6002E	D1FIFOCTR	D1FIFO ポートコントロールレジスタ	
H'FFE60030	INTENB0	割り込み許可レジスタ 0	
H'FFE60032	INTENB1	割り込み許可レジスタ 1	
H'FFE60034			
H'FFE60036	BRDYENB	BRDY 割り込み許可レジスタ	
H'FFE60038	NRDYENB	NRDY 割り込み許可レジスタ	
H'FFE6003A	BEMPENB	BEMP 割り込み許可レジスタ	
H'FFE6003C	SOF CFG	SOF 出力コンフィグレーションレジスタ	
H'FFE6003E			
H'FFE60040	INTSTS0	割り込みステータスレジスタ 0	
H'FFE60042	INTSTS1	割り込みステータスレジスタ 1	

アドレス	レジスタ名	名 称	インデックス
H'FFE60044			
H'FFE60046	BRDYSTS	BRDY 割り込みステータスレジスタ	
H'FFE60048	NRDYSTS	NRDY 割り込みステータスレジスタ	
H'FFE6004A	BEMPSTS	BEMP 割り込みステータスレジスタ	
H'FFE6004C	FRMNUM	フレームナンバレジスタ	
H'FFE6004E	UFRMNUM	マイクロフレームナンバレジスタ	
H'FFE60050	USBADDR	USB アドレスレジスタ	
H'FFE60054	USBREQ	USB リクエストタイプレジスタ	
H'FFE60056	USBVAL	USB リクエストバリュレジスタ	
H'FFE60058	USBINDX	USB リクエストインデックスレジスタ	
H'FFE6005A	USBLENG	USB リクエストレンクスレジスタ	
H'FFE6005C	DCPCFG	DCP コンフィグレーションレジスタ	
H'FFE6005E	DCPMAXP	DCP マックスパケットサイズレジスタ	
H'FFE60060	DCPCTR	DCP コントロールレジスタ	
H'FFE60062			
H'FFE60064	PIPESEL	パイプウィンドウ選択レジスタ	
H'FFE60066			
H'FFE60068	PIPECFG	パイプコンフィグレーションレジスタ	
H'FFE6006A	PIPEBUF	パイプバッファ指定レジスタ	
H'FFE6006C	PEPMAXP	パイプマックスパケットサイズレジスタ	
H'FFE6006E	PEPPERI	パイプ周期制御レジスタ	
H'FFE60070	PIPE1CTR	PIPE1 コントロールレジスタ	
H'FFE60072	PIPE2CTR	PIPE2 コントロールレジスタ	
H'FFE60074	PIPE3CTR	PIPE3 コントロールレジスタ	
H'FFE60076	PIPE4CTR	PIPE4 コントロールレジスタ	
H'FFE60078	PIPE5CTR	PIPE5 コントロールレジスタ	
H'FFE6007A	PIPE6CTR	PIPE6 コントロールレジスタ	
H'FFE6007C	PIPE7CTR	PIPE7 コントロールレジスタ	
H'FFE6007E	PIPE8CTR	PIPE8 コントロールレジスタ	
H'FFE60080	PIPE9CTR	PIPE9 コントロールレジスタ	
H'FFE60082- H'FFE6008E			
H'FFE60090	PIPE1TRE	PIPE1 トランザクションカウンタインーブルレジスタ	
H'FFE60092	PIPE1TRN	PIPE1 トランザクションカウンタレジスタ	
H'FFE60094	PIPE2TRE	PIPE2 トランザクションカウンタインーブルレジスタ	
H'FFE60096	PIPE2TRN	PIPE2 トランザクションカウンタレジスタ	
H'FFE60098	PIPE3TRE	PIPE3 トランザクションカウンタインーブルレジスタ	
H'FFE6009A	PIPE3TRN	PIPE3 トランザクションカウンタレジスタ	

アドレス	レジスタ名	名 称	インデックス
H'FFE6009C	PIPE4TRE	PIPE4 トランザクションカウンタイネーブルレジスタ	
H'FFE6009E	PIPE4TRN	PIPE4 トランザクションカウンタレジスタ	
H'FFE600A0	PIPE5TRE	PIPE5 トランザクションカウンタイネーブルレジスタ	
H'FFE600A2	PIPE5TRN	PIPE5 トランザクションカウンタレジスタ	
H'FFE600A4- H'FFE600CE			
H'FFE600D0	DEVADD0	デバイスアドレス 0 コンフィグレーションレジスタ	
H'FFE600D2	DEVADD1	デバイスアドレス 1 コンフィグレーションレジスタ	
H'FFE600D4	DEVADD2	デバイスアドレス 2 コンフィグレーションレジスタ	
H'FFE600D6	DEVADD3	デバイスアドレス 3 コンフィグレーションレジスタ	
H'FFE600D8	DEVADD4	デバイスアドレス 4 コンフィグレーションレジスタ	
H'FFE600DA	DEVADD5	デバイスアドレス 5 コンフィグレーションレジスタ	
H'FFE600DC	DEVADD6	デバイスアドレス 6 コンフィグレーションレジスタ	
H'FFE600DE	DEVADD7	デバイスアドレス 7 コンフィグレーションレジスタ	
H'FFE600E0	DEVADD8	デバイスアドレス 8 コンフィグレーションレジスタ	
H'FFE600E2	DEVADD9	デバイスアドレス 9 コンフィグレーションレジスタ	
H'FFE600E4	DEVADDA	デバイスアドレス A コンフィグレーションレジスタ	
H'FFE600E6- H'FFE60100			
H'FFE60102	SUSPMODE	UTMI サスペンドモードレジスタ	

網掛けの番地には何も配置されていません。アクセスを行わないでください。

- ビットシンボル一覧

表 14.7 に本コントローラのビットシンボル一覧表を示します。上位アドレスは H'FFE6_0 になります。

表 14.7 ビットシンボル一覧表

アド レス	レジスタ名	偶数アドレス								奇数アドレス											
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
H'000	SYSCFG0									HSE				DPRPU				USBE			
H'002	BUSWAIT																	BWAIT			
H'004	SYSSTS0	OVCMON											HDDM		IDMON		LNST				
H'006																					
H'008	DVSTCTR0							EXTLP0	VBOUT	WKUP	RWUPE	USBRST	RESUME	UACT				RHST			
H'00A																					
H'00C	TESTMODE																	UTST			
H'00E																					
H'010	D0FBCFG				DFACC									TENDE							
H'012	D1FBCFG				DFACC									TENDE							
H'014	CFIFO0	CFPORT[31:16]																			
H'016	CFIFO1	CFPORT[15:0]																			
H'018	D0FIFO0	D0FPORT[31:16]																			
H'01A	D0FIFO1	D0FPORT[15:0]																			
H'01C	D1FIFO0	D1FPORT[31:16]																			
H'01E	D1FIFO1	D1FPORT[15:0]																			
H'020	CFIFOSEL	RCNT	REW				MBW			BIGEND				ISEL				CURPIPE			
H'022	CFIFOCTR	BVAL	BCLR	FRDY						DTLN											
H'024																					
H'026																					
H'028	D0FIFOSEL	RCNT	REW	DCLRM	DREQE		MBW			BIGEND								CURPIPE			
H'02A	D0FIFOCTR	BVAL	BCLR	FRDY						DTLN											
H'02C	D1FIFOSEL	RCNT	REW	DCLRM	DREQE		MBW			BIGEND								CURPIPE			
H'02E	D1FIFOCTR	BVAL	BCLR	FRDY						DTLN											
H'030	INTENB0	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE												
H'032	INTENB1	OVRCRE	BCHGE		DTCHE	ATTCHE							EOFER RE	SIGNE	SACKE						
H'034																					
H'036	BRDYENB	PIPEBRDYE																			
H'038	NRDYENB	PIPENRDYE																			
H'03A	BEMPENB	PIPEBEMPE																			
H'03C	SOFCFG									TRNEN SEL		BRDYM	INTL	EDGES TS	SOFM						

アド レス	レジスタ名	偶数アドレス								奇数アドレス								
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
H'03E																		
H'040	INTSTS0	VBINT	RESM	SOFR	DVST	CTRTR	BEMP	NRDY	BRDY	VBSTS	DVSQ		VALID	CTSQ				
H'042	INTSTS1	OVRCR	BCHG		DTCH	ATTCH					EOFERR	SIGN	SACK					
H'044																		
H'046	BRDYSTS										PIPEBRDY							
H'048	NRDYSTS										PIPENRDY							
H'04A	BEMPSTS										PIPEBEMP							
H'04C	FRMNUM	OVNR	CRCE								FRNM							
H'04E	UFRMNUM															UFRNM		
H'050	USBADDR										USBADDR							
H'052																		
H'054	USBREQ	bRequest								bmRequestType								
H'056	USBVAL	wValue																
H'058	USBINDX	wIndex																
H'05A	USBLENG	wLength																
H'05C	DCPCFG												DIR					
H'05E	DCPMAXP	DEVSEL								MXPS								
H'060	DCPCTR	BSTS	SUREQ	CSCLR	CSSTS	SUREQ CLR				SQCLR	SQSET	SQMON	PBUSY	PINGE		CCPL	PID	
H'062																		
H'064	PIPESEL															PIPESEL		
H'066																		
H'068	PIPECFG	TYPE						BFRE	DBLB	CNTMD	SHTNAK			DIR	EPNUM			
H'06A	PIPEBUF		BUFSIZE										BUFNMB					
H'06C	PIPEMAXP	DEVSEL								MXPS								
H'06E	PIPEPERI				IFIS												IITV	
H'070	PIPE1CTR	BSTS	INBUFM	CSCLR	CSSTS		ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY					PID	
H'072	PIPE2CTR	BSTS	INBUFM	CSCLR	CSSTS		ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY					PID	
H'074	PIPE3CTR	BSTS	INBUFM	CSCLR	CSSTS		ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY					PID	
H'076	PIPE4CTR	BSTS	INBUFM	CSCLR	CSSTS		ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY					PID	
H'078	PIPE5CTR	BSTS	INBUFM	CSCLR	CSSTS		ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY					PID	
H'07A	PIPE6CTR	BSTS						ACLRM	SQCLR	SQSET	SQMON	PBUSY					PID	
H'07C	PIPE7CTR	BSTS						ACLRM	SQCLR	SQSET	SQMON	PBUSY					PID	
H'07E	PIPE8CTR	BSTS						ACLRM	SQCLR	SQSET	SQMON	PBUSY					PID	
H'080	PIPE9CTR	BSTS						ACLRM	SQCLR	SQSET	SQMON	PBUSY					PID	
H'082- H'08E																		

アド レス	レジスタ名	偶数アドレス								奇数アドレス							
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
H'090	PIPE1TRE							TRENB	TRCLR								
H'092	PIPE1TRN	TRNCNT															
H'094	PIPE2TRE							TRENB	TRCLR								
H'096	PIPE2TRN	TRNCNT															
H'098	PIPE3TRE							TRENB	TRCLR								
H'09A	PIPE3TRN	TRNCNT															
H'09C	PIPE4TRE							TRENB	TRCLR								
H'09E	PIPE4TRN	TRNCNT															
H'0A0	PIPE5TRN							TRENB	TRCLR								
H'0A2	PIPE6TRN	TRNCNT															
H'0A4- H'0CE																	
H'0D0	DEVADD0		HPPHUB					HUBPORT			USBSPD						
H'0D2	DEVADD1		HPPHUB					HUBPORT			USBSPD						
H'0D4	DEVADD2		HPPHUB					HUBPORT			USBSPD						
H'0D6	DEVADD3		HPPHUB					HUBPORT			USBSPD						
H'0D8	DEVADD4		HPPHUB					HUBPORT			USBSPD						
H'0DA	DEVADD5		HPPHUB					HUBPORT			USBSPD						
H'0DC	DEVADD6		HPPHUB					HUBPORT			USBSPD						
H'0DE	DEVADD7		HPPHUB					HUBPORT			USBSPD						
H'0E0	DEVADD8		HPPHUB					HUBPORT			USBSPD						
H'0E2	DEVADD9		HPPHUB					HUBPORT			USBSPD						
H'0E4	DEVADDA		HPPHUB					HUBPORT			USBSPD						
H'0E6- H'100																	
H'102	SUSPMODE		SUSP														

(1) システムコンフィグレーションコントロール

• システムコンフィグレーションコントロールレジスタ (SYSCFG0)

<アドレス : H'000 >

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								HSE			DPRPU				USBE
?	?	?	?	?	?	?	?	0	?	?	0	?	?	?	0
?	?	?	?	?	?	?	?	-	?	?	-	?	?	?	-

ビット	名称	説明	S/W	H/W	備考
15~8	何も配置されていません。"0"に固定してください。				
7	HSE Hi-Speed 動作許可	Hi-Speed 動作禁止 / 許可を指定します。 0 : Hi-Speed 動作禁止 (Full-Speed) 1 : Hi-Speed 動作許可 (コントローラが 通信 Speed を検出)	R/W	R	
6, 5	何も配置されていません。"0"に固定してください。				
4	DPRPU D+ライン抵抗制御	D+ライン PullUp の禁止 / 許可を指定しま す。 0 : Pull Up 禁止 1 : Pull Up 許可	R/W	R	
3~1	何も配置されていません。"0"に固定してください。				
0	USBE USB ブロック動作許可	USB ブロックの動作禁止 / 許可を指定し ます。 0 : USB ブロック動作禁止 1 : USB ブロック動作許可	R/W	R	

<< 備考 >>

本レジスタへの書き込みは、UTMI クロックが停止時でも可能です。しかし UTMI クロックが停止時に設定された値は、UTMI クロックが発振されてから、設定値が反映されます。

(a) Hi-Speed 動作許可ビット (HSE)

本ビットを"1"に設定することにより、Hi-Speed 動作を許可します。HSE=1 を設定した場合、本コントローラは Reset Handshake の結果に従い Hi-Speed または Full-Speed 動作させます。

HSE=0 を設定した場合、本コントローラは Full-Speed 動作を行います。

HSE=1 を設定した場合、本コントローラは Reset Handshake Protocol を実行し、その結果に従い自動的に Hi-Speed または Full-Speed 動作を行います。

本ビットの書き換えは、DPRPU=0 のときに行ってください。

(b) D+ライン抵抗制御 (DPRPU)

表 14.8 に USB データバスの抵抗についての設定を示します。DPRPU ビットで USB データバスの抵抗選択を行ってください。

表 14.8 USB データバス抵抗の制御

設定	USB データバス抵抗制御		
	D- Line	D+ Line	備 考
0	Open	Open	
1	Open	Pull-Up	動作させる場合はこの設定にしてください

本ビットを"1"に設定すると、本コントローラは D+ラインを 3.3V に Pull Up し、USB ホストに対してアタッチを通知することができます。

また、本ビットを"1"から"0"に変更することにより、本コントローラは D+ラインの Pull Up を解消しますので、USB ホストに対してデタッチしたと見せることができます。

(c) USB ブロック動作許可ビット (USB_E)

本ビットを設定することにより、本コントローラの USB ブロックの動作許可、禁止を行います。

USB_E=1 から USB_E=0 に変更した場合には、本コントローラは表 14.9 に示すビットを初期化します。

表 14.9 USB_E=0 書き込みにより初期化されるレジスタ一覧

レジスタ名	ビット名	備 考
SYSSTS0	LNST	
DVSTCTR0	RHST	
INTSTS0	DVSQ	
USBADDR	USBADDR	
USBREQ	bRequest bmRequestType	
USBVAL	wValue	
USBINDX	wIndex	
USBLENG	wLength	

本ビットの変更は、SuspendM=1、かつ UTMI クロックが発振された後に行ってください。

• CPUバスウェイト設定レジスタ (BUSWAIT)

<アドレス : H'002>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												BWAIT			
?	?	?	?	?	?	?	?	?	?	?	?	1	1	1	1
?	?	?	?	?	?	?	?	?	?	?	?	-	-	-	-

ビット	名 称	説 明	S/W	H/W	備 考
15~4		何も配置されていません。"0"に固定してください。			
3~0	BWAIT CPU バスアクセスウェイトの指定	本コントローラに対するアクセスウェイト数を指定 0000 : 0 ウェイト (アクセスサイクル 2) : : 0010 : 2 ウェイト (アクセスサイクル 4) : : 0100 : 4 ウェイト (アクセスサイクル 6) : : 1111 : 15 ウェイト (アクセスサイクル 17) (初期値)	R/W	R	

<< 備考 >>

なし

(a) CPU アクセスウェイト指定ビット (BWAIT)

本設定は、UTMI のインタフェースバス幅により異なります。

本コントローラの H'04 アドレス以降のレジスタへのアクセスサイクルには、以下のような制約があります。

ウェイト制約 : 本コントローラのレジスタへの連続アクセスのサイクルは、66ns 以上でなければならない

本制約を満たすために、CPU クロックの周波数によりウェイト制御する必要があります。初期値は最大値 (17 クロックサイクル) ですので、最適な設定値を選択してください。

なお、本設定は、FIFO ポートレジスタへのアクセスのウェイトと共通です。FIFO ポートへの最大アクセスビードは以下のとおりとなります。

MBW="10" (32bit 幅) : max 60MBytes/sec

MBW="01" (16bit 幅) : max 30MBytes/sec

MBW="00" (8bit 幅) : max 15MBytes/sec

(2) システムコンフィギュレーションステータス

- システムコンフィギュレーションステータスレジスタ (SYSSTS0) <アドレス: H'004>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OVCMON													IDMON	LNST	
?	?	?	?	?	?	?	?	?	?	?	?	?	?	0	0
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

ビット	名称	説明	S/W	H/W	備考
15~14	OVCMON OVR0A、OVR0B 端子モニタ	OVCUR0A、OVCUR0B 端子の入力状態が表示されます。 00: OVCUR0A=Low、OVCUR0B=Low 01: OVCUR0A=Low、OVCUR0B=High 10: OVCUR0A=High、OVCUR0B=Low 11: OVCUR0A=High、OVCUR0B=High	R	W	
13~3	何も配置されていません。"0"に固定してください。				
2	IDMON ID0 端子ピンモニタ	ID0 端子の入力状態が表示されます。 0: ID0=Low 1: ID0=High	R	W	
1、0	LNST USB データラインステータスモニタ	USB ライン状態が表示されます。 詳細説明をご覧ください。	R	W	

<< 備考 >>

なし

(a) OVCUR0A、OVCUR0B 端子モニタビット (OVCMON)

本コントローラは、本レジスタのビット 15 に OVCUR0A 端子の状態を、ビット 14 に OVCUR0B 端子の入力状態を表示します。

(b) ID0 端子モニタビット (IDMON)

本コントローラは、本ビットに ID0 端子の入力状態を表示します。

(c) ラインステータスモニタビット (LNST)

表 14.10 に本コントローラの USB データバスラインステータスを示します。本コントローラは、SYSSTS0 レジスタの LNST ビットに USB データバスのラインステータス (D+ライン、および D-ライン) をモニタします。

LNST ビットの参照は USBE=1 設定後、アタッチ処理 (DPRPU=1 設定) 以後に行ってください。

表 14.10 USB データバスラインステータス表

LNST [1]	LNST [0]	Full-Speed 動作時	Hi-Speed 動作時	Chirp 動作時
0	0	SE0	Squelch	Squelch
0	1	J State	Unsquelch	Chirp J
1	0	K State	Invalid	Chirp K
1	1	SE1	Invalid	Invalid

【記号説明】

Chirp : Hi-Speed 動作許可の状態 (HSE = 1) で、リセットハンドシェイクプロトコル実行中

Squelch : SE0、もしくは Idle 状態

Unsquelch : Hi-Speed J State、もしくは Hi-Speed K State

Chirp J : Chirp J State

Chirp K : Chirp K State

(3) USB 信号制御

• デバイスステートコントロールレジスタ (DVSTCTR0)

<アドレス : H'008 >

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					EXTLP0	VBOUT	WKUP						RHST		
?	?	?	?	?	0	0	0	?	?	?	?	?	0	0	0
?	?	?	?	?	-	-	0	?	?	?	?	?	-	-	-

ビット	名称	説明	S/W	H/W	備考
15~11	何も配置されていません。"0"に固定してください。				
10	EXTLP0 EXTLP0 端子出力制御	EXTLP0 端子に出力する状態を制御します。 0 : EXTLP0 Low 出力 (初期値) 1 : EXTLP0 High 出力	R/W	R	
9	VBOUT VBOUT0 端子出力制御	VBOUT0 端子に出力する状態を制御します。 0 : VBOUT0=Low 出力 (初期値) 1 : VBOUT0=High 出力	R/W	R	
8	WKUP ウェイクアップ出力	リモートウェイクアップ (レジャーム信号出力) 禁止 / 許可を指定します。 0 : リモートウェイクアップ信号非出力 1 : リモートウェイクアップ信号出力	R/W(1)	R/W(0)	
7~3	何も配置されていません。"0"に固定してください。				
2~0	RHST リセットハンドシェイク	リセットハンドシェイクの状態を表示します。 詳細説明をご覧ください。	R	W	

<< 備考 >>

なし

(a) リモートウェイクアップ (レジューム信号出力) 禁止 / 許可ビット (WKUP)

本コントローラは USB バスにリモートウェイクアップ信号を出力します。

本コントローラは、リモートウェイクアップ信号の出力時間を管理しています。ソフトウェアが WKUP ビットに "1" を設定すると、本コントローラは 10ms の K-State を出力しその後 WKUP=0 にします。

USB 規格では、リモートウェイクアップ信号の送信までに最短 5ms の USB バスアイドル状態を保持する必要があります。このため、サスペンド状態を検出した直後に WKUP=1 を書き込んでも、本コントローラは 2ms 待つから K ステートを出力します。

WKUP ビットへの "1" 書き込みは、デバイスステートがサスペンド (DVSQ=1xx) でありかつ USB ホストからリモートウェイクアップが許可されている場合にのみ行ってください。

WKUP ビットを "1" に設定する場合は、サスペンド中であっても内部クロックを停止しないでください (SCKE=1 の状態で WKUP=1 を書き込んでください)。

(b) リセットハンドシェイクステータスビット (RHST)

本コントローラは Reset Handshake の結果を本ビットに表示します。表 14.11 に Reset Handshake 結果一覧を示します。

表 14.11 USB データバスラインステータス表

バスの状態	RHST ビットの値
Powered 時 or Disconnect 時	000
ResetHandshake 中	100
Low-Speed 接続時	-
Full-Speed 接続時	010
Hi-Speed 接続時	011

HSE=1 を設定している場合、本コントローラが USB バスリセットを検出すると、本ビットは "100" を示します。その後、本コントローラが ChirpK を出力し、USB ホストからの ChirpJK を 3 回検出した時点で本ビットは "011" を示します。ChirpK 出力後、2.5ms 以内に Hi-Speed に確定しなければ、本ビットは "010" を示します。

HSE=0 を設定している場合、本コントローラが USB バスリセットを検出すると、本ビットは "010" を示します。

本コントローラが USB バスリセットを検出後、RHST ビットが "010" または "011" に確定した時点で、DVST 割り込みが発生します。

(4) テストモード

- テストモードレジスタ (TESTMODE)

< アドレス : H'00C >

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												UTST			
?	?	?	?	?	?	?	?	?	?	?	?	0	0	0	0
?	?	?	?	?	?	?	?	?	?	?	?	-	-	-	-

ビット	名 称	説 明	S/W	H/W	備考
15~4	何も配置されていません。"0"に固定してください。				
3~0	UTST テストモード	詳細説明をご覧ください。	R/W	R	

<< 備考 >>

なし

(a) テストモードビット (UTST)

本ビットに値を書き込むことにより、本コントローラは Hi-Speed 動作時の USB テスト信号出力を行います。表 14.12 に本コントローラのテストモード動作表を示します。

表 14.12 テストモード動作表

テストモード	UTST ビット設定
通常動作	0000
Test_J	0001
Test_K	0010
Test_SE0_NAK	0011
Test_Packet	0100
Test_Force_Enable	-
Reserved	0101 ~ 0111

Hi-Speed 通信時の USB ホストからの SetFeature リクエストに従って本ビットを書き込んでください。
本ビットに"0001 ~ 0100"を設定しているときには、本コントローラはサスペンド状態へ遷移しません。

(5) DMA-FIFO バスアクセス制御

D0FBCFG レジスタは、DMA0-FIFO のバスアクセス制御を、D1FBCFG レジスタは、DMA1-FIFO のバスアクセス制御を行うレジスタです。なお、DMA0-FIFO バスまたは DMA1-FIFO バスがローカルバスに接続される仕様の場合には、本レジスタへの設定は無効となります。

- DMA0-FIFOバスコンフィグレーションレジスタ (D0FBCFG) <アドレス : H'010 >
- DMA1-FIFOバスコンフィグレーションレジスタ (D1FBCFG) <アドレス : H'012 >

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		DFACC									TENDE				
?	?	0	0	?	?	?	?	?	?	?	0	?	?	?	?
?	?	-	-	?	?	?	?	?	?	?	-	?	?	?	?

ビット	名称	説明	S/W	H/W	備考
15, 14		何も配置されていません。"0"に固定してください。			
13, 12	DFACC DMAx-FIFO アクセスモード	当該 FIFO ポートのアクセスモードを指定 00 : サイクルスチルモード (初期値) 01 : 16 バイト連続アクセスモード 10 : 32 バイト連続アクセスモード 11 : 無効	R/W	R	
11~5		何も配置されていません。"0"に固定してください。			
4	TENDE TENDx_N 信号許可	TENDx_N 信号の入力許可を行います。 0 : TENDx_N 信号禁止 1 : TENDx_N 信号許可	R/W	R	
3~0		何も配置されていません。"0"に固定してください。			

<< 備考 >>

なし

(a) DMA 転送の FIFO アクセスモード選択ビット (DFACC)

本ビットは、UCL_Dx_DREQ 出力を使用して DMA 転送を行う場合の転送モードを指定します。
ローカルバスに接続される仕様の場合には、本ビットへの書き込みは無効になります。

(b) TENDx_N 入力信号の許可ビット (TENDE)

DMA による FIFO ライトアクセス時に TEND 入力を有効にするかを決定します。
ローカルバスに接続される仕様の場合には、本ビットへの書き込みは無効になります。

(6) FIFO ポート

- CFIFOポートレジスタ (CFIFO) <アドレス : H'014>
- D0FIFOポートレジスタ (D0FIFO) <アドレス : H'018>
- D1FIFOポートレジスタ (D1FIFO) <アドレス : H'01C>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FIFOPORT(Low)															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

- CFIFOポートレジスタ (CFIFO) <アドレス : H'016>
- D0FIFOポートレジスタ (D0FIFO) <アドレス : H'01A>
- D1FIFOポートレジスタ (D1FIFO) <アドレス : H'01E>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FIFOPORT(High)															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	名 称	説 明	S/W	H/W	備考
31~0	FIFOPORT FIFO ポート	本ビットにアクセスすることにより、FIFO バッファからの受信データ読み出し、もしくはFIFO バッファへの送信データの書き込みを行います。	R/W	R/W	

<< 備考 >>

なし

(a) FIFO ポート制御

本コントローラの送受信バッファメモリはFIFO構造（FIFO バッファ）となっています。FIFO バッファへのアクセスはFIFO ポートレジスタを使用してください。FIFO ポートはCFIFO ポート、D0FIFO ポート、およびD1FIFO ポートの3ポートがあります。各FIFO ポートはFIFO バッファへのデータ読み書きを行うポートレジスタ（CFIFO、D0FIFO、およびD1FIFO）、FIFO ポートに割り当てるパイプを選択するレジスタ（CFIFOSEL、D0FIFOSEL、およびD1FIFOSEL）、コントロールレジスタ（CFIFOCTR、D0FIFOCTR、およびD1FIFOCTR）で構成されます。

各FIFO ポートには下記に示す特長があります。

1. DCP用FIFOバッファへのアクセスはCFIFOポートを通して行ってください。
2. DMA転送によるFIFOバッファアクセスは、DxFIFOポートを通して行ってください。
3. CPUによるDxFIFOポートアクセスも可能です。
4. FIFOポート固有の機能を使用する場合は、CURPIPEビットに設定するPIPE番号（選択パイプ）を変更できません。（DMA関連端子への信号入出力など）
5. FIFOポートを構成するレジスタ群は、他のFIFOポートに影響を与えることはありません。

6. 同一PIPEを別々のFIFOポートへ割り当てないでください。
7. FIFOバッファの状態には、アクセス権がCPU側にある場合とSIE側にある場合の2種類があります。バッファメモリのアクセス権がSIE側にある場合は、CPUからのアクセスはできません。

DMA0-FIFO バスがローカルバスに接続される設定の場合には、D0FIFO ポートによるバッファメモリへの読み書きはできません。DMA1-FIFO バスがローカルバスに接続される設定の場合も同様に D1FIFO ポートは使用できません。

(b) FIFO ポートビット (CFIFO、D0FIFO、および D1FIFO)

ソフトウェアが本レジスタにアクセスを行うことにより、本コントローラは各選択レジスタ (CFIFOSEL、D0FIFOSEL、または D1FIFOSEL) の CURPIPE ビットに設定した PIPE 番号に割り当てた FIFO バッファへのアクセスを行います。

本レジスタへのアクセスは、各コントロールレジスタ (CFIFOCTR、D0FIFOCTR、または D1FIFOCTR) の FRDY ビットが "1" を示している (または本コントローラが UCL_Dx_DREQ 出力をアサートしている) ときのみ可能です。

本レジスタの有効ビットは、MBW ビットの設定値、および、BIGEND ビットの設定値により異なります。有効ビットを、表 14.13 ~ 表 14.15 に示します。

表 14.13 32bit アクセス (MBW=10) 時のエンディアン動作

BIGEND	ビット 31 ~ ビット 24	ビット 23 ~ ビット 16	ビット 15 ~ ビット 8	ビット 7 ~ ビット 0
0	N+3 アドレス	N+2 アドレス	N+1 アドレス	N+0 アドレス
1	N+0 アドレス	N+1 アドレス	N+2 アドレス	N+3 アドレス

表 14.14 16bit アクセス (MBW=01) 時のエンディアン動作

BIGEND	ビット 31 ~ ビット 24	ビット 23 ~ ビット 16	ビット 15 ~ ビット 8	ビット 7 ~ ビット 0
0	書き込み：無効 読み出し：禁止*		奇数アドレス	偶数アドレス
1	偶数アドレス	奇数アドレス	書き込み：無効 読み出し：禁止*	

【注】 * 無効レジスタへのワードリードまたはバイトリードは禁止です。

表 14.15 8bit アクセス (MBW=00) 時のエンディアン動作

BIGEND	ビット 31 ~ ビット 24	ビット 23 ~ ビット 16	ビット 15 ~ ビット 8	ビット 7 ~ ビット 0
0	書き込み：無効 読み出し：禁止*			書き込み：有効 読み出し：有効
1	書き込み：有効 読み出し：有効	書き込み：無効 読み出し：無効*		

【注】 * 無効レジスタへのワードリードまたはバイトリードは禁止です。

● CFIFOポート選択レジスタ (CFIFOSEL)

<アドレス: H'020>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RCNT	REW			MBW			BIGEND			ISEL		CURPIPE			
0	0	?	?	0	0	?	0	?	?	0	?	0	0	0	0
-	-	?	?	-	-	?	-	?	?	-	?	-	-	-	-

ビット	名称	説明	S/W	H/W	備考
15	RCNT リードカウントモード	CFIFOCTR の DTLN の読み出しモードを指定します。 0: 全受信データ読み出しで DTLN ビットクリア 1: 受信データ読み出しごとに DTLN ビットカウントダウン	R/W	R	
14	REW バッファポインタリワインド	バッファポインタのリワインドを行う場合に"1"を指定します。 0: バッファポインタリワインドしない 1: バッファポインタリワインドする	R(0)/W	R	
13, 12	何も配置されていません。"0"に固定してください。				
11, 10	MBW CFIFO ポートアクセスビット幅	CFIFO ポートへのアクセスビット幅を指定します。 00: 8 ビット幅 01: 16 ビット幅 10: 32 ビット幅 11: 設定禁止	R/W	R	
9	何も配置されていません。"0"に固定してください。				
8	BIGEND FIFO ポートエンディアン制御	CFIFO ポートのバイトエンディアンを指定します。 0: リトルエンディアン 1: ビッグエンディアン	R/W	R	
7, 6	何も配置されていません。"0"に固定してください。				
5	ISEL DCP 選択時の FIFO ポートアクセス方向	CURPIPE ビットに DCP 選択時の FIFO ポートアクセス方向を指定します。 0: バッファメモリ読み出し選択 1: バッファメモリ書き込み選択	R/W	R	
4	何も配置されていません。"0"に固定してください。				

ビット	名 称	説 明	S/W	H/W	備考
3~0	CURPIPE FIFO ポートアクセスパイプ指定	CFIFO ポートにアクセスする PIPE 番号を指定します。 0000 : DCP 0001 : PIPE1 0010 : PIPE2 1000 : PIPE8 1001 : PIPE9	R/W	R	

<< 備考 >>

なし

(a) リードカウントモード (RCNT)

本ビットに"0"を設定した場合、CURPIPE ビットに指定した PIPE (指定 PIPE) に割り付けた FIFO バッファの全受信データ読み出し終了時 (ダブルバッファの場合は一面分の読み出し終了時) に、本コントローラは CFIFOCTR レジスタの DTLN ビットを"0"にクリアします。

本ビットに"1"を設定した場合、指定 PIPE に割り付けた FIFO バッファから受信データ読み出しごとに、本コントローラは CFIFOCTR レジスタの DTLN ビットをカウントダウンします。

(b) バッファポインタリワインド (REW)

指定 PIPE が受信方向の場合に、FIFO バッファの読み出し中に本ビットに"1"を設定すると、FIFO バッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。

REW=1 設定と CURPIPE ビットの設定変更を同時に行わないでください。

REW=1 設定を実行するときには、かならず FRDY=1 であることを確認してから実施してください。

送信方向の PIPE に対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

(c) CFIFO ポートアクセスビット幅 (MBW)

本ビットに CFIFO ポートへのアクセスビット幅を設定してください。

CURPIPE ビットに指定した PIPE が受信方向の場合、本ビットを設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また指定 PIPE が受信方向の場合、CURPIPE ビットと MBW ビットを同時に設定してください。

指定 PIPE が送信方向の場合、バッファメモリへの書き込み処理実行中に 8bit 幅から 16bit 幅/32bit 幅、または 16 bit 幅から 32bit 幅へのビット幅の切り替えは行えません。

8bit/16bit 幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

(d) CFIFO ポート バイトエンディアンを制御ビット (BIGEND)

本ビットに CFIFO ポートのバイトエンディアンを設定してください。

詳細は、「(6) FIFO ポート (b) FIFO ポートビット (CFIFO、D0FIFO、および D1FIFO)」を参照してください。

(e) DCP 選択時の FIFO ポートアクセス方向指定ビット (ISEL)

指定 PIPE が DCP のときに、本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの設定を書き戻し後、続けてアクセスすることができます。

本ビットの設定は、CURPIPE ビットの設定と同時に行ってください。

(f) FIFO ポートアクセスパイプ指定ビット (CURPIPE)

CFIFO ポート経由で、データの読み出しまたは書き込みを行いたい PIPE 番号を設定してください。

本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL レジスタ、D0FIFOSEL レジスタおよび D1FIFOSEL レジスタの CURPIPE ビットに同じ PIPE を設定しないでください。

FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスすることができます。

• D0FIFOポート選択レジスタ (D0FIFOSEL) <アドレス : H'028 >

• D1FIFOポート選択レジスタ (D1FIFOSEL) <アドレス : H'02C >

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RCNT	REW	DCLR M	DREQ E	MBW			BIGEN D					CURPIPE			
0	0	0	0	0	0	?	0	?	?	?	?	0	0	0	0
-	-	-	-	-	-	?	-	?	?	?	?	-	-	-	-

ビット	名 称	説 明	S/W	H/W	備考
15	RCNT リードカウントモード	Dx_FIFOCR DTLN の読み出しモードを指定します。 0 : 全受信データ読み出しで DTLN ビットクリア 1 : 受信データ読み出しごとに DTLN ビットカウントダウン	R/W	R	
14	REW バッファポインタリワインド	バッファポインタのリワインドを行う場合に"1"を指定します。 0 : バッファポインタリワインドしない 1 : バッファポインタリワインドする	R(0)/W	R	
13	DCLRM 指定パイプのデータ読み出し後自動バッファメモリクリアモード	指定パイプのデータ読み出し後自動バッファメモリクリアの禁止 / 許可を指定します。 0 : 自動バッファクリアモード禁止 1 : 自動バッファクリアモード許可	R/W	R	
12	DREQE UCL_Dx_DREQ 信号出力許可	UCL_Dx_DREQ 信号出力禁止 / 許可を指定します。 0 : 出力禁止 1 : 出力許可	R/W	R	
11、10	MBW FIFO ポートアクセスビット幅	FIFO ポートアクセスビット幅を指定します。 00 : 8 ビット幅 01 : 16 ビット幅 10 : 32 ビット幅 11 : 設定禁止	R/W	R	
9	何も配置されていません。"0"に固定してください。				
8	BIGEND FIFO ポートエンディアン制御	各 FIFO ポートのバイトエンディアンを指定します。 0 : リトルエンディアン 1 : ビッグエンディアン	R/W	R	
7~4	何も配置されていません。"0"に固定してください。				

ビット	名 称	説 明	S/W	H/W	備考
3~0	CURPIPE FIFO ポートアクセスパイプ指定	0000 : 指定なし 0001 : PIPE1 0010 : PIPE2 1000 : PIPE8 1001 : PIPE9	R/W	R	

<< 備考 >>

なし

(a) リードカウントモード (RCNT)

本ビットに"0"を設定した場合、CURPIPE ビットに指定した PIPE (指定 PIPE) に割り付けた FIFO バッファの全受信データ読み出し終了時 (ダブルバッファの場合は一面分の読み出し終了時) に、本コントローラは DxFIFOCTR レジスタの DTLN ビットを"0"にクリアします。

本ビットに"1"を設定した場合、指定 PIPE に割り付けた FIFO バッファからの受信データ読み出しごとに、本コントローラは DxFIFOCTR レジスタの DTLN ビットをカウントダウンします。

BFRE ビットに"1"を設定して DxFIFO にアクセスを行う場合は、本ビットに"0"を設定してください。

(b) バッファポインタリワインド (REW)

指定 PIPE が受信方向の場合に、FIFO バッファの読み出し中に本ビットに"1"を設定すると、FIFO バッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。ソフトウェアが本ビットに"1"を書き込んだ後、本コントローラは本ビットを"0"に戻します。

REW=1 設定と CURPIPE ビットの設定変更を同時に行わないでください。

REW=1 設定を実行するときには、かならず FRDY=1 であることを確認してから実施してください。

BFRE ビットに"1"を設定して DxFIFO にアクセスを行う場合は、ショートパケットデータを読み出し終えた状態で本ビットに"1"を設定しないでください。

送信方向の PIPE に対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

(c) 自動 FIFO バッファクリア禁止 / 許可ビット (DCLRM)

指定 PIPE のデータ読み出し後自動 FIFO バッファクリアの禁止 / 許可を設定してください。本ビットに"1"を設定した場合、指定 PIPE に割り当てた FIFO バッファが空の状態 Zero-Length packet を受信したとき、または BFRE=1 設定時にショートパケット受信しデータ読み出しを完了時に、FIFO バッファへの BCLR=1 処理を本コントローラが行います。

BRDYM=1 に設定して本コントローラを使用するときには、必ず本ビットに"0"を設定してください。

(d) UCL_Dx_DREQ 出力禁止 / 許可ビット (DREQE)

本ビットに、UCL_Dx_DREQ 信号の出力禁止 / 許可を設定してください。

UCL_Dx_DREQ 信号の出力を許可する場合、CURPIPE ビット設定後に本ビットに"1"を設定してください。

CURPIPE ビット設定を変更するときには、本ビットに"0"を設定した後で変更を行ってください。

(e) DxFIFO ポートアクセスビット幅 (MBW)

本ビットに DxFIFO ポートへのアクセスビット幅を設定してください。

詳細は、「(6) FIFO ポート (c) CFIFO ポートアクセスビット幅 (MBW)」を参照してください。

(f) DxFIFO ポートバイトエンディアンを制御ビット (BIGEND)

本ビットに DxFIFO ポートのバイトエンディアンを設定してください。

詳細は、「(6) FIFO ポート (b) FIFO ポートビット (CFIFO、D0FIFO、および D1FIFO)」を参照してください。

(g) FIFO ポートアクセスパイプ指定ビット (CURPIPE)

DxFIFO ポート経由で、データの読み出しまたは書き込みを行いたい PIPE 番号を設定してください。

本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL レジスタ、D0FIFOSEL レジスタおよび D1FIFOSEL レジスタの CURPIPE ビットに同じ PIPE を設定しないでください。

FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスすることができます。

- CFIFOポートコントロールレジスタ (CFIFOCTR) <アドレス : H'022>
- D0FIFOポートコントロールレジスタ (D0FIFOCTR) <アドレス : H'02A>
- D1FIFOポートコントロールレジスタ (D1FIFOCTR) <アドレス : H'02E>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
BVAL	BCLR	FRDY		DTLN												
0	0	0	?	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	?	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	名 称	説 明	S/W	H/W	備考
15	BVAL バッファメモリ有効フラグ	CURPIPE に指定した PIPE (当該 PIPE) の CPU 側の FIFO バッファの書き込み終了時に"1"を指定します。 0 : 無効 1 : 書き込み終了	R/ W(1)	R/W	
14	BCLR CPU バッファクリア	当該 PIPE の CPU 側の FIFO バッファをクリアする場合に"1"を指定します。 0 : 無効 1 : CPU 側バッファメモリクリア	R(0)/ W(1)	R	
13	FRDY FIFO ポートレディ	FIFO ポートにアクセス可能かどうかが表示されます。 0 : FIFO ポートアクセス不可 1 : FIFO ポートアクセス可能	R	W	
12	何も配置されていません。"0"に固定してください。				
11~0	DTLN 受信データ長	受信データ長が表示されます。	R	W	

<< 備考 >>

なし

(a) バッファメモリ有効フラグ (BVAL)

CURPIPE ビットに指定した PIPE (指定 PIPE) が送信方向のとき、以下の場合に本ビットに"1"を設定してください。本コントローラは CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。

1. ショートパケットの送信を行いたいとき、データ書き込み終了時に本ビットに"1"を設定
2. Zero-Lengthパケットの送信を行いたいとき、FIFOヘータを書き込む前に本ビットに"1"を設定
3. 連続転送モードのPIPEに対して、MaxPacketSizeの自然数倍かつBufferSize未満のデータ書き込み後に本ビットに"1"を設定

連続転送モードの PIPE に対して MaxPacketSize 分のデータを書き込むと、本コントローラが本ビットを"1"にし、CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。

本ビットへの"1"書き込みは、本コントローラが FRDY=1 を示しているときに実施してください。

指定 PIPE が受信方向のときには、本ビットへの"1"書き込みを行わないでください。

(b) CPU バッファクリアビット (BCLR)

本ビットに"1"を設定すると、本コントローラは指定 PIPE にアサインされている FIFO バッファのうち、CPU 側の FIFO バッファをクリアします。

指定 PIPE にアサインされている FIFO バッファがダブルバッファ設定の場合で、両面ともに読み出し可能状態である場合でも、本コントローラは片面の FIFO バッファのみをクリアします。

指定 PIPE が DCP の場合は、FIFO バッファが CPU 側、SIE 側にかかわらず、BCLR=1 設定により本コントローラは FIFO バッファをクリアします。SIE 側のバッファをクリアするときには、DCP の PID ビットを必ず NAK に設定した後で BCLR=1 を行ってください。

指定 PIPE が送信方向の場合、BVAL ビットと BCLR ビットへ同時に"1"を書き込んだ場合には、本コントローラはそれ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。

指定 PIPE が DCP 以外の場合、本ビットへの"1"書き込みは、本コントローラが FRDY=1 を示しているときに実施してください。

(c) FIFO ポートレディビット (FRDY)

CPU (DMAC) からの FIFO ポートへのアクセス可否を、本コントローラが本ビットに表示します。

以下の場合には、本コントローラは"FRDY=1"を表示しますが、読み出すべきデータがないため FIFO ポートからのデータ読み出しはできません。これらのケースでは、BCLR=1 を設定して FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。

1. 指定PIPEにアサインされているFIFOバッファが空の状態Zero-Lengthパケット受信した場合。
2. BFRE=1設定時に、ショートパケットを受信し、データ読み出しを完了したとき。

(d) 受信データ長ビット (DTLN)

本コントローラは、本ビットに受信データ長を表示します。FIFO バッファ読み出し中の本ビットの値は、RCNT ビットの設定値によって以下のように異なります。

1. RCNT=0設定時

CPU (DMAC) がFIFOバッファ1面分の受信データを読み出し完了するまで、本コントローラは受信データ長を本ビットに表示します。

BFRE=1設定時には、読み出しが完了してもBCLR=1を行うまでは本コントローラは受信データ長を保持します。

2. RCNT=1設定時

読み出しごとに本コントローラはDTLNビットの表示をダウンカウントします。

(MBW=0設定時は-1、MBW=1設定時は-2ずつダウンカウント)

1 面分の FIFO バッファ読み出し完了時に、本コントローラは DTLN=0 を表示します。ただし、ダブルバッファ設定時かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファに受信完了した場合は、先の 1 面分の読み出し完了時に後の 1 面分の受信データ長を DTLN ビットに表示します。

RCNT=1 設定時に、FIFO バッファ読み出し途中で本ビットの値を読み出す時には、FIFO ポートへのリードサイクル後 150ns 後までに本コントローラは本ビットの更新値を表示します。

(7) 割り込み許可

• 割り込み許可レジスタ0 (INTENB0)

<アドレス : H'030 >

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE								
0	0	0	0	0	0	0	0	?	?	?	?	?	?	?	?
-	-	-	-	-	-	-	-	?	?	?	?	?	?	?	?

ビット	名称	説明	S/W	H/W	備考
15	VBSE VBUS 割り込み許可	VBINT 割り込み検出時の INT_N アサートの禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可	R/W	R	
14	RSME レジューム割り込み許可	RESM 割り込み検出時の INT_N アサートの禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可	R/W	R	
13	SOFE フレーム番号更新割り込み許可	SOF 割り込み検出時の INT_N アサートの禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可	R/W	R	
12	DVSE デバイスステート遷移割り込み許可	DVST 割り込み検出時の INT_N アサートの禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可	R/W	R	
11	CTRE コントロール転送ステージ遷移割り込み許可	CTRT 割り込み検出時の INT_N アサートの禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可	R/W	R	
10	BEMPE バッファエンプティ割り込み許可	BEMP 割り込み検出時の INT_N アサートの禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可	R/W	R	
9	NRDYE バッファノットレディ応答割り込み許可	NRDY 割り込み検出時の INT_N アサートの禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可	R/W	R	
8	BRDYE バッファレディ割り込み許可	BRDY 割り込み検出時の INT_N アサートの禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可	R/W	R	
7~0	何も配置されていません。"0"に固定してください。				

● BRDY割り込み許可レジスタ (BRDYENB)

< アドレス : H'036 >

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						PIPEBRDYE									
?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0
?	?	?	?	?	?	-	-	-	-	-	-	-	-	-	-

ビット	名 称	説 明	S/W	H/W	備考
15~10		何も配置されていません。"0"に固定してください。			
9~0	PIPEBRDYE 各パイプの BRDY 割り込み許可	各パイプの BRDY 割り込み検出時に BRDY ビットを"1"にするかどうかの禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R	

<< 備考 >>

* ビット番号がパイプ番号に該当します。

(a) 各パイプの BRDY 割り込み許可ビット (PIPEBRDYE)

ソフトウェアが本レジスタに"1"を設定した PIPE に対して、本コントローラが BRDY 割り込みを検出した場合に、本コントローラは BRDYSTS レジスタの PIPEBRDY ビットの対応するビットに"1"を表示し、INTSTS0 レジスタの BRDY ビットに"1"を表示し、INT_N 端子から割り込みをアサートします。

BRDYSTS レジスタの PIPEBRDY ビットの少なくともひとつのビットが"1"を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを"0"から"1"に変更すれば、本コントローラは INT_N 端子から割り込みをアサートします。

• NRDY割り込み許可レジスタ (NRDYENB)

<アドレス : H'038 >

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						PIPENRDYE									
?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0
?	?	?	?	?	?	-	-	-	-	-	-	-	-	-	-

ビット	名 称	説 明	S/W	H/W	備考
15 ~ 10		何も配置されていません。"0"に固定してください。			
9 ~ 0	PIPENRDYE 各パイプの NRDY 割り込み許可	各パイプの NRDY 割り込み検出時に NRDY ビットを"1"にするかどうかの禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可	R/W	R	

<< 備考 >>

* ビット番号がパイプ番号に該当します。

(a) 各パイプの NRDY 割り込み許可ビット (PIPENRDYE)

ソフトウェアが本レジスタに"1"を設定した PIPE に対して、本コントローラが NRDY 割り込みを検出した場合に、本コントローラは NRDYSTS レジスタの PIPENRDY ビットの対応するビットに"1"を表示し、INTSTS0 レジスタの NRDY ビットに"1"を表示し、INT_N 端子から割り込みをアサートします。

NRDYSTS レジスタの PIPENRDY ビットの少なくともひとつのビットが"1"を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを"0"から"1"に変更すれば、本コントローラは INT_N 端子から割り込みをアサートします。

• BEMP割り込み許可レジスタ (BEMPENB)

<アドレス: H'03A>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						PIPEBEMPE									
?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0
?	?	?	?	?	?	-	-	-	-	-	-	-	-	-	-

ビット	名 称	説 明	S/W	H/W	備考
15~10		何も配置されていません。"0"に固定してください。			
9~0	PIPEBEMPE 各パイプの BEMP 割り込み許可	各パイプの BEMP 割り込み検出時に BEMP ビットを"1"にするかどうかの禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可	R/W	R	

<< 備考 >>

* ビット番号がパイプ番号に該当します。

(a) 各パイプの BEMP 割り込み許可ビット (PIPEBEMPE)

ソフトウェアが本レジスタに"1"を設定した PIPE に対して、本コントローラが BEMP 割り込みを検出した場合に、本コントローラは BEMPSTS レジスタの PIPEBEMPE ビットの対応するビットに"1"を表示し、INTSTS0 レジスタの BEMP ビットに"1"を表示し、INT_N 端子から割り込みをアサートします。

BEMPSTS レジスタの PIPEBEMPE ビットの少なくともひとつのビットが"1"を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを"0"から"1"に変更すれば、本コントローラは INT_N 端子から割り込みをアサートします。

(8) SOF 制御レジスタ

• SOFピンコンフィグレーションレジスタ (SOFCFG)

< アドレス : H'03C >

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									BRDY M	INTL	EDGES TS	SOFM			
?	?	?	?	?	?	?	?	?	0	0	0	0	0	?	?
?	?	?	?	?	?	?	?	?	-	-	-	-	-	?	?

ビット	名 称	説 明	S/W	H/W	備考
15~7	何も配置されていません。"0"に固定してください。				
6	BRDYM PIPEBRDY 割り込みステータスクリア アタイミング設定	PIPEBRDY 割り込みステータスをクリアする タイミングを指定します。 0 : ソフトウェアがステータスをクリア 1 : FIFO バッファの読み出しまたは FIFO バッファへの書き込み動作によりハード ウェアがステータスをクリア	R/W	R	
5	INTL 割り込み出力センス設定	INT_N 端子の割り込み出力センスを指定し ます。 0 : エッジセンス 1 : レベルセンス	R/W	R	
4	EDGESTS 割り込みエッジ処理ステータス	割り込みエッジ処理ステータスが表示され ます。 0 : 割り込みエッジ動作していない 1 : 割り込みエッジ動作中	R/W	R	
3, 2	SOFM SOF 端子機能設定	SOF パルス出力モードを選択します 00 : SOF 出力禁止 01 : 1ms 単位で SOF 出力 10 : 125 μ s 単位で μ SOF 出力 11 : Reserved	R/W	R	
1, 0	何も配置されていません。"0"に固定してください。				

<< 備考 >>

- * BRDYM=1 を設定する場合は、INTL=1 (レベルセンス) を設定してください。
- * INTL=0 を設定時に、割り込みステータスをクリア後、システムクロックを停止する (SCKE=0 を設定) 場合は、EDGESTS=0 を確認した後で、SCKE=0 を書き込んでください。

(9) 割り込みステータス

• 割り込みステータスレジスタ0 (INTSTS0)

<アドレス: H'040>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ			VALID	CTSQ		
0	0	0	0	0	0	0	0	?	0	0	0	0	0	0	0
-	-	-	1	-	-	-	-	-	0	0	1	-	-	-	-

ビット	名称	説明	S/W	H/W	備考
15	VBINT VBUS 変化検出割り込みステータス	VBUS 変化検出割り込みステータスが表示されます。 0: VBUS 割り込み非発生 1: VBUS 割り込み発生	R/W(0)	W	
14	RESM レジューム割り込みステータス	レジューム検出割り込みステータスが表示されます。 0: レジューム割り込み非発生 1: レジューム割り込み発生	R/W(0)	W	
13	SOFR フレーム番号更新割り込みステータス	フレーム番号更新割り込みステータスが表示されます。 0: SOF 割り込み非発生 1: SOF 割り込み発生	R/W(0)	W	
12	DVST デバイスステート遷移割り込みステータス	デバイスステート遷移割り込みが表示されます。 ステータス 0: デバイスステート遷移遷移割り込み非発生 1: デバイスステート遷移遷移割り込み発生	R/W(0)	W	
11	CTRT コントロール転送ステージ遷移割り込みステータス	コントロール転送ステージ遷移割り込みステータスが表示されます。 ステータス 0: コントロール転送ステージ遷移割り込み非発生 1: コントロール転送ステージ遷移割り込み発生	R/W(0)	W	
10	BEMP BEMP 割り込みステータス	BEMP 割り込みステータスが表示されます。 0: BEMP 割り込み非発生 1: BEMP 割り込み発生	R	W	
9	NRDY NRDY 割り込みステータス	NRDY 割り込みステータスが表示されます。 0: NRDY 割り込み非発生 1: NRDY 割り込み発生	R	W	

ビット	名 称	説 明	S/W	H/W	備考
8	BRDY BRDY 割り込みステータス	BRDY 割り込みステータスが表示されます。 0 : BRDY 割り込み非発生 1 : BRDY 割り込み発生	R	W	
7	VBSTS VBUS 入力ステータス	VBUS 端子の入力状態が表示されます。 0 : VBUS 端子が"L"レベル 1 : VBUS 端子が"H"レベル	R	W	
6~4	DVSQ デバイスステート	デバイスステートが表示されます。 000 : Powered ステート 001 : Default ステート 010 : Address ステート 011 : Configured ステート 1xx : Suspended ステート	R	W	
3	VALID USB リクエスト受信	USB リクエスト受信検出有無が表示されます。 0 : 未検出 1 : セットアップパケット受信	R/W(0)	W	
2~0	CTSQ コントロール転送ステージ	コントロール転送ステージが表示されます。 000 : アイドルまたはセットアップステージ 001 : コントロールリードデータステージ 010 : コントロールリードステータスステージ 011 : コントロールライトデータステージ 100 : コントロールライトステータスステージ 101 : コントロールライト (NoData) ステータスステージ 110 : コントロール転送シーケンスエラー 111 : Reserved	R	W	

<< 備考 >>

- * VBINT ビット、RESM ビット、SOFR ビット、DVST ビット、または CTRT ビットが示すステータスをクリアする場合は、クリアしたいビットのみに"0"を、他のビットには"1"を書き込んでください。"0"を示しているステータスビットへの"0"書き込みを行わないでください。
- * 本コントローラは本レジスタの VBINT ビット、RESM ビットが示すステータス変化をクロック停止中 (SCKE=0) でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。

(a) VBUS 変化割り込みステータスビット (VBINT)

本コントローラが VBUS 端子入力値の変化 (High から Low への変化、および Low から High への変化) を検出したときに、本ビットに"1"を表示します。本コントローラは VBUS 端子の入力値を、VBSTS ビットに表示します。VBINT 割り込み発生時は、ソフトウェアで VBSTS ビット読み出しの回数一致を行い、チャタリング除去を実施してください。

(b) レジューム割り込みステータスビット (RESM)

本コントローラが Suspend 状態 (DVSQ=1XX) であり、かつ、DP 端子の立ち下がりを検出したときに、本ビットに"1"を表示します。

(c) フレーム番号更新割り込みステータスビット (SOFR)

本コントローラが本ビットに"1"を表示する条件は、以下のとおりです。

(d) デバイスステート遷移割り込みステータスビット (DVST)

本コントローラがデバイスステートの変化を検出したときに、本コントローラは DVSQ の値を更新し、本ビットに"1"を表示します。

本割り込みが発生したときには、本コントローラが次のデバイスステートステート遷移を検出する前に、ステータスクリアを実施してください。

(e) コントロール転送ステージ遷移割り込みステータスビット (CTRT)

本コントローラがコントロール転送のステージ遷移を検出したときに、本コントローラは CTSQ の値を更新し、本ビットに"1"を表示します。

本割り込みが発生したときには、本コントローラがコントロール転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。

(f) パッファエンプティ割り込みステータスビット (BEMP)

BEMPENB レジスタの PIPEBEMPE ビットに"1"を設定した PIPE に対応する BEMPSTS レジスタの PIPEBEMP ビットのうち、少なくともひとつが"1"の状態になったとき(ソフトウェアが BEMP 割り込み通知を許可した PIPE のうち少なくともひとつに対し本コントローラが BEMP 割り込み状態を検出したとき)に、本コントローラは本割り込みステータスに"1"を表示します。

PIPEBEMP ステータスのアサート条件は、PIPEBEMP レジスタを参照ください。

ソフトウェアが、PIPEBEMPE ビットで許可を設定している PIPE に対応する PIPEBEMP ビットすべてに"0"を書

き込むと、本コントローラは本ビットを"0"にクリアします。

ソフトウェアが本ビットに対して"0"を書き込んで、本ビットの"0"クリアを行うことはできません。

(g) パッファノットレディ割り込みステータスビット (NRDY)

NRDYENB レジスタの PIPENRDYE ビットに"1"を設定した PIPE に対応する BNRDYSTS レジスタの PIPENRDY ビットのうち、少なくともひとつが"1"の状態になったとき(ソフトウェアが NRDY 割り込み通知を許可した PIPE のうち少なくともひとつに対し本コントローラが NRDY 割り込み状態を検出したとき)に、本コントローラは本割り込みステータスに"1"を表示します。

PIPENRDY ステータスのアサート条件は、PIPENRDY レジスタを参照ください。

ソフトウェアが、PIPENRDYE ビットで許可を設定している PIPE に対応する PIPENRDY ビットのすべてに"0"を書き込むと、本コントローラは本ビットを"0"にクリアします。

ソフトウェアが本ビットに対して"0"を書き込んで、本ビットの"0"クリアを行うことはできません。

(h) パッファレディ割り込みステータスビット (BRDY)

BRDYENB レジスタの PIPEBRDYE ビットに"1"を設定した PIPE に対応する BRDYSTS レジスタの PIPEBRDY ビットのうち、少なくともひとつが"1"の状態になったとき(ソフトウェアが BRDY 割り込み通知を許可した PIPE のうち少なくともひとつに対し本コントローラが BRDY 割り込み状態を検出したとき)に、本コントローラは本割り込みステータスに"1"を表示します。

PIPEBRDY ステータスのアサート条件は、PIPEBRDY レジスタを参照ください。

ソフトウェアが、PIPEBRDYE ビットで許可を設定している PIPE に対応する PIPEBRDY ビットのすべてに"0"を書き込むと、本コントローラは本ビットを"0"にクリアします。

ソフトウェアが本ビットに対して"0"を書き込んで、本ビットの"0"クリアを行うことはできません。

- BRDY割り込みステータスレジスタ (BRDYSTS)

<アドレス: H'046>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						PIPEBRDY									
?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0
?	?	?	?	?	?	-	-	-	-	-	-	-	-	-	-

ビット	名称	説明	S/W	H/W	備考
15~10		何も配置されていません。"0"に固定してください。			
9~0	PIPEBRDY 各パイプの BRDY 割り込みステータス	各パイプの BRDY 割り込みステータスが表示されます。 0: 割り込み非発生 1: 割り込み発生	R/W(0)	W	

<< 備考 >>

- * ビット番号がパイプ番号に該当します。
- * "BRDYM=0"の設定の場合、本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに"0"を、他のビットには"1"を書き込んでください。
- * "BRDYM=0"の設定の場合、本割り込みのクリアは、必ず FIFO アクセスを行う前に実施してください。

(a) 各パイプの BRDY 割り込みステータスビット (PIPEBRDY)

本コントローラがある PIPE に対して BRDY 割り込みを検出した場合に、本コントローラは BRDYSTS レジスタの PIPEBRDY ビットの対応するビットに"1"を表示します。このとき、ソフトウェアによって BRDYENB レジスタの対応するビットに"1"が設定されている場合、本コントローラは INTSTS0 レジスタの BDY ビットに"1"を表示し、INT_N 端子から割り込みをアサートします。

BRDY 割り込みは、BRDYM ビットおよび各 PIPE の BFRE ビットの設定により、発生条件およびクリア方法が異なります。

- BRDYM=0かつBFRE=0設定時

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になったことを示す割り込みになります。

本コントローラは、下記に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、要求トリガー発生 PIPE に対応する PIPEBRDY ビットに"1"を表示します。

1. 送信方向に設定したPIPEの場合

(a) ソフトウェアが DIR ビットを"0"から"1"に変更したとき

(b) 当該PIPEに割り付けたFIFOバッファへのCPUからの書き込みが不可状態のとき (BSTSビット読み出し値が"0"のとき) に、本コントローラが当該PIPEのバケット送信を完了したとき。

連続送受信モードに設定した場合には、FIFOバッファ一面分のデータの送信完了時に要求トリガが発生します。

(c) FIFOバッファをダブルバッファに設定しているときで、FIFOバッファ書き込み完了時にもう一方のFIFOバッファが空であったとき

FIFOバッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。

(d) 転送TYPEがIsochronousのPIPEにおいて、ハードウェアによるバッファフラッシュが発生したとき

(e) ACLRMビットに"1"を書き込むことより、FIFOバッファが書き込み不可状態から書き込み可能状態になったとき

DCP に対しては(すなわち、コントロール転送でのデータ送信においては)要求トリガは発生しません。

2. 受信方向に設定したPIPEの場合

(a) 当該PIPEに割り付けたFIFOバッファへのCPUからの読み出しが不可状態のとき(BSTSビット読み出し値が"0"のとき)に、パケット受信が正常に完了し、FIFOバッファが読み出し可能状態になったとき。データPID mismatchesのトランザクションに対しては要求トリガは発生しません。

連続送受信モードの場合には、MaxPacketSizeのデータサイズで、かつまだバッファに空きがある場合には要求トリガは発生しません。

ショートパケットを受信した場合には、FIFOバッファに空きがあっても要求トリガは発生します。

トランザクションカウンタを使用している場合には、設定値分のパケットを受信時に要求トリガは発生します。

このとき、FIFOバッファにまだ空きがあっても要求トリガは発生します。

(b) FIFOバッファをダブルバッファに設定しているときで、FIFOバッファ読み出し完了時にもう一方のFIFOバッファも読み出し可能状態であったとき

読み出し中にもう一方が受信完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。

コントロール転送のステータスステージでの通信では本割り込みは発生しません。

ソフトウェアは、本ビットの該当 PIPE に対応するビットに"0"を書き込むことにより、該当 PIPE の PIPEBRDY 割り込みステータスを"0"にクリアすることができます。このとき、他の PIPE に対応するビットには"1"を書き込んでください。

本割り込みステータスのクリアは、必ず FIFO バッファへのアクセスを行う前に実施してください。

- BRDYM=0かつBFRE=1設定時

この設定の場合、本モジュールは、受信パイプにおいて1トランスファ分の全データを読み出し完了時に、BRDY 割り込み発生と判断し、当該パイプに対応する PIPEBRDY ビットに"1"を表示します。

本コントローラは、以下のいずれかのときに1トランスファにおける最後のデータを受信したと判定します。

1. Zero-Lengthパケットを含むショートパケットを受信したとき
2. トランザクションカウンタ (TRNCNTビット) を使用し、TRNCNTビット設定値分のパケットを受信したとき

前出 1.、2.の判定条件を満たした後、そのデータの読み出しが完了したときに、本コントローラは 1 トランスファ分の全データ読み出し完了と判断します。

FIFO バッファが空の状態 Zero-Length パケット受信した場合は、Zero-Length パケットデータが CPU 側へトグルされた時点で、本コントローラは 1 トランスファ分の全データ読み出し完了と判断します。

この場合、次のトランスファを開始するためには、対応する FIFOCTR レジスタの BCLR ビットにソフトウェアで"1"を書き込んでください。

本設定の場合には、本コントローラは送信 PIPE に対して BRDY 割り込みを検出しません。

ソフトウェアは、本ビットの該当 PIPE に対応するビットに"0"を書き込むことにより、該当 PIPE の PIPEBRDY 割り込みステータスを"0"にクリアすることができます。このとき、他の PIPE に対応するビットには"1"を書き込んでください。

本モードを使用するときには、トランスファ分の処理を終了するまで BFRE ビットの設定値を変更しないでください。

途中で BFRE ビットを変更する場合には、ACLRM ビットにより対応する PIPE の FIFO バッファをすべてクリアしてください。

- BRDYM=1かつBFRE=0設定時

この設定の場合、本ビットの値は各 PIPE の BSTS ビットに連動します。すなわち、BRDY 割り込みステータスは FIFO バッファの状態によって本コントローラが"1"、"0"を表示します。

1. 送信方向に設定したPIPEの場合

FIFOポートにデータが書き込み可能な状態であれば"1"を表示し、書き込み不可の状態になれば"0"を表示します。

ただしDCPの送信PIPEが書き込み可能であっても、BRDY割り込みはアサートされません。

2. 受信方向に設定したPIPEの場合

FIFOポートにデータが読み出し可能な状態であれば"1"を表示し、すべてのデータを読み出したら(読み出し不可の状態になったら)"0"を表示します。

FIFOバッファが空でZero-Lengthパケットを受信した場合、ソフトウェアがBCLR=1を書き込むまで該当ビットには"1"が表示されBRDY割り込みはアサートされ続けます。

本設定時、ソフトウェアは、本ビットの"0"クリアを行うことはできません。

BRDYM=1 設定時は、BFRE ビットは必ずすべて(全 PIPE)"0"に設定してください。

BRDYM=1 設定時は、INTL ビットは必ず"1"(レベル制御)に設定してください。

• NRDY割り込みステータスレジスタ (NRDYSTS)

<アドレス : H'048 >

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						PIPENRDY									
?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0
?	?	?	?	?	?	-	-	-	-	-	-	-	-	-	-

ビット	名称	説明	S/W	H/W	備考
15-10		何も配置されていません。"0"に固定してください。			
9-0	PIPENRDY 各パイプのNRDY割り込みステータス	各パイプのNRDY割り込みステータスが表示されます。 0 : 割り込み非発生 1 : 割り込み発生	R/W(0)	W	

<< 備考 >>

- * ビット番号がパイプ番号に該当します。
- * 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに"0"を、他のビットには"1"を書き込んでください。

(a) 各パイプのNRDY割り込みステータスビット (PIPENRDY)

ソフトウェアがPID=BUFに設定したPIPEに対して、本コントローラが内部NRDY割り込み要求を発生させた場合に、本コントローラはNRDYSTSレジスタのPIPENRDYビットの対応するビットに"1"を表示します。このとき、ソフトウェアによってNRDYENBレジスタの対応するビットに"1"が設定されている場合、本コントローラはINTSTS0レジスタのNRDYビットに"1"を表示し、INT_N端子から割り込みをアサートします。

本コントローラが、あるPIPEに対して内部NRDY割り込み要求を発生させる条件を以下に述べます。
コントロール転送ステータスステージ実行時は割り込み要求を発生させません。

1. 送信方向PIPEの場合

(a) FIFOバッファに送信データがない状態でIN Tokenを受信したとき

IN Token受信時に本コントローラはNRDY割り込み要求を発生させPIPENRDYビットに"1"を表示します。

割り込み発生PIPEの転送TYPEがIsochronousの場合、本コントローラはZero-Length/パケットを送信し、OVRNビットに"1"を表示します。

2. 受信方向PIPEの場合

(a) FIFOバッファに空きがない状態でOUTトークンを受信したとき

割り込み発生PIPEの転送TYPEがIsochronousの場合、OUTトークン受信時に本コントローラはNRDY割り込み要求を発生させ、PIPENRDYビットに"1"を表示し、OVRNビットに"1"を表示します。

割り込み発生PIPEの転送TYPEがIsochronous以外の場合、本コントローラは、OUTトークンに続くデータ受信後NAK Handshakeを送信するときにNRDY割り込み要求を発生させ、PIPENRDYビットに"1"を表示します。

ただし、再送時（DATA-PIDミスマッチ発生時）には、NRDY割り込み要求を発生させません。

また、DATAパケットにエラーがある場合にも、発生させません。

(b) FIFOバッファに空きがない状態でPINGトークンを受信したとき

PINGトークン受信時に本コントローラはNRDY割り込み要求を発生させPIPENRDYビットに"1"を表示します。

(c) 転送TYPEがIsochronousのPIPEにおいて、インターバルフレーム内に正常受信されなかったとき

SOF受信のタイミングで本コントローラは、NRDY割り込み要求を発生させ、PIPENRDYビットに"1"を表示します。

• BEMP割り込みステータスレジスタ (BEMPSTS)

<アドレス: H'04A>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						PIPEBEMP									
?	?	?	?	?	?	0	0	0	0	0	0	0	0	0	0
?	?	?	?	?	?	-	-	-	-	-	-	-	-	-	-

ビット	名称	説明	S/W	H/W	備考
15-10		何も配置されていません。"0"に固定してください。			
9-0	PIPENRDY 各パイプの BEMP 割り込みステータス	各パイプの BEMP 割り込みステータスが表示されます。 0: 割り込み非発生 1: 割り込み発生	R/W(0)	W	

<< 備考 >>

- * ビット番号がパイプ番号に該当します。
- * 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに"0"を、他のビットには"1"を書き込んでください。

(a) 各パイプの BEMP 割り込みステータスビット (PIPEBEMP)

ソフトウェアが PID=BUF に設定した PIPE に対して、本コントローラが、BEMP 割り込みを検出した場合に、本コントローラは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットに"1"を表示します。このとき、ソフトウェアによって BEMPENB レジスタの対応するビットに"1"が設定されている場合、本コントローラは INTSTS0 レジスタの BEMP ビットに"1"を表示し、INT_N 端子から割り込みをアサートします。

以下の場合に、本コントローラは内部 BEMP 割り込み要求を発生させます。

1. 送信方向PIPEにおいて、送信完了時 (Zero-Lengthパケットの送信時を含む) に、対応するPIPEのFIFOバッファが空のとき。

シングルバッファ設定時は、DCP以外のPIPEに対してはBRDY割り込みと同時に内部BEMP割り込み要求を発生させます。

ただし、以下の場合には内部BEMP割り込み要求を発生させません。

- (a) ダブルバッファ設定時に、1面分のデータ送信完了時にソフトウェア (DMAC) がCPU側のFIFOバッファに対する書き込みを開始している場合
- (b) ACLRMビットまたはBCLRビットに"1"を書き込むことによるバッファクリア (エンプティ) をしている場合
- (c) コントロール転送StatusステージのIN転送 (Zero-Lengthパケット送信) 時

2. 受信方向PIPEの場合

MaxPacketSizeの設定値より大きなデータサイズを正常受信したとき

この場合、本コントローラは、BEMP割り込み要求を発生させ、PIPEBEMPビットの対応するビットに"1"を表示し、受信データを破棄し、対応するPIPEのPIDビットをSTALL (11)に変更します。

このとき本コントローラは、STALL応答を行います。

ただし、以下の場合は内部BEMP割り込み要求を発生させません。

- (a) 受信データにCRCエラー、またはビットスタッフィングエラー等を検出したとき
- (b) SETUPトランザクション実行時

本ビットに"0"を書き込むことにより、ステータスをクリアすることができます。

本ビットに"1"を書き込んでも、値に影響しません。

(10) フレーム番号レジスタ

- フレームナンバレジスタ (FRMNUM)

< アドレス : H'04C >

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OVRN	CRCE				FRNM										
0	0	?	?	?	0	0	0	0	0	0	0	0	0	0	0
-	-	?	?	?	-	-	-	-	-	-	-	-	-	-	-

ビット	名称	説明	S/W	H/W	備考
15	OVRN オーバーラン/アンダラン検出ステータス	Isochronous 転送を行っている PIPE に対するオーバーラン/アンダランエラー検出の有無が表示されます。 0: エラーなし 1: エラー発生	R/W(0)	W	
14	CRCE CRC エラー検出ステータス	Isochronous 転送を行っている PIPE に対する CRC エラー検出ステータスが表示されます。 0: エラーなし 1: エラー発生	R/W(0)	W	
13~11	何も配置されていません。"0"に固定してください。				
10~0	FRNM フレーム番号	最新のフレーム番号が表示されます。	R	W	

<< 備考 >>

- * OVRN ビットはデバッグ用のビットです。システムとしてはオーバーラン・アンダランが発生しないようにタイミング設計を行ってください。

(a) オーバーラン/アンダラン検出ステータスビット (OVRN)

転送 TYPE が Isochronous の PIPE において、本コントローラがオーバーランまたはアンダランを検出したときに、本ビットに"1"を表示します。

オーバーランまたはアンダラン検出時には、本コントローラは内部 NRDY 割り込み要求を発生させます。詳細は、「(9) 割り込みステータス (a) 各パイプの BRDY 割り込みステータスビット (PIPEBRDY)」を参照してください。

ソフトウェアは、本ビットに"0"を書き込むことにより、本ビットを"0"にクリアすることができます。このとき、本レジスタの他のビットには"1"を書き込んでください。

以下の 1.、2.いずれかの場合に、本コントローラが本ビットに"1"を表示します。

1. 転送TYPEがIsochronousの送信方向PIPEにおいて、FIFOバッファに送信データの書き込みが完了していないのにIN Tokenを受信したとき。
2. 転送TYPEがIsochronousの受信方向PIPEにおいて、少なくとも一面分のFIFOバッファの空がない状態で、OUT Tokenを受信したとき。

(b) CRC エラー検出ステータスビット (CRCE)

転送 TYPE が Isochronous の PIPE において、本コントローラが CRC エラーやビットスタッフィングエラーを検出したときに、本ビットに"1"を表示します。

ソフトウェアは、本ビットに"0"を書き込むことにより、本ビットを"0"にクリアすることができます。このとき、本レジスタの他のビットには"1"を書き込んでください。

CRC エラーの検出時には、本コントローラは内部 NRDY 割り込み要求を発生させません。

(c) フレーム番号ビット (FRNM)

本コントローラは 1ms に 1 回の SOF 発行タイミング、または、SOF 受信時に本ビットを更新し、フレーム番号を表示します。

ソフトウェアで本ビットを読み出す場合には、2 度一致を行ってください。

• μフレームナンバレジスタ (UFRMNUM)

<アドレス : H'04E >

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													UFRMNUM		
?	?	?	?	?	?	?	?	?	?	?	?	?	0	0	0
?	?	?	?	?	?	?	?	?	?	?	?	?	-	-	-

ビット	名 称	説 明	S/W	H/W	備考
15~3		何も配置されていません。"0"に固定してください。			
2~0	UFRMNUM マイクロフレーム	マイクロフレーム番号が表示されます。	R	W	

<< 備考 >>

なし

(a) マイクロフレーム番号ビット (UFRMNUM)

Hi-Speed 通信の場合、本コントローラは本ビットにマイクロフレーム番号を表示します。Hi-Speed 状態以外の場合、本コントローラは本ビットに H'00 を表示します。

ソフトウェアで本ビットを読み出す場合には、2 度一致を行ってください。

(11) USB アドレス

• USBアドレスレジスタ (USBADDR)

<アドレス : H'050 >

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									USBADDR						
?	?	?	?	?	?	?	?	?	0	0	0	0	0	0	0
?	?	?	?	?	?	?	?	?	0	0	0	0	0	0	0

ビット	名 称	説 明	S/W	H/W	備考
15~7		何も配置されていません。"0"に固定してください。			
6~0	USBADDR USB アドレス	Host から割り付けられた USB アドレス確認 が表示されます。	R	R/W	

<< 備考 >>

(a) USB アドレスビット (USBADDR)

本コントローラが SetAddress リクエストを正常に処理したときに、本ビットに受信した USB アドレスを表示します。

本コントローラが USB リセットを検出したときに、本コントローラは本ビットに H'00 を表示します。

(12) USB リクエストレジスタ

USB リクエストレジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。
受信した USB リクエストの値が格納されます。

• USBリクエストタイプレジスタ (USBREQ)

< アドレス : H'054 >

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
bRequest								bmRequestType							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	名 称	説 明	S/W	H/W	備考
15~8	bRequest リクエスト	USB リクエスト bRequest の値	P 時 : R H 時 : R/W	P 時 : W H 時 : R	
7~0	bmRequestType リクエストタイプ	USB リクエスト bmRequestType の値	P 時 : R H 時 : R/W	P 時 : W H 時 : R	

<< 備考 >>

なし

(a) USB リクエストビット (bRequest)

本コントローラが SETUP トランザクションで受信した USB リクエストデータ値を、このビットに表示します。
ソフトウェアによる本ビットへの書き込みは無効です。

(b) USB リクエストビット (bRmRequestType)

本コントローラが SETUP トランザクションで受信した USB リクエストデータ値を、このビットに表示します。
ソフトウェアによる本ビットへの書き込みは無効です。

• USBリクエストバリュージェジスタ (USBVAL)

<アドレス : H'056>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
wValue															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	名 称	説 明	S/W	H/W	備考
15~0	wValue バリュ	USB リクエスト wValue の値	P 時 : R H 時 : R/W	P 時 : W H 時 : R	

<< 備考 >>

なし

(a) バリュビット (wValue)

USB リクエスト wValue の値を書き込み、または読み出すためのビットです。ビット7~0が下位バイトです。本コントローラがSETUP トランザクションで受信した USB リクエスト wValue の値を、このビットに表示します。ソフトウェアによる本ビットへの書き込みは無効です。

• USBリクエストインデックスレジスタ (USBINDX)

<アドレス : H'058>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
wIndex															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	名 称	説 明	S/W	H/W	備考
15~0	wIndex インデックス	USB リクエスト wIndex の値	P 時 : R H 時 : R/W	P 時 : W H 時 : R	

<< 備考 >>

なし

(a) インデックスビット (wIndex)

USB リクエスト wIndex の値を書き込み、または読み出すためのビットです。ビット7~0が下位バイトです。本コントローラがSETUP トランザクションで受信した USB リクエスト wIndex の値を、このビットに表示します。ソフトウェアによる本ビットへの書き込みは無効です。

• USBリクエストレンゲスレジスタ (USBLENG)

<アドレス: H'05A>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
wLength															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	名 称	説 明	S/W	H/W	備 考
15~0	wLength レンジ	USB リクエスト wLength の値	P 時 : R H 時 : R/W	P 時 : W H 時 : R	

<< 備考 >>

なし

(a) レンゲスビット (wLength)

USB リクエスト wLength の値を書き込み、または読み出すためのビットです。ビット7~0 が下位バイトです。本コントローラが SETUP トランザクションで受信した USB リクエスト wLength の値を、このビットに表示します。ソフトウェアによる本ビットへの書き込みは無効です。

(13) DCP コンフィグレーション

- DCPマックスパケットサイズレジスタ (DCPMAXP)

<アドレス : H'05E >

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									MXPS						
?	?	?	?	?	?	?	?	?	1	0	0	0	0	0	0
?	?	?	?	?	?	?	?	?	-	-	-	-	-	-	-

ビット	名 称	説 明	S/W	H/W	備考
15~7		何も配置されていません。"0"に固定してください。			
6~0	MXPS マックスパケットサイズ	DCP の最大データペイロード (マックスパ ケットサイズ) を指定します。	R/W	R	

(a) マックスパケットサイズビット (MXPS)

DCP の最大データペイロード (マックスパケットサイズ) を本ビットに設定してください。

初期値は、H'40 (64Bytes) です。

MXPS ビットの設定は、USB 規格に準拠した値を設定してください。

MXPS ビットの設定は、CSSTS=0、PID=NAK、および CURPIPE ビットに未設定時に実施してください。

対応する PIPE の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

MXPS=0 の設定での FIFO バッファへの書き込み、または PID=BUF の設定は行わないでください。

• DCPコントロールレジスタ (DCPCTR)

<アドレス: H'060>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BSTS							SQCLR	SQSET	SQMON	PBUSY			CCPL	PID	
0	?	?	?	?	?	?	0	0	1	0	?	?	0	0	0
-	?	?	?	?	?	?	-	-	-	-	?	?	0	0	0

ビット	名 称	説 明	S/W	H/W	備考
15	BSTS バッファステータス	DCP FIFO バッファへのアクセス可否ステータスが表示されます。 0: バッファアクセス不可 1: バッファアクセス可	R	W	
14~9	何も配置されていません。"0"に固定してください。				
8	SQCLR トグルビットクリア	DCP の転送において、次のトランザクションのシーケンストグルビットの期待値を DATA0 に設定することができます。 0: 無効 1: DATA0 指定	R(0)/ W(1)	R	
7	SQSET トグルビットセット	DCP の転送において、次のトランザクションのシーケンストグルビットの期待値を DATA1 に設定することができます。 0: 無効 1: DATA1 指定	R(0)/ W(1)	R	
6	SQMON シーケンストグルビットモニタ	DCP の転送において、次のトランザクションのシーケンストグルビットの期待値が表示されます。 0: DATA0 1: DATA1	R	W	
5	SPBUSY PIPE ビジー	DCP の PID ビットを BUF から NAK に変更した場合に、DCP の実際の通信が NAK 状態に遷移したかどうかが表示されます。 0: NAK に遷移未完了 1: NAK に遷移完了	R	W	
4, 3	何も配置されていません。"0"に固定してください。				
2	CCPL コントロール転送終了許可	Peripheral Controller 機能選択時に、ビットを 1 にすることによりコントロール転送のステータスステージの終了許可を設定します。 0: 無効 1: コントロール転送終了許可	R(0)/ W(1)	R/W(0)	

ビット	名 称	説 明	S/W	H/W	備考
1, 0	PID 応答 PID	本ビットによりコントロール転送における本コントローラの応答を制御します。 00 : NAK 応答 01 : BUF 応答 (バッファ状態に従う) 10 : STALL 応答 11 : STALL 応答	R/W	R/W	

<< 備考 >>

なし

(a) バッファステータスビット (BSTS)

DCP に割り付けた FIFO バッファへの CPU からのアクセスが可能かどうかを、本コントローラが表示するビットです。

本ビットの意味は、ISEL ビットの設定値により以下のように異なります。

1. ISEL=0のとき：受信データの読み出しが可能かどうかを表示します。
2. ISEL=1のとき：送信データの書き込みが可能かどうかを表示します。

(b) シーケンスストグルビットのクリアビット (SQCLR)

ソフトウェアが本ビットに"1"を設定すると本コントローラは当該 PIPE のシーケンスストグルビットの期待値を DATA0 に設定します。本コントローラは、常に本ビットに"0"を表示します。

SQCLR ビットと SQSET ビットに同時に"1"を設定しないでください。

本ビットへの"1"設定は、CSCTS=0、PID=NAK、および CURPIPE に未設定時に実施してください。

対応する PIPE の PID ビットを BUF から NAK へ変更してから本ビットに"1"を設定する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

(c) シーケンスストグルビットのセットビット (SQSET)

ソフトウェアが本ビットに"1"を設定すると本コントローラは当該 PIPE のシーケンスストグルビットの期待値を DATA1 に設定します。本コントローラは、常に本ビットに"0"を表示します。

SQCLR ビットと SQSET ビットに同時に"1"を設定しないでください。

本ビットへの"1"設定は、CSSTS=0、PID=NAK、および CURPIPE に未設定時に実施してください。

対応する PIPE の PID ビットを BUF から NAK へ変更してから本ビットに"1"を設定する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

(d) シーケンスストグルビットのモニタビット (SQMON)

本コントローラは当該 PIPE のシーケンスストグルビットの期待値を本ビットに表示します。

トランザクションが正常処理すると本コントローラは本ビットをトグルさせます。

ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。

SETUP パケット正常受信時に、本コントローラは本ビットを"1"にセット（期待値を DATA1 に設定）します。本コントローラはステータスステージの IN/OUT トランザクションでは本ビットを参照しません。また正常終了してもトグルさせません。

(e) PIPE ビジービット (PBUSY)

本コントローラは、当該 PIPE の USB トランザクションを開始したときに本ビットを"0"から"1"に変更します。ひとつのトランザクションが終了したときに本ビットを"1"から"0"に変更します。

ソフトウェアが PID=NAK を設定した後、本ビットを読み出すことにより、PIPE 設定変更が可能になったかどうかを確認することができます

(f) コントロール転送終了許可ビット (CCPL)

対応する PID ビットが BUF のときにソフトウェアが本ビットに"1"を設定すると、本コントローラはコントロール転送のステージを完了させます。

すなわち、コントロールリード転送時では USB Host からの OUT トランザクションに対して ACK Handshake を送信し、コントロールライトおよびノーデータコントロール転送時では USB Host からの IN トランザクションに対して Zero-Length パケットを送信します。ただし、SET_ADDRESS リクエスト検出時は、本ビットの設定値に関係なく本コントローラは SETUP ステージからステータスステージ完了まで自動応答を行います。

新たな SETUP パケットを受信したときに、本コントローラは本ビットを"1"から"0"に変更します。

VALID=1 のとき、ソフトウェアは本ビットへの"1"書き込みを行うことができません。

(g) 応答 PID ビット (PID)

本ビットに対し、コントロール転送のデータステージ、またはステータスステージ実行時、ソフトウェアで本ビットを NAK から BUF に変更してください。

以下の場合には本コントローラが本ビットの値を変更します。

1. 本コントローラが SETUP パケットを受信したときに、本コントローラは本ビットを NAK (00) に変更します。このとき、本コントローラは VALID=1 を表示し、ソフトウェアで VALID=0 を設定するまではソフトウェアは本ビットの変更を行うことはできません。
2. ソフトウェアが本ビットに BUF を設定しているときに、本コントローラが MaxPacketSize を超えるデータを受信した場合、本コントローラは PID=STALL (11) を表示します。
3. 本コントローラがコントロール転送シーケンスエラーを検出した場合、PID=STALL (1x) を表示します。
4. 本コントローラが USB バスリセットを検出した場合、PID=NAK を表示します。

SET_ADDRESS リクエスト処理（自動処理）時には、本コントローラは本ビットの設定値を参照しません。

(14) パイプコンフィグレーションレジスタ

PIPE1～9の設定は、PIPESEL レジスタ、PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタ、PIPExCTR レジスタ、PIPExTRE レジスタおよび PIPExTRN レジスタで行ってください。

PIPESEL レジスタにて使用するパイプを選択した後、PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、および PIPEPERI レジスタに、各パイプの機能設定を行います。なお、PIPExCTR レジスタ、PIPExTRE レジスタおよび PIPExTRN レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

● パイプウィンドウ選択レジスタ (PIPESEL)

<アドレス : H'064 >

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												PIPESEL			
?	?	?	?	?	?	?	?	?	?	?	?	0	0	0	0
?	?	?	?	?	?	?	?	?	?	?	?	-	-	-	-

ビット	名称	説明	S/W	H/W	備考
15～4		何も配置されていません。"0"に固定してください。			
3～0	PIPESEL パイプウィンドウ選択	アドレス H'68～H'6E のレジスタに対する PIPE 指定を行います。 0000 : 未選択 0001 : PIPE1 0010 : PIPE2 0011 : PIPE3 0100 : PIPE4 0101 : PIPE5 0110 : PIPE6 0111 : PIPE7 1000 : PIPE8 1001 : PIPE9	R/W	R	

<< 備考 >>

- * PIPESEL=0000 設定時は、上記の関連レジスタの各ビットにすべて"0"が読み出されます。PIPESEL=0000 設定時のアドレス H'68～H'6E のレジスタに対する書き込みは無効です。

(a) パイプウィンドウ選択ビット (PIPESEL)

ソフトウェアが本ビットに"0001～1001"を設定すると、本コントローラはアドレス H'68 番地～H'6C 番地のレジスタに対応する PIPE の情報、および設定値を表示します。本ビットへの PIPE 指定設定後、ソフトウェアがアドレス H'68 番地～H'6C 番地に設定する値は、本コントローラによって対応する PIPE の転送方法に反映されます。

ソフトウェアが本ビットに"0000"を設定すると、本コントローラはアドレス H'68 番地～H'6C 番地のレジスタに ALL"0"を表示します。このとき、ソフトウェアによるアドレス H'68 番地～H'6C 番地への書き込みは無効です。

● パイプコンフィグレーションレジスタ (PIPECFG)

<アドレス : H'068 >

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TYPE					BFRE	DBLB	CNTM D	SHTNA K			DIR	EPNUM			
0	0	?	?	?	0	0	0	0	?	?	0	0	0	0	0
-	-	?	?	?	-	-	-	-	?	?	-	-	-	-	-

ビット	名称	説明	S/W	H/W	備考
15、14	TYPE 転送タイプ	PIPESEL ビットに指定した PIPE (当該 PIPE) の転送タイプを指定します。 00 : パイプ使用不可 01 : バルク転送 10 : インタラプト転送 11 : アイソクロナス転送	R/W	R	
13~11	何も配置されていません。"0"に固定してください。				
10	BFRE BRDY 割り込み動作指定	本コントローラからの当該 PIPE に関する BRDY 割り込みの通知タイミングを指定します。 0 : データ送受信時に BRDY 割り込み通知 1 : データ読み出し完了時に BRDY 割り込み通知	R/W	R	
9	DBLB ダブルバッファモード	当該 PIPE が使用する FIFO バッファがシングルバッファかダブルバッファかを指定します。 0 : シングルバッファ 1 : ダブルバッファ	R/W	R	
8	CNTMD 連続転送モード	当該 PIPE を連続転送モードで通信させるかどうかを指定します。 0 : 非連続転送モード 1 : 連続転送モード	R/W	R	
7	SHTNAK トランスファ終了時の PIPE 禁止	当該 PIPE が受信方向の場合に、トランスファ終了時に PID を NAK に変更するかどうかを指定します。 0 : トランスファ終了時に PIPE 継続 1 : トランスファ終了時に PIPE 禁止	R/W	R	
6、5	何も配置されていません。"0"に固定してください。				
4	DIR 転送方向	当該 PIPE の転送方向を指定します。 0 : 受信方向 1 : 送信方向	R/W	R	
3~0	EPNUM エンドポイント番号	当該 PIPE のエンドポイント番号を指定します。	R/W	R	

<< 備考 >>

なし

(a) 転送タイプビット (TYPE)

PIPESEL ビットに設定した PIPE (選択 PIPE) の USB 転送タイプを本ビットに対して設定してください。
 選択 PIPE と本ビットに設定可能な転送タイプの一覧を表 14.16 に示します。

表 14.16 選択 PIPE と TYPE ビットに設定可能な転送タイプの一覧

選択 PIPE	TYPE ビット	USB 転送 TYPE
PIPE1、または PIPE2	01、または 11	bulk 転送、または isochronous 転送
PIPE3 ~ PIPE5	01	bulk 転送
PIPE6 ~ PIPE9	10	interrupt 転送

PID=BUF に設定 (することにより選択 PIPE を使用した USB 通信を開始) する前に、必ず本ビットを"00"以外の値に設定してください。

本ビットの変更は、選択 PIPE の PID ビットが NAK 状態のときに行ってください。選択 PIPE の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

(b) BRDY 割り込み動作指定ビット (BFRE)

本ビットは、選択 PIPE が PIPE1 ~ PIPE5 の場合に有効なビットです。

ソフトウェアが本ビットに"1"を設定し、かつ、選択 PIPE を受信方向で使用している (すなわち DIR ビット=0 に設定しているとき) 場合、本コントローラは、トランスファの終了を検出し、そのパケットを読み出し終えたときに BRDY 割り込みを発行します。

この設定で BRDY 割り込みが発生したときには、ソフトウェアは BCLR=1 の書き込み処理を行う必要があります。BCLR=1 を行うまでは選択 PIPE に割り付けられた FIFO バッファは受信可能状態になりません。

ソフトウェアが本ビットに"1"を設定し、かつ、選択 PIPE の選択 PIPE を送信方向で使用している (すなわち"DIR ビット=1"に設定しているとき) 場合、本コントローラは BRDY 割り込みを発生させません。

詳細は、PIPEBRDY 割り込みレジスタを参照してください。

本ビットの変更は、CSSTS=0、PID=NAK、および CURPIPE ビットに PIPE 未設定の状態のときに実施してください。

また、選択 PIPE を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ソフトウェアで ACLRM=1、ACLRM=0 を連続して書き込み、選択 PIPE に割り付けられた FIFO バッファのクリアを実行してください。

選択 PIPE の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

(c) ダブルバッファモードビット (DBLB)

本ビットは、選択 PIPE が PIPE1 ~ PIPE5 の場合に有効なビットです。

ソフトウェアが本ビットに"1"を設定している場合、本コントローラは選択 PIPE に対し、PIPEBUF レジスタの BUFSIZE ビットで指定した FIFO バッファサイズを 2 面分割り当てます。

すなわち、本コントローラが選択 PIPE に対して割り当てる FIFO バッファの容量は以下のとおりです。

$$(\text{BUFSIZE}+1)*64*(\text{DBLB}+1) \text{ [バイト]}$$

ソフトウェアが本ビットに"1"を設定し、かつ、選択 PIPE を送信方向で使用している ("DIR ビット=1"に設定している) 場合、本コントローラは BRDY 割り込みを発生させません。

詳細は、PIPEBRDY 割り込みレジスタを参照してください。

本ビットの変更は、CSSTS=0、PID=NAK、および CURPIPE ビットに PIPE 未設定の状態のときに実施してください。

また、選択 PIPE を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ソフトウェアで ACLRM=1、ACLRM=0 を連続して書き込み、選択 PIPE に割り付けられた FIFO バッファのクリアを実行してください。

選択 PIPE の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

(d) 連続転送モードビット (CNTMD)

本ビットは、選択 PIPE が PIPE1 ~ PIPE5 であり、かつ、選択 PIPE の転送タイプを bulk に設定している場合に有効なビットです。

本ビットの設定値によって、本コントローラは選択 PIPE に割り当てられた FIFO バッファに対する送受信完了判定を表 14.17 に示すとおりに行います。

表 14.17 CNTMD ビット設定値と FIFO バッファに対する送受信完了判定方法の関係

CNTMD ビット 設定値	読み出し可能状態、送信可能の判定方法
0	受信方向設定時 (DIR=0) FIFO バッファ読み出し可能状態になる条件; 本コントローラが 1 パケット受信したとき
	送信方向設定時 (DIR=1) FIFO バッファ送信可能状態になる条件; 以下 (1)、(2) のいずれかを満たしたとき (1) ソフトウェア (または DMAC) がマックスパケットサイズ分のデータを FIFO バッファに書き込んだ。 (2) ソフトウェア (または DMAC) がショートパケット分のデータ (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL=1 を書き込んだ。
1	受信方向設定時 (DIR=0) FIFO バッファ読み出し可能状態になる条件; (1) 選択 PIPE に割り当てられた FIFO バッファに受信したデータのバイト数と、割り当てられたバイト数 (BUFSIZE+1)×64 が等しくなったとき (2) 本コントローラが Zero-Length パケット以外のショートパケットを受信したとき (3) 選択 PIPE に割り当てられた FIFO バッファにすでにデータが格納されている状態で、本コントローラが Zero-Length パケットを受信したとき。 (4) ソフトウェアが選択 PIPE に対して設定したトランザクションカウンター回数分のパケットを受信したとき
	送信方向設定時 (DIR=1) FIFO バッファ送信可能状態になる条件; 以下 (1) または (2) を満たしたとき (1) ソフトウェア (または DMAC) が書き込んだデータ数が、選択 PIPE に割り当てられた FIFO バッファサイズ 1 面分と等しくなったとき。 (2) ソフトウェア (または DMAC) が、選択 PIPE に割り当てられた FIFO バッファサイズ 1 面分よりも小さいデータ数 (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL=1 を書き込んだとき。 (3) ソフトウェア (または DMAC) が、選択 PIPE に割り当てられた FIFO バッファサイズ 1 面分よりも小さいデータ数 (0 バイトの場合を含む) を FIFO バッファに書き込み、最後の書き込みと同時に DENDx_N 信号をアサートしたとき。

本ビットの変更は、CSSTS=0、PID=NAK、および CURPIPE ビットに PIPE 未設定の状態のときに実施してください。

また、選択 PIPE を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ソフトウェアで ACLRM=1、ACLRM=0 を連続して書き込み、選択 PIPE に割り付けられた FIFO バッファのクリアを実行してください。

選択 PIPE の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更し

た場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

(e) トランスファ終了時の PIPE 禁止ビット (SHTNAK)

本ビットは、選択 PIPE が PIPE1 ~ PIPE5 であり、かつ、受信方向である場合に有効なビットです。

受信方向 PIPE に対してソフトウェアが本ビットに"1"を設定している場合、本コントローラは、選択 PIPE に対しトランスファの終了を判定したときに選択 PIPE に対応する PID ビットを NAK に変更します。本コントローラは、以下(1)または(2)の条件が満たされたときにトランスファ終了と判定します。

- (1) ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき。
- (2) トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき。

本ビットの変更は、CSSTS=0、および PID=NAK の状態のときに実施してください。

選択 PIPE の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

送信方向 PIPE に対しては、本ビットを"0"に設定してください。

(f) 転送方向ビット (DIR)

ソフトウェアが本ビットに"0"を設定している場合、本コントローラは選択 PIPE を受信方向に、本ビットに"1"を設定している場合、本コントローラは選択 PIPE を送信方向に使用します。

本ビットの変更は、CSSTS=0、PID=NAK、および CURPIPE ビットに PIPE 未設定の状態のときに実施してください。

また、選択 PIPE を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記3つのレジスタの状態に加え、ソフトウェアで ACLRM=1、ACLRM=0 を連続して書き込み、選択 PIPE に割り付けられた FIFO バッファのクリアを実行してください。

選択 PIPE の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

(g) エンドポイント番号ビット (EPNUM)

ソフトウェアで本ビットに選択 PIPE に対するエンドポイント番号を設定してください。

ただし、"0000"の設定は、未使用 PIPE を意味します。

本ビットの変更は、CSSTS=0、PID=NAK、および CURPIPE ビットに PIPE 未設定の状態のときに実施してください。

選択 PIPE の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

DIR ビットと EPNUM ビットの設定の組み合わせが他の PIPE 設定と重複しないようにして設定してください。

(EPNUM=000 (選択 PIPE は未使用) の設定は重複可能です)

● パイプバッファ指定レジスタ (PIPEBUF)

< アドレス : H'06A >

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BUFSIZE								BUFNMB						
?	0	0	0	0	0	?	?	0	0	0	0	0	0	0	0
?	-	-	-	-	-	?	?	-	-	-	-	-	-	-	-

ビット	名 称	説 明	S/W	H/W	備考
15		何も配置されていません。"0"に固定してください。			
14~10	BUFSIZE バッファサイズ	PIPESEL ビットに指定した PIPE (当該 PIPE) の FIFO バッファサイズを指定します。 H'00 : 64 バイト H'01 : 128 バイト ... H'1F : 2K バイト	R/W	R	
9, 8		何も配置されていません。"0"に固定してください。			
7~0	BUFNMB バッファ番号	当該 PIPE の FIFO バッファ番号を指定します。 (H'4~H'87)	R/W	R	

<< 備考 >>

- * 本レジスタの各ビットの変更は、ソフトウェアが CSSTS=0、PID=NAK、および CURPIPE ビットに PIPE 未設定の状態のときに実施してください。
- * 選択 PIPE の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

(a) バッファサイズビット (BUFSIZE)

当該 PIPE に割り付ける FIFO バッファサイズを、本ビットに指定してください。

単位はブロック数であり、1 ブロックは 64 バイトです。

ソフトウェアが DBLB=1 を設定している場合、本コントローラは選択 PIPE に対し、本ビットで指定した FIFO バッファサイズを 2 面分割り当てます。

本コントローラが選択 PIPE に対して割り当てる FIFO バッファの容量は以下のとおりです。

$(BUFSIZE+1)*64*(DBLB+1)$ [バイト]

本ビットへは以下の範囲の値を設定してください。

(1) 選択 PIPE が PIPE1 ~ PIPE5 の場合 ; H'0 から H'1F の値を設定可能です。

(2) 選択 PIPE が PIPE6 ~ PIPE9 の場合 ; H'0 のみを設定可能です。

CNTMD=1 で使用する場合には、BUFSIZE ビットには MaxPacketSize の整数倍の値を設定してください。

(b) バッファ番号ビット (BUFNMB)

当該 PIPE に割り付ける FIFO バッファのうち、先頭のブロック番号を指定してください。

本コントローラが選択 PIPE に対して割り当てる FIFO バッファのブロックは以下のとおりです。

ブロック番号 : BUFNMB ~ ブロック番号 : BUFNMB+(BUFSIZE+1)*(DBLB+1)-1

本ビットへは搭載メモリサイズの範囲を超えないように設定してください。(8.5K バイトの場合は 0 [H'00] から 8640 [H'87]) ただし、以下の条件を守ってください。

H'00 は DCP 専用です。

H'04 は PIPE6 専用です。ただし PIPE6 を使用しない場合は他の PIPE で使用可能です。また選択 PIPE が PIPE6 の場合、本ビットへの書き込みは無効です。本コントローラは PIPE6 に対し BUFNMB=H'04 を自動的に割り付けます。

H'05 は PIPE7 専用です。ただし PIPE7 を使用しない場合は他の PIPE で使用可能です。また選択 PIPE が PIPE7 の場合、本ビットへの書き込みは無効です。本コントローラは PIPE7 に対し BUFNMB=H'05 を自動的に割り付けます。

H'06 は PIPE8 専用です。ただし PIPE8 を使用しない場合は他の PIPE で使用可能です。また選択 PIPE が PIPE8 の場合、本ビットへの書き込みは無効です。本コントローラは PIPE8 に対し BUFNMB=H'06 を自動的に割り付けます。

H'07 は PIPE9 専用です。ただし PIPE9 を使用しない場合は他の PIPE で使用可能です。また選択 PIPE が PIPE9 の場合、本ビットへの書き込みは無効です。本コントローラは PIPE9 に対し BUFNMB=H'07 を自動的に割り付けます。

● パイプマックスパケットサイズレジスタ (PIPEMAXP) <アドレス: H'06C>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					MXPS										
?	?	?	?	?	0	0	0	0	0(1)	0	0	0	0	0	0
?	?	?	?	?	-	-	-	-	-	-	-	-	-	-	-

ビット	名称	説明	S/W	H/W	備考
15~11		何も配置されていません。"0"に固定してください。			
10~0	MXPS マックスパケットサイズ	当該パイプの最大データペイロード(マックスパケットサイズ)を指定します。 PIPE6~9はH'1~H'40バイトまで設定可能です。	R/W	R	

<< 備考 >>

- * MXPS ビットの初期値は、PIPESEL レジスタの PIPESEL ビットでパイプを選択していないときは"H'00"、パイプを選択しているときは"H'40"が表示されます。

(a) デバイス選択ビット (DEVSEL)

Host Controller 機能選択時に、通信相手の USB デバイスアドレスを本ビットに設定してください。

本ビットの設定値に対応する DEVADDx レジスタの設定を行ったあとで、本ビットを設定してください。

たとえば、DEVSEL=0010 を設定する場合、H'D4 番地の DEVADD2 アドレスの設定を行ってください。

本ビットの設定は、CSSTS=0、PID=NAK の期間に実施してください。

対応する PIPE の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

Peripheral Controller 機能選択時には、本ビットへは"0000"を設定してください。

(b) マックスパケットサイズビット (MXPS)

選択 PIPE の最大データペイロード(マックスパケットサイズ)を本ビットに設定してください。

PIPE1、2 に対しては 1 バイト (H'1) ~ 1024 バイト (H'400) の値を設定可能です。

PIPE3 ~ 5 に対しては 8 バイト (H'8)、16 バイト (H'10)、32 バイト (H'20)、64 バイト (H'40)、512 バイト (H'200) の値を設定可能です。 ([2:0]のビットはありません。)

PIPE6 ~ 9 に対しては 1 バイト (H'1) ~ 64 バイト (H'40) の値を設定可能です。

初期値は、H'40 (64 バイト) です。

MXPS ビットの設定は、転送タイプごとに USB 規格に準拠した値を設定してください。

Isochronous-PIPE を Split-Transaction で通信する場合には、MXPS ビットには 188 バイト以下の値を設定してください。

MXPS ビットの設定は、CSSTS=0、PID=NAK、および CURPIPE ビットに未設定時に実施してください。

対応する PIPE の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更し

た場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

MXPS=0 の設定での FIFO バッファへの書き込み、または PID=BUF の設定は行わないでください。

• パイプ周期制御レジスタ (PIPEPERI)

<アドレス : H'06E >

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			IFIS										IITV		
?	?	?	0	?	?	?	?	?	?	?	?	?	0	0	0
?	?	?	-	?	?	?	?	?	?	?	?	?	-	-	-

ビット	名 称	説 明	S/W	H/W	備考
15~13	何も配置されていません。"0"に固定してください。				
12	IFIS アイソクロナス IN バッファフラッシュ	PIPESEL ビットに指定した PIPE (当該 PIPE) がアイソクロナス IN 転送の場合に、バッファフラッシュ有無を指定します。 0 : バッファフラッシュしない 1 : バッファフラッシュする	R/W	R	
11~3	何も配置されていません。"0"に固定してください。				
2~0	IITV インターバルエラー検出間隔	当該 PIPE の転送インターバルタイミングをフレームタイミングの 2 の n 乗で指定します。	R/W	R	

<< 備考 >>

なし

(a) インターバルエラー検出間隔ビット (IITV)

本ビットにインターバルエラー検出間隔をフレームタイミングの 2 の n 乗で指定してください。

本ビットの設定は、CSSTS=0、PID=NAK、および CURPIPE ビットに未設定時に実施してください。

対応する PIPE の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

本ビットを設定し、USB 通信を行った後で別の値に変更する場合には、PID=NAK 設定後 ACLRM=1 をセットし、Interval タイマの初期化を行ってください。

PIPE3~5 に対しては、本ビットは存在しません。PIPE3~5 に対応する本ビットの位置には"0"を設定してください。

選択 PIPE の転送 TYPE が Isochronous の場合に、本ビットへの設定が可能です。

1. 選択PIPEがIsochronous-OUT転送PIPEの場合

IITVビットに設定したIntervalごとの（マイクロ）フレーム中にDATAパケットを受信しなかったとき、本コントローラはNRDY割り込みを発生させます。

DATAパケットにCRCエラー等のエラーが発生したために受信できなかったとき、または（ソフトウェア（DMAC）がFIFOバッファからデータを読み出すのが遅いなどの原因で）FIFOバッファがフルのために本コントローラがデータを受信できなかったときにもNRDY割り込みを発生させます。

NRDY割り込みの発生のタイミングは、SOFパケット受信時です。またSOFパケットが破損した場合でも内部補間機能によりSOFを受信すべきタイミングに割り込みを発生させます。

ただしIITV=0以外のときには、インターバルのカウンタ開始後のインターバルごとのSOFパケット受信時にNRDY割り込みを発生させます。

インターバルタイマ起動後、ソフトウェアでPIDビットをNAKに設定した場合、本コントローラはSOFパケットを受信してもNRDY割り込みを発生させません。

インターバルのカウンタ開始条件は、IITVビットの設定値により異なります。

- (a) IITV=0のとき：選択PIPEのPIDビットをBUFに変更した次の（マイクロ）フレームからインターバルのカウンタを開始します。

(マイクロ) フレーム	SOF	SOF	SOF	OUT	DATA	SOF	OUT	DATA
PIDビット設定値	NAK	BUF	BUF	BUF	BUF			
Token受信期待有無 (0：受信を期待 -：非受信を期待)	-	-	0	0				
インターバル カウンタ開始								

図 14.3 IITV=0 の場合の（マイクロ）フレームと Token 受信期待有無の関係

- (b) IITV=0以外のとき：選択PIPEのPIDビットをBUFに変更した後最初のDATAパケット正常受信完了時点からインターバルのカウンタを開始します。

(マイクロ) フレーム	SOF	SOF	SOF	OUT	DATA	SOF	SOF	OUT	DATA	SOF	OUT	DATA
PIDビット設定値	NAK	BUF	BUF	BUF	BUF	BUF	BUF	BUF	BUF			
Token受信期待有無 (0：受信を期待 -：非受信を期待)	-	-	0	-	0	-	-	0				
インターバル カウンタ開始												

図 14.4 IITV=0 の場合の（マイクロ）フレームと Token 受信期待有無の関係

2. 選択PIPEがIsochronous-IN転送PIPEの場合

IFIS=1と組み合わせて使用します。IFIS=0の場合にはIITVビットへの設定値とは関係なく、受信したTokenに
応答してデータパケットを送信します。

IFIS=1を設定している場合、FIFOバッファに送信可能なデータが存在している状態で、IITVビットに設定し
たIntervalごとの(マイクロ)フレーム中にIN-Tokenを受信しなかったとき、本コントローラはFIFOバッファ
をクリアします。

IN-TokenにCRCエラー等のバスエラーが発生したために本コントローラが正常受信できなかった場合にもク
リアを行います。

FIFOバッファクリアのタイミングは、SOFパケット受信時です。またSOFパケットが破損した場合でも内部
補間機能によりSOFを受信すべきタイミングにFIFOバッファクリアを行います

インターバルのカウンタ開始条件は、IITVビットの設定値により異なります。(OUT時と同様です)

インターバルカウンタ条件は以下(1)、(2)または(3)の場合です。

(1)本コントローラがHWリセットされた場合(このとき、IITVビットへの設定値も"0"にクリアされます。)

(2)ソフトウェアがACLRM=1を設定した場合。

(3)本コントローラがUSBリセットを検出した場合

(15) パイプコントロールレジスタ

- PIPE1コントロールレジスタ (PIPE1CTR) <アドレス : H'070 >
- PIPE2コントロールレジスタ (PIPE2CTR) <アドレス : H'072 >
- PIPE3コントロールレジスタ (PIPE3CTR) <アドレス : H'074 >
- PIPE4コントロールレジスタ (PIPE4CTR) <アドレス : H'076 >
- PIPE5コントロールレジスタ (PIPE5CTR) <アドレス : H'078 >

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BSTS	INBUF				ATREP	ACLRM	SQCLR	SQSET	SQMO	PBSY					PID	
	M				M				N							
0	0		?	?	0	0	0	0	0	0	?	?	?	0	0	
-	-	?	?	?	-	-	-	-	-	-	?	?	?	0	0	

ビット	名 称	説 明	S/W	H/W	備考
15	BSTS バッファステータス	当該 PIPE の FIFO バッファステータスが 表示されます。 0 : バッファアクセス不可 1 : バッファアクセス可	R	W	
14	INBUF 送信バッファモニタ	当該 PIPE が送信方向の場合に、当該 PIPE の FIFO バッファステータスが表示されま す。 0 : FIFO バッファに送信可能データなし 1 : FIFO バッファに送信可能データあり	R	W	
13~11	何も配置されていません。"0"に固定してください。				
10	ATREPM 自動応答モード	当該 PIPE の自動応答禁止 / 許可を指定しま す。 0 : 自動応答禁止 1 : 自動応答許可 (当該 PIPE の FIFO バッ ファの状態にかかわらず、送信時 Zero-length Packet 応答、受信時 NAK 応答し NRDY 割り込み発生)	R/W	R	
9	ACLRM 自動バッファクリアモード	当該 PIPE の自動バッファクリアモードの禁 止 / 許可を指定します。 0 : 禁止 1 : 許可 (全バッファ初期化)	R/W	R	
8	SQCLR トグルビットクリア	当該 PIPE の次回トランザクションにおける シーケンストグルビットの期待値を DATA0 にクリアするとき"1"を指定します。 0 : 無効 1 : DATA0 指定	R(0)/ W(1)	R	

ビット	名 称	説 明	S/W	H/W	備考
7	SQSET トグルビットセット	当該 PIPE の次回トランザクションにおけるシーケンストグルビットの期待値を DATA1 にセットするとき"1"を指定します。 0 : 無効 1 : DATA1 指定	R(0)/ W(1)	R	
6	SQMON トグルビット確認	当該 PIPE の次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。 0 : DATA0 1 : DATA1	R	W	
5	PBUSY PIPE ビジー	当該 PIPE を現在 USB バスで使用中心かどうかが表示されます。 0 : 当該 PIPE を USB バスにて未使用 1 : 当該 PIPE を USB バスにて使用	R	W	
4~2	何も配置されていません。"0"に固定してください。				
1、0	PID 応答 PID	当該 PIPE の次回トランザクションにおける応答方法を指定します。 00 : NAK 応答 01 : BUF 応答 (バッファ状態に従う) 10 : STALL 応答 11 : STALL 応答	R/W	R/W	

<< 備考 >>

なし

(a) バッファステータスビット (BSTS)

当該 PIPE に割り付けた FIFO バッファへの CPU からのアクセスが可能かどうかを、本コントローラが表示するビットです。

本ビットの意味は、DIR ビット、BFRE ビットおよび DCLRM ビットの設定値により以下のように異なります。

表 14.18 BSTS ビットの動作

DIR ビット 設定値	BFRE ビット 設定値	DCLRM ビット 設定値	BSTS ビットの意味
0	0	0	FIFO バッファからの受信データの読み出しが可能になったときに"1"を表示し、データの読み出しが完了したときに"0"を表示します。
		1	この組み合わせは設定禁止です。
	1	0	FIFO バッファからの受信データの読み出しが可能になったときに"1"を表示し、データの読み出しが完了した後でソフトウェアが BCLR=1 を書き込んだときに"0"を表示します。
		1	FIFO バッファからの受信データの読み出しが可能になったときに"1"を表示し、データの読み出しが完了したときに"0"を表示します。
1	0	0	FIFO バッファへの送信データの書き込みが可能になったときに"1"を表示し、データの書き込みが完了したときに"0"を表示します。
		1	この組み合わせは設定禁止です。
	1	0	この組み合わせは設定禁止です。
		1	この組み合わせは設定禁止です。

(b) 送信バッファモニタビット (INBUFM)

当該 PIPE を送信方向 (DIR=1) に設定している場合に、ソフトウェア (または DMAC) が少なくとも 1 面分のデータを FIFO バッファに書き込み完了したときに、本コントローラは本ビットに"1"を表示します。

書き込みが完了している面の FIFO バッファ上のデータを本コントローラがすべて送信完了したときに、本コントローラは本ビットに"0"を表示します。ダブルバッファ使用時 (DBLB=1 設定時) には、本コントローラが 2 面分のデータを送信完了しかつソフトウェア (または DMAC) が 1 面分のデータ書き込みを完了していないときに、本ビットに"0"を表示します。

当該 PIPE を受信方向 (DIR=0) に設定している場合には、本ビットは BSTS ビットと同じ値を示します。

(c) 自動応答モードビット (ATREPM)

当該 PIPE の転送 TYPE を Bulk に設定している場合、本ビットへの"1"設定が可能です。

本ビットに"1"を設定した場合、USB HOST からの Token に対し本コントローラは以下のように応答します。

1. 当該PIPEがBulk-IN転送 (TYPE=01かつDIR=1を設定) の場合

ATREPM=1かつPID=BUFを設定している場合、IN-Tokenに対して本コントローラはZero-Length/パケットを送信します。

USB HostからのACK受信の度に (1トランザクションはIN-Token受信 Zero Length/パケット送信 ACK受信)、本コントローラはシーケンストグルビット (DATA-PID) の更新 (トグル) を行います。

BRDY割り込み、BEMP割り込みは発生させません。

2. 当該PIPEがBulk-OUT転送 (TYPE=01かつDIR=0を設定) の場合

ATREPM=1かつPID=BUFを設定している場合、OUT-Token (またはPING-Token) に対して本コントローラは NAK応答を行い、NRDY割り込みを発生させます。

本ビットの変更は、CSSTS=0、PID=NAK 設定時に実施してください。

対応する PIPE の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

本ビットを"1"に設定して USB 通信を行う場合、FIFO バッファは必ず空の状態で行ってください。本ビットを"1"に設定して USB 通信を行っている期間は FIFO バッファへの書き込みを行わないでください。

当該 PIPE の転送 TYPE が Isochronous 転送の場合、本ビットには必ず"0"を設定してください。

(d) 自動バッファクリアモードビット (ACLRM)

当該 PIPE に割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに"1"、"0"を連続して書き込んでください。

本ビットに"1"、"0"を連続して設定した場合に本コントローラがクリアする内容と、当該項目のクリアが必要なケースについて表 14.19 に示します。

表 14.19 ACLRM=1 設定時に本コントローラがクリアされる内容

番号	ACLRM ビット操作によるクリア内容	クリアが必要なケース
(1)	当該 PIPE に割り付けた FIFO バッファのすべての内容 (ダブルバッファ設定時は FIFO バッファを 2 面ともクリア)	
(2)	当該 PIPE の転送 TYPE が Isochronous 転送の場合、インターバルカウンタ値	インターバルカウンタ値のリセットを行いたい場合
(3)	BFRE ビットに関する内部フラグ	BFRE ビットの設定値変更時
(4)	FIFO バッファトグル制御	DBLB ビットの設定値変更時
(5)	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

本ビットの変更は、CSSTS=0、PID=NAK、および当該 PIPE を CURPIPE ビットに未設定時に実施してください。

対応する PIPE の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

(e) シーケンスストグルビットのクリアビット (SQCLR)

ソフトウェアが本ビットに"1"を設定すると本コントローラは当該 PIPE のシーケンスストグルビットの期待値を DATA0 に設定します。本コントローラは、常に本ビットに"0"を表示します。

SQCLR ビットへの"1"設定は、CSCTS=0、かつ PID=NAK に実施してください。

対応する PIPE の PID ビットを BUF から NAK へ変更してから本ビットに"1"を設定する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

(f) シーケンスストグルビットのセットビット (SQSET)

ソフトウェアが本ビットに"1"を設定すると本コントローラは当該 PIPE のシーケンスストグルビットの期待値を DATA1 に設定します。本コントローラは、常に本ビットに"0"を表示します。

SQSET ビットへの"1"設定は、CSSTS=0、かつ PID=NAK 設定時に実施してください。

対応する PIPE の PID ビットを BUF から NAK へ変更してから本ビットに"1"を設定する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

(g) シーケンスストグルビットのモニタビット (SQMON)

本コントローラは当該 PIPE のシーケンスストグルビットの期待値を本ビットに表示します。

当該 PIPE の転送 TYPE が Isochronous 転送以外の場合、トランザクションが正常処理すると本コントローラは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。

(h) PIPE ビジービット (PBUSY)

本コントローラは、当該 PIPE の USB トランザクションを開始したときに本ビットを"0"から"1"に変更します。ひとつのトランザクションが終了したときに本ビットを"1"から"0"に変更します。

ソフトウェアが PID=NAK を設定した後、本ビットを読み出すことにより、PIPE 設定変更が可能になったかどうかを確認することができます

(i) 応答 PID ビット (PID)

本ビットに対し、ソフトウェアで各 PIPE における本コントローラの応答を設定してください。

本ビットのデフォルト値は NAK です。当該 PIPE で USB 転送を行う場合には本ビットを BUF に変更してください。PID ビットの設定値ごとの本コントローラの基本動作(通信パケットにエラーがない場合の動作)は表 14.20 のとおりです。

当該 PIPE が USB 通信中であるときに、ソフトウェアで本ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該 PIPE の USB 転送が NAK 状態に遷移したことを確認するために PBUSY=1 であることを確認してください。ただし、本コントローラが本ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません

本コントローラが当該 PIPE において Split トランザクションの S-Split 発行後 (CSSTS=1 表示中) にソフトウェ

アが本ビットを NAK に変更しても、終了までトランザクションを実行します。

以下の場合には本コントローラが本ビットの値を変更します。

1. 当該PIPEが受信方向の場合、かつソフトウェアが当該PIPEのSHTNAKビットに"1"を設定している場合、本コントローラがトランスファ終了を認識したときに、PID=NAKを表示します。
2. 当該PIPEに対し、MaxPacketSizeを超えるペイロードのデータパケットを受信した場合、本コントローラはPID=STALL (11) を表示します。
3. USBバスリセットを検出した場合、本コントローラはPID=NAKを表示します。

PID=NAK (00) の状態から PID=STALL 状態にする場合には、"10"を書き込んでください。

BUF (01) 状態から STALL 状態にする場合には、"11"を書き込んでください。

STALL (11) から NAK 状態にする場合には、いったん"10"を書き込んでから"00"を書き込んでください。

STALL 状態から BUF 状態に変更する場合は、いったん NAK 状態に変更し、その後、BUF 状態に変更してください。

表 14.20 PID ビットによる本コントローラの動作一覧

PID ビット 設定値	転送 TYPE (TYPE ビット設定値)	転送方向 (DIR ビット設定値)	本コントローラの動作
00 (NAK)	Bulk (TYPE=01)、 または Interrupt (TYPE=10)	設定値に依存しない	USB Host からの Token に NAK 応答を行う ただし、ATREPM=1 設定時は「(15) バイプコント ールレジスタ(c)自動応答モードビット(ATREPM)」 に述べる動作を行う。
	Isochronous (TYPE=11)	設定値に依存しない	USB Host からの Token に無応答を行う
01 (BUF)	Bulk (TYPE=01)	受信方向 (DIR=0)	USB Host からの OUT Token に対し、当該 PIPE に対 応する FIFO バッファが受信可能な状態ならばデータを 受信し ACK 応答を行う。受信可能な状態でなければ NAK 応答を行う USB Host からの PING Token に対し、当該 PIPE に対 応する FIFO バッファが受信可能な状態ならば ACK 応 答を行う。受信可能な状態でなければ NYET 応答を行 う
		受信方向 (DIR=0)	USB Host からの OUT Token に対し、当該 PIPE に対 応する FIFO バッファが受信可能な状態ならばデータを 受信し ACK 応答を行う。受信可能な状態でなければ NAK 応答を行う
	Isochronous (TYPE=11)	送信方向 (DIR=1)	対応する FIFO バッファが送信可能な状態ならば USB Host からの Token に対しデータを送信する。送信可能 でなければ NAK 応答を行う。
		受信方向 (DIR=0)	USB Host からの OUT Token に対し、当該 PIPE に対 応する FIFO バッファが受信可能な状態ならばデータを 受信する。受信可能な状態でなければデータを破棄す る。
		送信方向 (DIR=1)	対応する FIFO バッファが送信可能な状態ならば USB Host からの Token に対しデータを送信する。送信可能 でなければ Zero-Length バケットを送信する。
10 (STALL)、 または 11 (STALL)	Bulk (TYPE=01)、 または Interrupt (TYPE=10)	設定値に依存しない	USB Host からの Token に STALL 応答を行う
		Isochronous (TYPE=11)	設定値に依存しない

- PIPE6コントロールレジスタ (PIPE6CTR) <アドレス : H'07A>
- PIPE7コントロールレジスタ (PIPE7CTR) <アドレス : H'07C>
- PIPE8コントロールレジスタ (PIPE8CTR) <アドレス : H'07E>
- PIPE9コントロールレジスタ (PIPE9CTR) <アドレス : H'080>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BSTS						ACLRM	SQCLR	SQSET	SQMON	PBSY					PID
0	?	?	?	?	?	0	0	0	0	0	?	?	?	0	0
-	?	?	?	?	?	-	-	-	-	-	?	?	?	0	0

ビット	名 称	説 明	S/W	H/W	備考
15	BSTS バッファステータス	当該 PIPE の FIFO バッファステータスが表示されます。 0 : バッファアクセス不可 1 : バッファアクセス可	R	W	
14~10	何も配置されていません。"0"に固定してください。				
9	ACLRM 自動バッファクリアモード	当該 PIPE の自動バッファクリアモードの禁止 / 許可を指定します。 0 : 自動バッファクリアモード禁止 1 : 自動バッファクリアモード許可 (全バッファ初期化)	R/W	R/W	
8	SQCLR トグルビットクリア	当該 PIPE の次回トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアするときに"1"を指定します。 0 : 無効 1 : DATA0 指定	R(0)/ W(1)	R	
7	SQSET トグルビットセット	当該 PIPE の次回トランザクションにおけるシーケンストグルビットの期待値を DATA1 にセットするときに"1"を指定します。 0 : 無効 1 : DATA1 指定	R(0)/ W(1)	R	
6	SQMON トグルビット確認	当該 PIPE の次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。 0 : DATA0 1 : DATA1	R	W	
5	PBSY PIPE ビジー	当該 PIPE を現在 USB バスで使用かどうかが表示されます。 0 : 当該 PIPE を USB バスにて未使用 1 : 当該 PIPE を USB バスにて使用	R	W	
4~2	何も配置されていません。"0"に固定してください。				

ビット	名 称	説 明	S/W	H/W	備考
1, 0	PID 応答 PID	当該 PIPE の次回トランザクションにおける 応答方法を指定します。 00 : NAK 応答 01 : BUF 応答 (バッファ状態に従う) 10 : STALL 応答 11 : STALL 応答	R/W	R/W	

<< 備考 >>

なし

(a) バッファステータスビット (BSTS)

「(15) パイプコントロールレジスタ (a) バッファステータスビット (BSTS)」を参照ください。

(b) 自動バッファクリアモードビット (ACLRM)

当該 PIPE に割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに"1"、"0"を連続して書き込んでください。

本ビットに"1"、"0"を連続して設定した場合に本コントローラがクリアする内容と、当該項目のクリアが必要なケースについて表 14.21 に示します。

表 14.21 ACLRM=1 設定時に本コントローラがクリアされる内容

番号	ACLRM ビット操作によるクリア内容	クリアが必要なケース
(1)	当該 PIPE に割り付けた FIFO バッファのすべての内容	
(2)	当該 PIPE の転送タイプがアイソクロナス転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
(3)	BFRE ビットに関する内部フラグ	BFRE ビットの設定値変更時
(4)	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

本ビットの変更は、CSSTS=0、PID=NAK、および当該 PIPE を CURPIPE ビットに未設定時に実施してください。

対応する PIPE の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

(c) シーケンストグルビットのクリアビット (SQCLR)

「(15) パイプコントロールレジスタ (e) シーケンストグルビットのクリアビット (SQCLR)」を参照ください。

(d) シーケンストグルビットのセットビット (SQSET)

「(15) パイプコントロールレジスタ (f) シーケンストグルビットのセットビット (SQSET)」を参照ください。

(e) シーケンストグルビットのモニタビット (SQMON)

「(15) パイプコントロールレジスタ (g) シーケンストグルビットのモニタビット (SQMON)」を参照ください。

(f) PIPE ビジービット (PBUSY)

「(15) パイプコントロールレジスタ (h) PIPE ビジービット (PBUSY)」を参照ください。

(g) 応答 PID ビット (PID)

「(15) パイプコントロールレジスタ (i) 応答 PID ビット (PID)」を参照ください。

(16) トランザクションカウンタ

- PIP1 トランザクションカウンタ許可レジスタ (PIP1TRE) <アドレス: H'090>
- PIP2 トランザクションカウンタ許可レジスタ (PIP2TRE) <アドレス: H'094>
- PIP3 トランザクションカウンタ許可レジスタ (PIP3TRE) <アドレス: H'098>
- PIP4 トランザクションカウンタ許可レジスタ (PIP4TRE) <アドレス: H'09C>
- PIP5 トランザクションカウンタ許可レジスタ (PIP5TRE) <アドレス: H'0A0>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						TRENB	TRCLR								
?	?	?	?	?	?	0	0	?	?	?	?	?	?	?	?
?	?	?	?	?	?	-	-	?	?	?	?	?	?	?	?

ビット	名称	説明	S/W	H/W	備考
15~10	何も配置されていません。"0"に固定してください。				
9	TRENB トランザクションカウンタ許可	トランザクションカウンタ無効/有効を指定します。 0: トランザクションカウンタ機能無効 1: トランザクションカウンタ機能有効	R/W	R	
8	TRCLR トランザクションカウンタクリア	本ビットに"1"を設定することによりトランザクションカウンタを0にクリアすることができます。 0: 無効 1: カレントカウンタクリア	R(0)/ W(1)	R	
7~0	何も配置されていません。"0"に固定してください。				

<< 備考 >>

* 本レジスタの各ビットの変更は、CSSTS=0、PID=NAK 時に実施してください。

対応する PIPE の PID ビットを BUF から NAK へ変更したあとで各ビットの設定値を変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません

(a) トランザクションカウンタ許可ビット (TRENB)

受信 PIPE に対して、ソフトウェアで TRNCNT ビットに総パケット数を設定した後で本ビットに"1"を設定すると、本コントローラは TRNCNT ビットの設定値と同数のパケット受信を終了したときに以下の制御を行います。

1. 連続送受信モード使用 (CNTMD=1 設定) 時、受信完了時に FIFO バッファがフルの状態でも、CPU 側にトグルさせます。
2. SHTNAK=1 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了時点で対応する PIPE の PID ビットを NAK に変更します。
3. DENDE=1 かつ PKTMD=0 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了し最後のデータを読み出す時に DEND 信号をアサートします。

4. BFRE=1設定時、TRNCNTビットの設定値と同数のパケット受信を終了し最後のデータを読み出し終わったときに、BRDY割り込みをアサートします。

送信 PIPE については、本ビットに"0"を設定してください。

トランザクションカウント機能を使用しない場合は、本ビットに"0"を設定してください。

トランザクションカウント機能を使用する場合、本ビットに"1"を設定する前に TRNCNT ビットの設定を行ってください。また、トランザクションカウントの対象となる最初のパケットを受信する前に本ビットに"1"を設定してください。

(b) トランザクションカウンタクリアビット (TRCLR)

ソフトウェアが本ビットに"1"を設定すると、本コントローラは当該 PIPE に対応するトランザクションカウンタの現在のカウント値をクリアし、本ビットに"0"を表示します。

- PIP1トランザクションカウンタレジスタ (PIP1TRN) <アドレス : H'092 >
- PIP2トランザクションカウンタレジスタ (PIP2TRN) <アドレス : H'096 >
- PIP3トランザクションカウンタレジスタ (PIP3TRN) <アドレス : H'09A >
- PIP4トランザクションカウンタレジスタ (PIP4TRN) <アドレス : H'09E >
- PIP5トランザクションカウンタレジスタ (PIP5TRN) <アドレス : H'0A2 >

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRNCNT															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	名 称	説 明	S/W	H/W	備考
15~0	TRNCNT トランザクションカウンタ	トランザクションカウンタ Write 時 DMA 転送のトランザクション回数を設定 します Read 時 TRENB=0 の場合:設定したトランザクシ ョン回数が表示されます。 TRENB=1 の場合:カウント中のトランザク ション回数が表示され ます。	R/W	R/W	

<< 備考 >>

(a) トランザクションカウンタビット (TRNCNT)

受信 PIPE に対して、ソフトウェアで本ビットに受信すべき総パケット数を設定した後で TRENB ビットに"1"を設定すると、本コントローラは「(16)トランザクションカウンタ(a)トランザクションカウンタ許可ビット (TRENB)」に述べる制御を行います。

TRENB=0 の場合、本コントローラは本ビットに、ソフトウェアが設定したトランザクション回数を表示します。TRENB=1 の場合、本コントローラは本ビットに、カウント中のトランザクション回数を表示します。

本コントローラは、受信時の状態が以下 (a) から (c) をすべて満たしたときに TRNCNT ビットの表示を 1 インクリメントします。

(a) TRENB=1 である

(b) パケット受信時に (TRNCNT 設定値 現在のカウント値+1) である

(c) 受信したパケットのペイロードが MXPS ビットへの設定値と一致した

本コントローラは、以下 1.、2.、または 3.のいずれかの条件が満たされたときに TRNCNT ビットの表示を 0 にクリアします。

1. 以下 (a) から (c) の条件がすべて満たされたとき
 - (a) TRNENB=1である
 - (b) パケット受信時に (TRNCNT設定値 = 現在のカウンタ値+1) である
 - (c) 受信したパケットのペイロードがMXPSビットへの設定値と一致した

2. 以下 (a) および (b) の条件がすべて満たされたとき
 - (a) TRENB=1である
 - (b) ショートパケットを受信した

3. 以下 (a) および (b) の条件がすべて満たされたとき
 - (a) TRENB=1である
 - (b) ソフトウェアがTRCLRビットに"1"を設定した

送信 PIPE については、本ビットに"0"を設定してください。

トランザクションカウンタ機能を使用しない場合は、本ビットに"0"を設定してください。

本ビットの変更は、CSSTS=0、PID=NAK、かつ TRENB=0 設定時に実施してください。

対応する PIPE の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本コントローラが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

本ビットの値を変更する場合は、TRENB=1 を設定する前に TRCLR=1 を実施してください。

(17) UTMI サスペンドモードレジスタ

- UTMIサスペンドモードレジスタ (SUSPMODE)

<アドレス : H'102 >

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SUSP M															
?	0	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?
?	-	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

ビット	名 称	説 明	S/W	H/W	備考
15		何も配置されていません。"0"に固定してください。			
14	SUSPM UTMI SuspendM 制御	UTMI への SuspendM 信号の制御をします。 0 : UTMI サスペンドモード 1 : UTMI 通常モード	R/W	R/W	
13~0		何も配置されていません。"0"に固定してください。			

<< 備考 >>

なし

(a) UTMI SuspendM 制御ビット (SUSPM)

UTMI への SuspendM 信号の制御ビットです。初期値は0であり UTMI はサスペンドモードとなっています。本コントローラを動作させるときには、本ビットに"1"を設定してください。

UTMI 規格では通常 SuspendM 信号により、クロック出力制御を行っており、SuspendM=0 の状態では LINK へのクロックが停止されます。

詳細は搭載する、UTMI の仕様を参照してください。

SUSPM ビットが0のとき (UTMI クロックが停止しているとき) には、本コントローラへの書き込みはできません。読出しは可能です。ただし、表 14.22 に示すレジスタは SUSPM ビットが0のときでも書き込み可能です。

表 14.22 SUSPM=0 時に、ソフトウェアによる書き込みが可能なレジスタ一覧

アドレス	レジスタ名
H'000	SYSCFG0
H'002	BUSWAIT
H'102	SUSPMODE

ただし UTMI クロックが停止 (SUSPM=0) 時に SYSCFG0 レジスタへの書き込んだ設定値は、UTMI クロックが発振 (SUSPM=1) されてから、設定値が反映されます。

14.4.5 動作説明

(1) システム制御および発振制御

本章では、本コントローラの初期設定に必要なレジスタ操作、および消費電力制御を行うために必要なレジスタの説明について述べます。

(a) リセット

表 14.23 に本コントローラのリセット種別の一覧表を示します。なお、各リセット動作後のレジスタ初期化状態については、「14.4.4 レジスタ」を参照してください。

表 14.23 リセット種別一覧表

名称	操作
H/W リセット	EXL_SYSRST 端子からの"L"レベル入力
USB バスリセット	本コントローラが D+, D-ラインから自動検出

(b) USB データバス抵抗制御

本コントローラは、D+信号のプルアップ抵抗と D+, D-信号のプルダウン抵抗の切り替え制御を行います。SYSCFG0 レジスタの DPRPU ビットの設定により各信号のプルアップ、プルダウンを設定してください。

また、PC と通信中に SYSCFG0 レジスタの DPRPU ビットに"0"を設定した場合は、USB データラインのプルアップ抵抗（もしくは終端抵抗）をディセーブルにしますので、ホストコントローラにデバイス切断を通知することができます。

(c) クロック供給

表 14.24 に本コントローラに必要な 2 本のクロック入力を示します。

表 14.24 クロック入力一覧表

入力クロック名	機能
CPU クロック	CPU クロック入力 クロック周波数について制限はありません。
UTMI クロック	UTMI からのクロック入力 UTMI のインタフェースバス幅によりクロック周波数が異なる。 8bit インタフェース時：60MHz 16bit インタフェース時：30MHz UTMI のクロック発振制御は、SuspendM ビットにて実施できます。詳細は UTMI 仕様書を参照してください。

またローカルバス接続時には、CPU クロックとは別の FIFO アクセスクロックを入力することが可能です。

(d) クロック停止時の注意点

- CPUクロックおよびUTMIクロックはディスコネクトまたはサスペンド中に停止させることができます。
- ただしPeripheralモード時のUSBサスペンド中に停止させる場合は、レジュームでの再供給が必要です。UTMIクロックはレジューム割り込み発生から再供給までを2.5ms以内で行う必要があります。

(2) 割り込み機能

(a) 割り込み機能概要

表 14.25 に本コントローラの割り込み機能一覧表を示します。

表 14.25 割り込み機能一覧表

ビット	割り込み名称	割り込み要因	発生する機能	関連ステータス
VBINT	VBUS 割り込み	VBUS 入力端子の状態変化を検出したとき ("L" "H"、"H" "L"の両方の変化)		VBSTS
RESM	レジューム割り込み	サスペンド状態において USB バスの状態変化を検出したとき (J-State K-State、もしくは J-State SE0)		
SOFR	フレーム番号更新割り込み	<ul style="list-style-type: none"> • SOFRM=0 の場合：フレーム番号の異なる SOF パケットを受信したとき • SOFRM=1 の場合：μフレーム番号 0 のときの SOF をパケット破損などで受信できなかったとき 		
DVST	デバイスステート遷移割り込み	デバイスステートの遷移を検出したとき <ul style="list-style-type: none"> • USB バスリセット検出 • サスペンド状態検出 • Set Address リクエストの受信 • Set Configuration リクエストの受信 		DVSQ
CTRT	コントロール転送ステージ遷移割り込み	コントロール転送のステージ遷移を検出したとき <ul style="list-style-type: none"> • セットアップステージ完了 • コントロールライト転送ステータスステージ遷移 • コントロールリード転送ステータスステージ遷移 • コントロール転送完了 • コントロール転送シーケンスエラー発生 		CTSQ
BEMP	バッファエンプティ割り込み	<ul style="list-style-type: none"> • バッファメモリ中の全データを送信しバッファが空になったとき • マックスパケットサイズを超えたパケットを受信したとき 		PIPEBEMP
NRDY	バッファノットレディ割り込み	<ul style="list-style-type: none"> • IN Token / OUT Token / PING Token に対して NAK 応答したとき • アイソクロナス転送でデータ受信時に CRC エラー、ビットスタッフエラーが発生したとき • アイソクロナス転送時のオーバーラン / アンダランが発生したとき 		PIPENRDY
BRDY	バッファレディ割り込み	バッファがレディ (リード、もしくはライト可能状態) になったとき		PIPEBRDY
OVRCR	OVRCR 割り込み	OVRCR 入力端子の状態変化を検出したとき		OVCMON

ビット	割り込み名称	割り込み要因	発生する機能	関連ステータス
BCHG	バス変化割り込み	USB バスステートの変化を検出したとき		

表 14.26 に本コントローラの IFL_INT 端子動作表を示します。複数の割り込み要因が発生した場合に、IFL_INT 端子出力の方法を、INTENB1 レジスタの INTL ビットにより設定できます。ユーザシステムに合わせて IFL_INT 端子の動作設定を行ってください。

表 14.26 IFL_INT 端子動作表

IFL_INT 端子動作 INTL 設定	発生した割り込み要因が 1 つの場合	発生した割り込み要因が複数の場合
エッジセンス (INTL=0)	要因解除まで"L"レベル出力	1 つの要因が解除されると 48MHz で 32 クロック時間ネゲート ("H"パルス出力)
レベルセンス (INTL=1)	要因解除まで"L"レベル出力	すべての要因解除まで"L"レベル出力

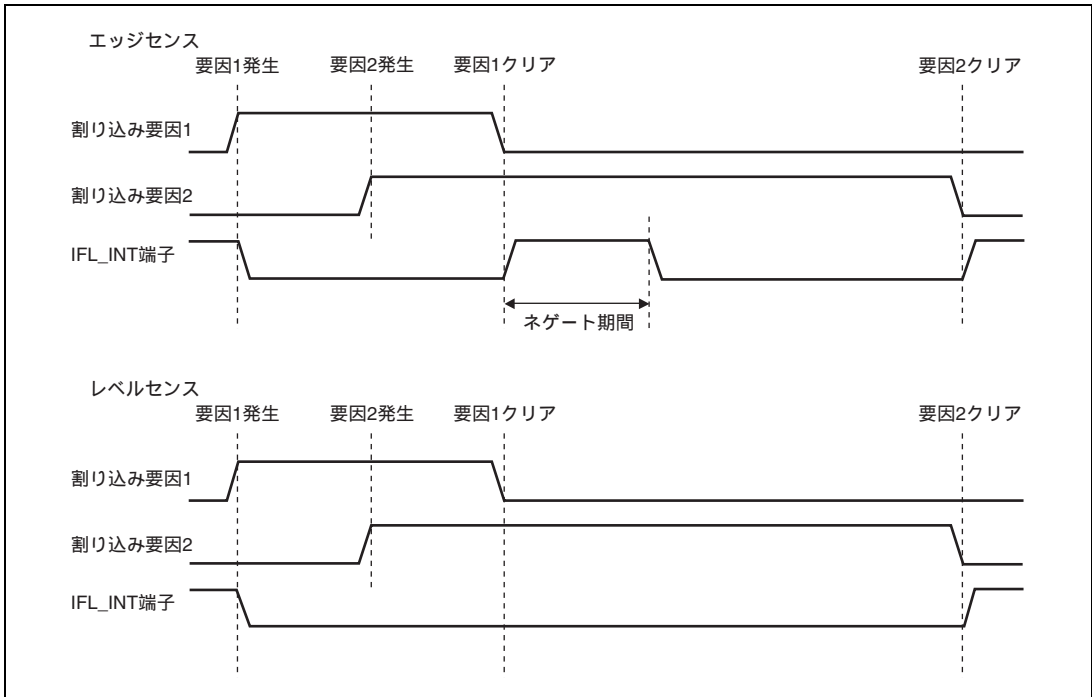


図 14.5 IFL_INT 端子動作図

図14.6に本コントローラの割り込み関連図を示します。

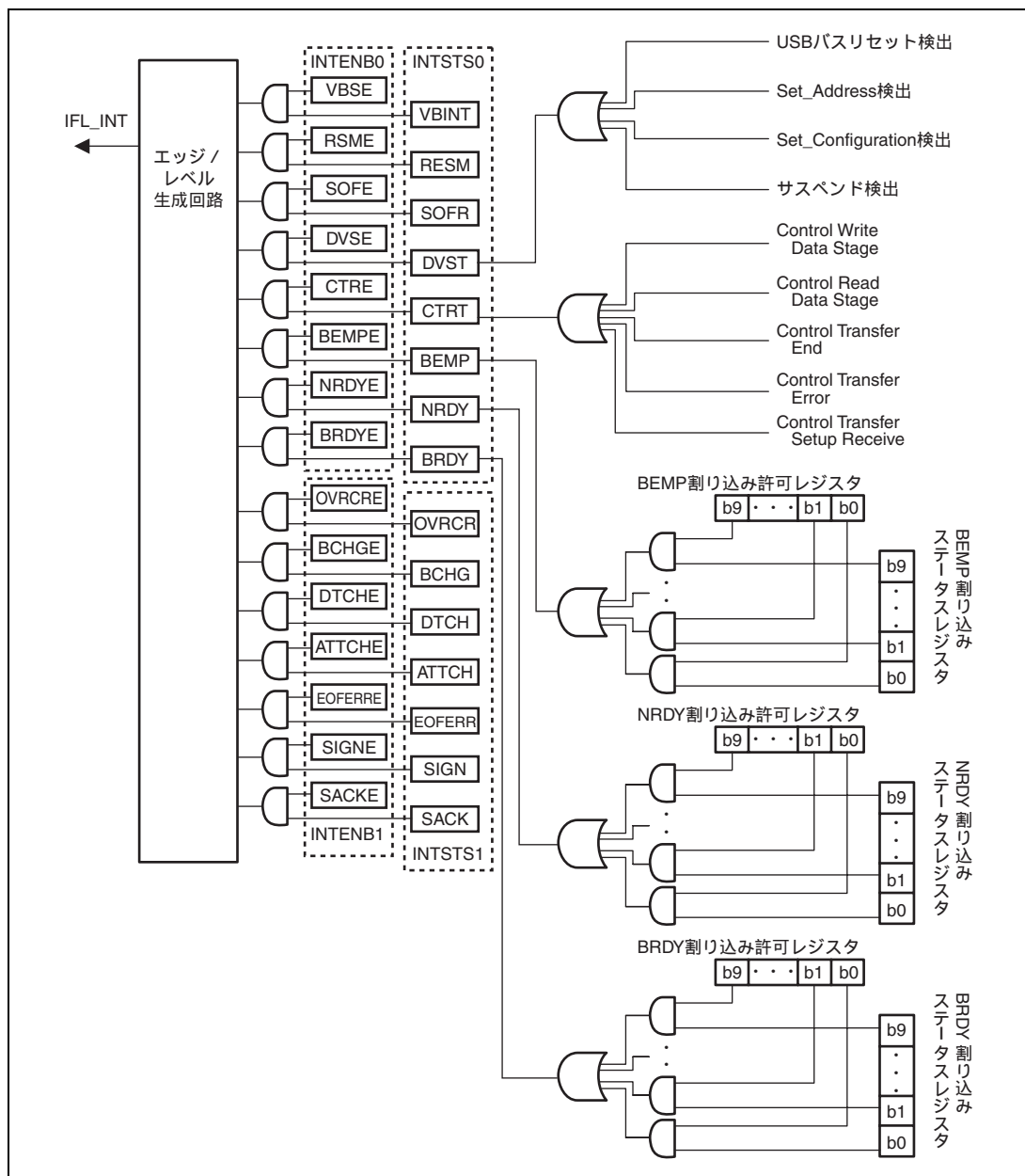


図 14.6 割り込み関連図

(b) デバイスステート遷移割り込み

図 14.7 に本コントローラのデバイスステート遷移図を示します。本コントローラは、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0 レジスタで割り込みの許可、もしくは禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0 レジスタの DVSQ ビットにて確認できます。

Default ステートに遷移する場合には、リセットハンドシェイクプロトコルの終了後に、デバイスステート遷移割り込みが発生します。

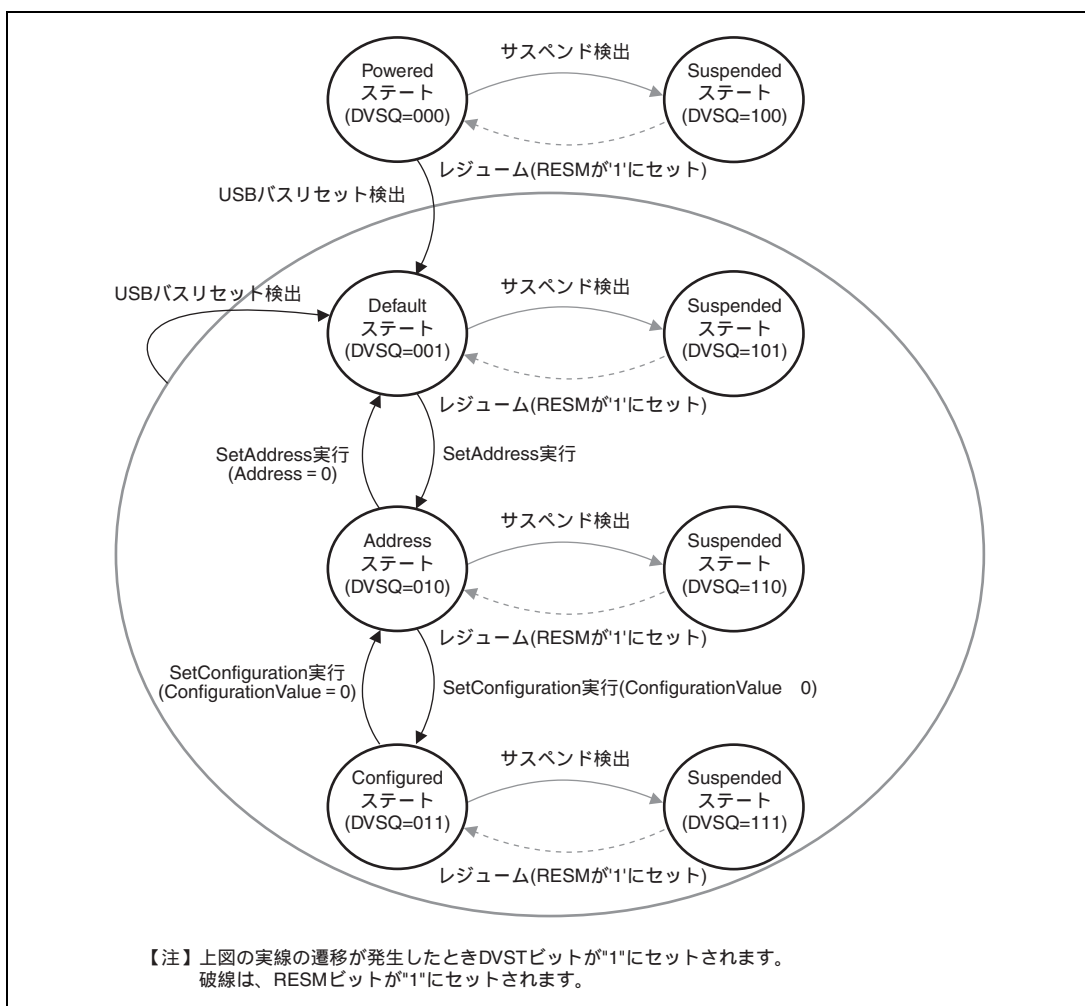


図 14.7 デバイスステート遷移図

(c) コントロール転送ステージ遷移割り込み

図 14.8 に本コントローラのコントロール転送ステージ遷移図を示します。本コントローラは、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで割り込みの許可、もしくは禁止を設定することができます。また、遷移した転送ステージは INTSTS0 レジスタの CTSQ ビットにて確認できます。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTR レジスタの PID ビットが "IX" (STALL) になります。

1. コントロールリード転送時

- (a) データステージのINトークンに対して、一度もデータ転送していない状態でOUT、もしくはPINGトークンを受信
- (b) ステータスステージでINトークン受信
- (c) ステータスステージでデータパケットがDATA PID=DATA0のパケットを受信

2. コントロールライト転送時

- (a) データステージのOUTトークンに対して、一度もACK応答していない状態でINトークンを受信
- (b) データステージで最初のデータパケットがDATA PID=DATA0のパケットを受信
- (c) ステータスステージでOUT、もしくはPINGトークン受信

3. コントロールライトノーデータ転送時

- (a) ステータスステージでOUTまたはPINGトークン受信

なお、コントロールライト転送データステージで、受信データ数が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時 (SERR=1 設定) は、CTSQ=110 の値がユーザシステムから CTRT=0 書き込み (割り込みステータスクリア) するまで保持されます。このため、CTSQ=110 が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません。(セットアップステージ完了は、本コントローラで保持されており、ソフトウェアによる割り込みステータスクリア後に、セットアップステージ完了割り込みが発生します。

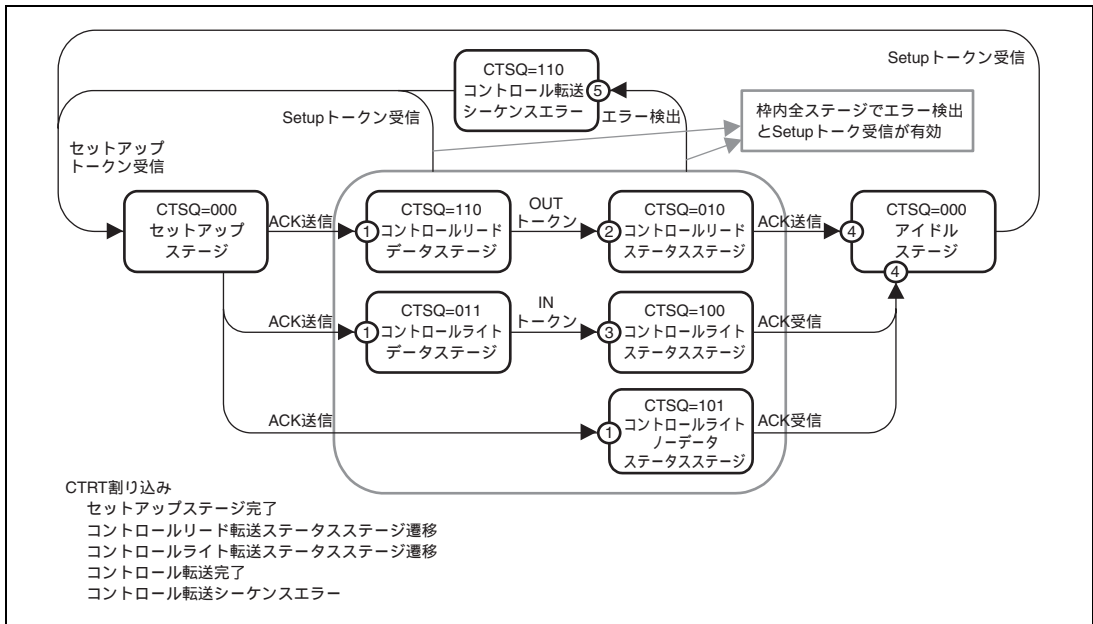


図 14.8 コントロール転送ステージ遷移図

(3) パイプコントロール

表 14.27 に本コントローラのパイプ設定項目一覧表を示します。USB データ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行います。本コントローラにはデータ転送用に 10 本のパイプがあります。各パイプは、ユーザシステムの仕様に合わせて設定を行ってください。

表 14.27 パイプ設定項目一覧表

レジスタ名	ビット名	設定内容	備考
DCPCFG	TYPE	転送 Type を指定	パイプ 1~9 : 設定可
PIPECFG	BFRE	BRDY 割り込みモードを選択	パイプ 1~5 : 設定可
	DBLB	ダブルバッファを選択	パイプ 1~5 : 設定可
	CNTMD	連続転送もしくは非連続転送を選択	パイプ 1~2 : バルク転送選択時のみ設定可 パイプ 3~5 : 設定可
	DIR	転送方向を選択	IN または OUT 設定可
	EPNUM	エンドポイント番号	パイプ 1~9 : 設定可 パイプ使用時は"0000"以外に設定
	SHTNAK	トランスファ終了時のパイプ禁止選択	パイプ 1~2 : バルク転送選択時のみ設定可 パイプ 3~5 : 設定可
	PIPEBUF	BUFSIZE	バッファメモリサイズ
BUFNMB		バッファメモリ番号	DCP : 設定不可 (領域 H'0 ~ H'3 固定) パイプ 1~5 : 設定可 (領域 H'8 ~ H'87 で指定可) パイプ 6~9 : 設定不可 (領域 H'4 ~ H'7 固定)
DCPMAXP	DEVSEL	デバイス選択	Host 選択時のみ参照
PIPEMAXP	MXPS	マックスパケットサイズ	USB 規格に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	パイプ 1, 2 : アイソクロナス転送選択時のみ設定可 パイプ 3~5 : 設定不可 パイプ 6~9 : ホスト選択時のみ設定可
	IITV	インターバルカウンタ	パイプ 1, 2 : アイソクロナス転送選択時のみ設定可 パイプ 3~5 : 設定不可 パイプ 6~9 : ホスト選択時のみ設定可

レジスタ名	ビット名	設定内容	備考
DCPCTR	BSTS	バッファステータス	DCP は ISEL ビットにより、受信/送信バッファ状態の切替
PIPEXCTR	INBUFM	IN バッファモニタ	パイプ 3~5 のみ搭載
	SUREQ	SETUP リクエスト	DCP のみ設定可能 Host 選択時のみ制御可能
	SUREQCLR	SUREQ クリア	DCP のみ設定可能 Host 選択時のみ制御可能
	CSCLR	CSSTS クリア	Host 選択時のみ制御可能
	CSSTS	Split ステータス確認	Host 選択時のみ参照可能
	ATREPM	自動応答モード	パイプ 1~5 : 設定可能 Peripheral 選択時のみ設定可能
	ACLRM	自動バッファクリア	パイプ 1~9 : 設定可
	SQCLR	シーケンスクリア	データグルビットのクリア
	SQSET	シーケンスセット	データグルビットのセット
	SQMON	シーケンス確認	データグルビットの確認
	PBUSY	PIPE ビジー確認	
	PID	応答 PID	
PIPEXTRE	TRENB	トランザクションカウント許可	パイプ 1~5 : 設定可能
	TRCLR	カレントトランザクションカウンタのクリア	パイプ 1~5 : 設定可能
PIPEXTRN	TRNCNT	トランザクションカウンタ	パイプ 1~5 : 設定可能

(a) パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が不許可 (PID=NAK) であるときのみ書き換えが可能です。図 14.9 に USB 通信許可 (PID=BUF) 状態からパイプコントロールレジスタの切り替え手順を示します。

USB 通信許可 (PID=BUF) 状態では設定禁止であるレジスタ

- DCPCFGレジスタ、DCPMAXPレジスタの各ビット
- DCPCTRレジスタのSQCLRビット、SQSETビット
- PIPECFGレジスタ、PIPEBUFレジスタ、PIPEMAXPレジスタ、PIPEPERIレジスタの各ビット
- PIPEXCTRレジスタのATREPMビット、ACLRMビット、SQCLRビット、SQSETビット
- PIPEXTREレジスタ、PIPEXTRNレジスタの各ビット

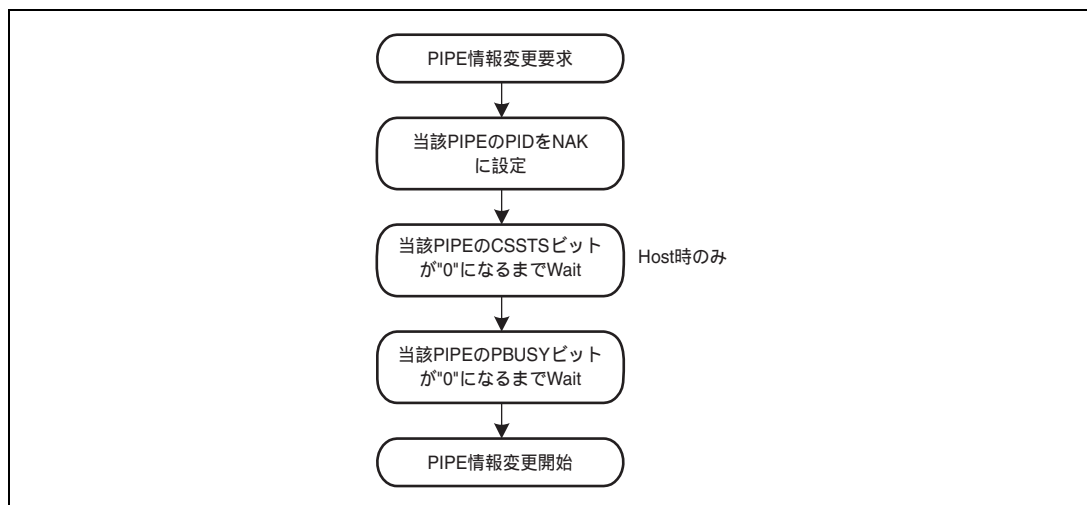


図 14.9 USB 通信許可 (PID=BUF) 状態からの PIPE 情報変更手順

またパイプコントロールレジスタの以下のビットは、CPU/DMA0/DMA1-FIFO-PORT のいずれの CURPIPE にも設定されていない PIPE 情報のみ書き換えが可能です。

FIFO-PORT の CURPIPE に設定中に設定禁止であるレジスタ

- DCPCFGレジスタ、DCPMAXPレジスタの各ビット
- PIPECFGレジスタ、PIPEBUFレジスタ、PIPEMAXPレジスタ、PIPEPERIレジスタの各ビット

PIPE 情報を変更する場合には、CURPIPE の設定を変更 PIPE 以外にしていしてください。なお、DCP については PIPE 情報修正後、BCLR にてバッファのクリア処理をしてください。

(4) FIFO バッファ

本章では本コントローラに内蔵する FIFO バッファに関する動作を説明します。特に記載がなければ、Host、Peripheral 機能のどちらを選択した場合も同じ動作となります。

(a) FIFO バッファ割り当て

図 14.10 に本コントローラの FIFO バッファのメモリマップ例を示します。FIFO バッファはユーザシステムの制御用 CPU と本コントローラが共用する領域です。FIFO バッファの状況には、アクセス権がユーザシステム (CPU 側) にある場合と、本コントローラ (SIE 側) にある場合があります。

FIFO バッファは、パイプごとに独立した領域を設定します。メモリ領域は、64 バイトを 1 ブロックとして、ブロック先頭番号とブロック数 (PIPEBUF レジスタの BUFNMB ビット、および BUFSIZE ビットで指定) で設定します。PIPECFG レジスタの CNTMD ビットにて連続転送モードを選択した場合には、BUFSIZE ビットの設定は、必ずマックスパケットサイズの整数倍になるように設定してください。また PIPECFG レジスタの DBLB ビットにてダブルバッファを選択した場合には、同一パイプに対して PIPEBUF レジスタの BUFSIZE ビットにて指定したメモリ領域を 2 面分割り当てられます。

FIFO バッファへのアクセス (データ読み書き) は 3 本の FIFO ポートを使用します。FIFO ポートに割り当てる

パイプは、C/DxFIFOSEL レジスタの CURPIPE ビットにてパイプ番号を指定します。

各パイプのFIFOバッファステータスは、DCPCTR レジスタ、および PIPExCTR レジスタの BSTS ビット、INBUFM ビットで確認できます。また、FIFO ポートのアクセス権は、C/DxFIFOCTR レジスタの FRDY ビットで確認できます。

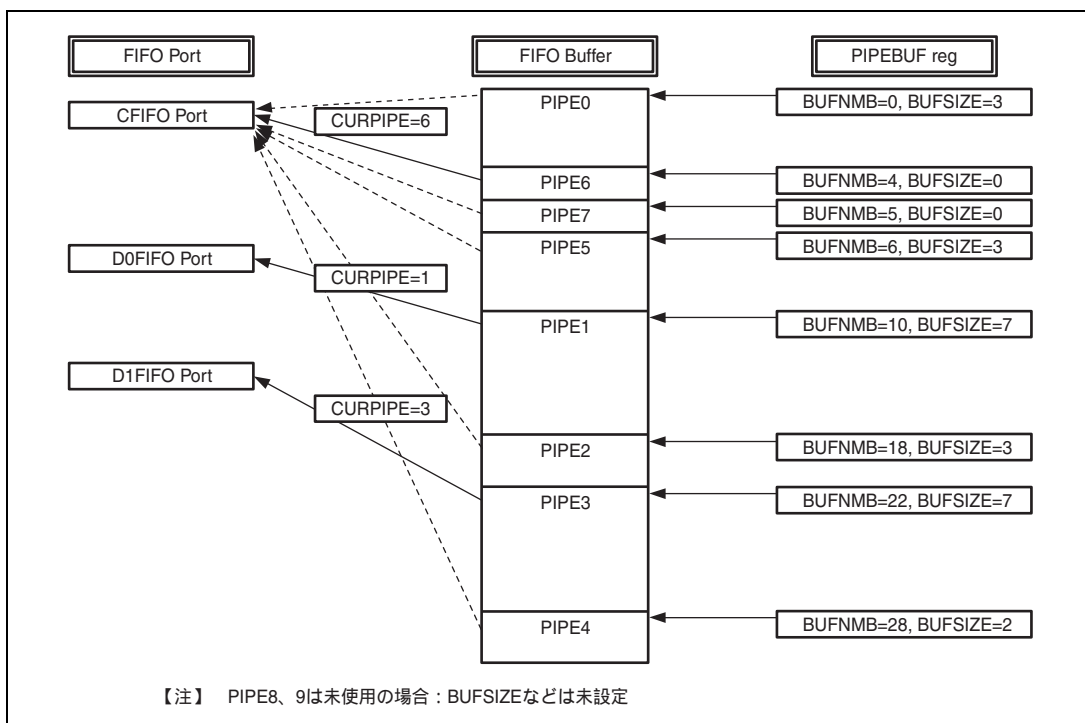


図 14.10 FIFO バッファのメモリマップ例

(b) FIFO バッファクリア

表 14.28 に本コントローラによる FIFO バッファのクリア一覧表を示します。FIFO バッファは下記の 3 ビットによってクリアできます。

表 14.28 FIFO バッファクリア一覧表

ビット名	BCLR	DCLRM	ACLRM
レジスタ	CFIFOCTR レジスタ DxFIFOCTR レジスタ	DxFIFOSEL レジスタ	PIPExCTR レジスタ
機能	CPU 側 FIFO バッファをクリア します	指定パイプのデータを読み出し た後で、自動で FIFO バッファを クリアするモードです。	受信したパケットをすべて破棄する 自動バッファクリアモードです。
クリア方法	"1"ライトでクリア	"1"モード有効 "0"モード無効	"1"モード有効 "0"モード無効

(5) FIFO ポートの機能

本章では FIFO ポートに関する機能の説明をします。表 14.29 に本コントローラの FIFO ポート機能設定表を示します。データ書き込みアクセス時は、バッファフル（非連続転送時はマックスパケットサイズ数）まで書き込みを行うと、自動的に USB バスに送信可能な状態となります。バッファフル（非連続転送時はマックスパケットサイズ数）未満のデータを送信可能状態にするには、C/DxFIFOCTR レジスタの BVAL ビットによる書き込み終了設定（DMA 転送時には TEND 信号）が必要です。また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL ビットによる書き込み終了設定が必要です。

読み出しアクセス時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Length パケット受信時（DTLN=0）は、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、C/DxFIFOCTR レジスタの DTLN ビットにて確認します。

表 14.29 FIFO ポート機能設定表

レジスタ名	ビット名	機能	備考
C/DxFIFOSEL	RCNT	DTLN 読み出しモード選択	
	REW	バッファメモリリwind（再読み出し、再書き込み）	
	DCLRM	指定パイプの受信データ読み出し後自動クリア	DxFIFO 専用
	DREQE	DREQ 信号アサート	DxFIFO 専用
	MBW	FIFO ポートアクセスビット幅	
	BIGEND	FIFO ポートエンディアン選択	
	ISEL	FIFO ポートアクセス方向	DCP 専用
	CURPIPE	カレント PIPE 選択	
C/DxFIFOCTR	BVAL	バッファメモリ書き込み終了	
	BCLR	CPU 側バッファメモリクリア	
	FRDY	FIFO ポートレディーモニタ	
	DTLN	受信データ長確認	

(a) FIFO ポート選択

表 14.30 に各 FIFO ポートで選択可能なパイプ表を示します。C/DxFIFOSEL レジスタの CURPIPE ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだ CURPIPE 値が正しく読み出せたのを確認してから（前回のパイプ番号が読み出された場合には、本コントローラがパイプ変更処理中であることを示します）、FRDY=1 を確認し FIFO ポートへアクセスしてください。

また、MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、DCP の場合は ISEL ビットの設定に従います。その他のパイプは PIPECFG レジスタの DIR ビットに従います。

表 14.30 パイプ別 FIFO ポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPU アクセス	CFIFO ポートレジスタ
パイプ1~パイプ9	CPU アクセス	CFIFO ポートレジスタ DxFIFO ポートレジスタ
	DMA アクセス	DxFIFO ポートレジスタ

(b) Dx FIFO 自動クリアモード (Dx FIFO ポート読み出し方向)

本コントローラは、DxFIFOSEL レジスタの DCLRM ビットに"1"を設定することで、バッファメモリからのデータ読み出しを完了した場合に、当該パイプのバッファメモリを自動的にクリアします。

表 14.31 に各設定での、パケット受信とソフトウェアによるバッファメモリクリア処理の関連表を示します。

表 14.31 に示すように、BFRE ビットの設定値によりバッファクリア条件が異なりますが、クリアが必要ななどのような状態においても、DCLRM ビットを使用することでソフトウェアによるバッファクリアが不要になり、ソフトウェアを介させない DMA 転送が可能となります。

なお、本機能はバッファメモリ読み出し方向のみ設定できます。

表 14.31 パケット受信とソフトウェアによるバッファメモリクリア処理の関連表

レジスタ設定	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
パケット受信時のバッファ状態				
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Length パケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

(c) BRDY 割り込みタイミング選択機能

PIPECFG レジスタの BFRE ビットの設定により、マックスパケットサイズのデータパケットを受信時に BRDY 割り込みを発生させないようにすることができます。

この機能により DMA 転送を使用している場合に、最終データを受信したときのみ割り込みを発生させることができます。最終データとはショートパケットの受信、またはトランザクションカウントの終了を示します。BFRE=1 に設定している場合は、受信したデータを読み出した後で、BRDY 割り込みが発生します。DnFIFOCTR レジスタの DTLN ビットを読み出すことにより、BRDY 割り込みの発生時に最後に受信したデータパケットの受

信データ長を確認することができます。

表 14.32 に本コントローラの BRDY 割り込み発生タイミングを示します。

表 14.32 BRDY 割り込み発生タイミング表

レジスタ設定	BFRE = 0	BFRE = 1
パケット受信時のバッファ状態		
バッファフル (通常のパケット受信)	パケット受信時	発生しない
Zero-Length パケット受信	パケット受信時	パケット受信時
通常のショートパケット受信	パケット受信時	バッファメモリから、受信データの読み出し完了時
トランザクションカウント終了	パケット受信時	バッファメモリから、受信データの読み出し完了時

BFRE ビット機能はバッファメモリから読み出し方向のみ有効です。書き込み方向の場合には BFRE ビットは"0"に固定してください。

(6) コントロール転送 (DCP)

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ (DCP) を使用します。DCP のバッファメモリは、コントロールリード、およびコントロールライト共用の固定領域で 256 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

本コントローラは、本コントローラに対する正常なセットアップパケットに対して、必ず ACK 応答します。セットアップステージでの本コントローラの動作を以下に示します。

1. 新しいセットアップパケットを受信すると、本コントローラは、以下のビットをセットします。

INTSTS0レジスタのVALIDビットを"1"にセット

DCPCTRレジスタのPIDビットを"NAK"にセット

DCPCTRレジスタのCCPLビットを"0"にセット

2. セットアップパケットに引き続き、データパケット受信すると、本コントローラは、USBリクエストのパラメータを、USBREQレジスタ、USBVALレジスタ、USBINDXレジスタ、およびUSBLENGレジスタに格納します。

コントロール転送に対する応答処理は、必ず VALID=0 を設定後に行ってください。VALID=1 状態ではPID=BUF 設定が行えず、データステージを終了することができません。

VALID ビットの機能により、本コントローラは、コントロール転送中に新しい USB リクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、本コントローラは、受信した USB リクエストの方向ビット (bmRequestType の bit8)、およびリクエストデータ長 (wLength) を自動判別し、コントロールリード転送、コントロールライト転送、およびコントロールライトノーデータ転送を識別し、ステージ遷移を管理します。間違っただけのシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。本コントローラのステージ管理については図 14.8 を参照ください。

受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP バッファメモリへアクセスする前に、CFIFOSEL レジスタの ISEL ビットにてアクセス方向指定を行ってください。

転送データが DCP バッファメモリのサイズより大きい場合には、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

Hi-Speed 動作時のコントロールライト転送では、バッファメモリの状況に応じて NYET ハンドシェイク応答を行います。

DCPCTR レジスタの PID ビットが PID=BUF の状態で、CCPL ビットに"1"を設定することによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、本コントローラが自動的にステータスステージを実行します。具体的には次のとおりです。

1. コントロールリード転送の場合：

本コントローラはZero-Lengthパケットの送信を行い、USB Host ControllerからのACK応答を受信します。

2. コントロールライト転送、ノーデータコントロール転送の場合：

USBホストからのZero-Lengthパケットを受信し、ACK応答を送信します。

本コントローラは、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーがある場合は、ソフトウェアによる応答が必要です。

- | | | |
|--------------------------|---------------|----------------------|
| 1. コントロールリード転送以外の場合： | bmRequestType | H'00 |
| 2. リクエストエラーの場合： | wIndex | H'00 |
| 3. ノーデータコントロール転送以外の場合： | wLength | H'00 |
| 4. リクエストエラーの場合： | wValue | > H'7F |
| 5. デバイスステートエラーのコントロール転送： | DVSQ | = 011 (Configured) |

SET_ADDRESS 以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。

(7) バルク転送 (パイプ1-5)

バルク転送は、バッファメモリの使用方法 (シングル/ダブルバッファ設定、もしくは連続/非連続転送モード設定) の選択ができます。バッファメモリサイズは、最大 2K バイトまで設定可能です。バッファメモリの状態はコントローラが管理し、PING パケット/NYET ハンドシェイクには自動応答します。

(8) インタラプト転送 (パイプ6-9)

本コントローラは、ホストコントローラが管理している周期に従ってインタラプト転送を行います。インタラプト転送の場合、PING パケットに対しては無視 (無応答になる) します。また NYET ハンドシェイクを送信せず、ACK、NAK、STALL 応答を行います。

また、本コントローラは、インタラプト転送の High-Bandwidth 転送には対応していません。

(9) アイソクロナス転送 (パイプ1、2)

本コントローラは、アイソクロナス転送に対して下記の機能を備えています。

1. アイソクロナス転送のエラー情報通知
2. インターバルカウンタ (IITVビット指定)
3. アイソクロナスIN転送データセットアップコントロール (IDLY機能)
4. アイソクロナスIN転送バッファフラッシュ機能 (IFISビット指定)
5. SOFパルス出力機能

本コントローラは、アイソクロナス転送の High-Bandwidth 転送には対応していません。

(a) インターバルカウンタ

PIPEPERI レジスタの IITV ビットによりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、表 14.33 の機能を実現します。Host Controller 機能選択時は、トークンの発行タイミングを生成します。

表 14.33 インターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナス IN 転送でインターバルフレームに IN トークンを正常受信できない
OUT	トークン未受信の通知	アイソクロナス OUT 転送でインターバルフレームに OUT トークンを正常受信できない

インターバルのカウンタは、SOF の受信または補完された SOF で行いますので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は 2^{IITV} (μ) フレームです。

本コントローラは、下記の条件でインターバルカウンタを初期化します。

1. ハードウェアリセット

IITV ビットが初期化されます。

2. ACLRM ビットによるバッファメモリのクリア

IITV ビットは初期化されませんがカウンタは初期化されます。ACLRM ビットを 0 にすることにより、IITV の設定値からカウンタを開始します。

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記の条件でインターバルのカウンタを開始します。

1. PID=BUF 状態で IN トークンに対して、データを送信後の SOF 受信
2. PID=BUF 状態で OUT トークンの、データを受信後の SOF 受信

なお、下記の条件ではインターバルカウンタは初期化されません。

1. PID を NAK または STALL に設定した場合

インターバルタイムは停止しません。次のインターバルにトランザクションの実行を試みます。

2. USB バスリセット、USB サスペンド

IITV ビットは初期化されません。SOF を受信すると、受信前の値からカウンタを開始します。

(b) アイソクロナス転送送信データセットアップ

本コントローラのアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOF パケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した1面だけとなります。このため同一フレームで、複数の IN トークンを受信しても、送出されるバッファメモリはただ1パケット分となります。

IN トークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Length パケットを送出しアンダランエラーとなります。

Zero-Length パケット送出は図中で網掛け Null と表示しています。

図 14.11 に本コントローラで、IITV=0 (毎フレーム) を設定した場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

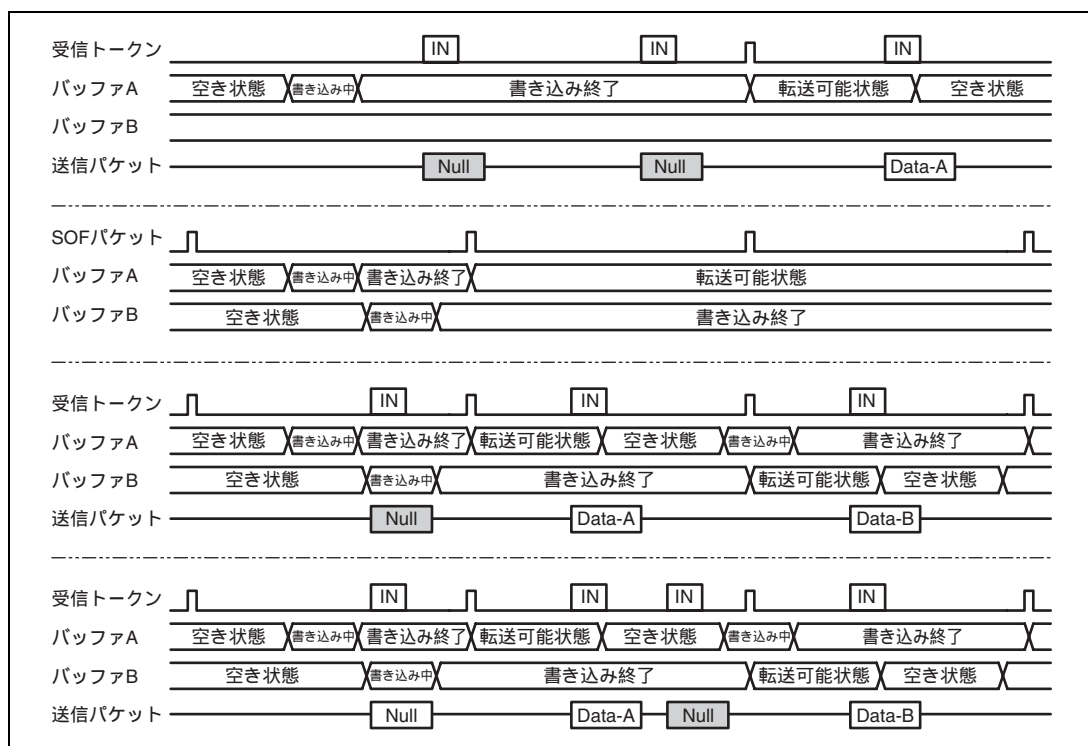


図 14.11 データセットアップ機能動作例

(c) アイソクロナス転送送信バッファフラッシュ

本コントローラは、アイソクロナスデータ送信でインターバルフレームに IN トークンを受信せず、次フレームの (μ) SOF パケットを受信した場合は、IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、(μ) SOF パケット受信で破棄されていないバッファメモリを転送可能状態とします。。

バッファフラッシュ機能は IITV ビット設定値により動作開始タイミングが異なります。

1. IITV=0の場合

パイプが有効となった次のフレームからバッファフラッシュ動作します。

2. IITV=0以外の場合

最初の正常なトランザクション以降バッファフラッシュ動作します。

図 14.12 に本コントローラのバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外（インターバルフレーム前のトークン）に対しては、データセットアップ状態に従い、書き込みデータの送出もしくはアンダランエラーとして Zero-Length パケットを送出します。

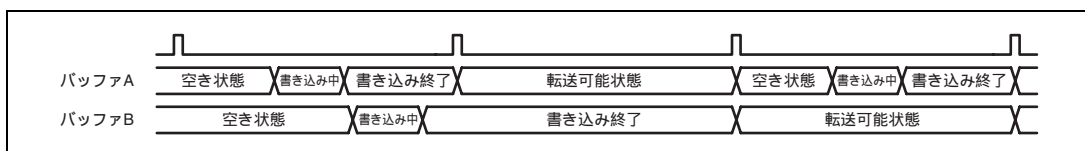


図 14.12 バッファフラッシュ機能動作例

図 14.13 に本コントローラのインターバルエラー発生例を示します。インターバルエラーは下記の 5 種類です。図中の タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーは IN 転送時にバッファフラッシュ機能が動作し、OUT 転送時は NRDY 割り込みが発生します。

受信パケットエラーなどの NRDY 割り込みとオーバランエラーとの区別は OVRN ビットで判定してください。図中網掛けのトークンに対してはバッファメモリの状態に応じた応答になります。

1. IN方向：

- (a) バッファ転送可能状態であればデータ転送し正常応答
- (b) バッファ転送不能状態であればZero-Lengthパケット送信しアンダランエラー

2. OUT方向：

- (a) バッファ受信可能状態であればデータ受信し正常応答
- (b) バッファ受信不能状態であればデータ破棄しオーバランエラー

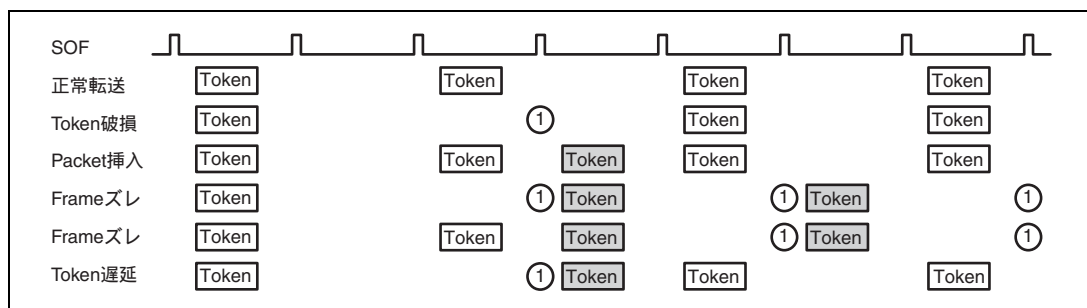


図 14.13 IITV=1 のときのインターバルエラー発生例

(10) SOF 補間機能

SOF パケットの破損、もしくは欠落のために 1ms (Full-Speed 動作時) または 125 μ s (Hi-Speed 動作時) 間隔で受信できなかった場合に、コントローラ内部で SOF を補間します。SOF 補間動作の開始は USBE=1 かつ SCKE=1 かつ SOF パケット受信となります。また、下記の条件で補間機能が初期化されます。

1. ハードウェアリセット
2. USBバスリセット
3. サスペンド検出

また、SOF 補間は次の仕様で動作します。

1. フレーム間隔 (125 μ s または 1ms) はリセットハンドシェイクプロトコルの結果に従う。
2. SOF パケット受信までは補間機能は動作しない。
3. 最初の SOF パケット受信後は内部クロック 48MHz で 125 μ s もしくは 1ms をカウントし補間する。
4. 2回目以降の SOF パケットを受信後は前回の受信間隔を用いて補間する。
5. サスペンド時および USB バスリセット受信中は補間しない。

(Hi-Speed 動作時のサスペンド移行では最終パケットから 3ms 間は補間を継続します)

SOF 補間機能は次の機能で動作します。

1. フレーム番号、およびマイクロフレーム番号の更新
2. SOFR 割り込みタイミング、および μ SOF ロック
3. SOF パルス出力
4. アイソクロナス転送インターバルカウント

Full-Speed 動作時に SOF パケットが欠落した場合には、FRMNUM0 レジスタの FRNM ビットは更新されません。Hi-Speed 動作時に μ SOF パケットが欠落した場合には、FRMNUM1 レジスタの UFRNM ビットが更新されます。ただし、 μ FRNM=000 の μ SOF パケットが欠落した場合には、FRNM ビットは更新されません。この場合は、継続する μ FRNM=000 以外の μ SOF パケットが正常に受信されても FRNM ビットは更新されません。

(a) SOF パルス出力

本コントローラは、SOF 出力が許可されている場合に、SOF のタイミングで SOF パルスを出力することができます。

SOFCFG レジスタの SOFM ビットの値が"01" (1ms SOF) または"10" (125 μs SOF) のときに、SOF_N 端子から "L" アクティブでパルスを出力します。これを SOF 信号と呼びます。パルスのタイミングについては図 14.14 を参照してください。SOF パケットの受信または、SOF 補間によって SOF 出力を等間隔に出力します。

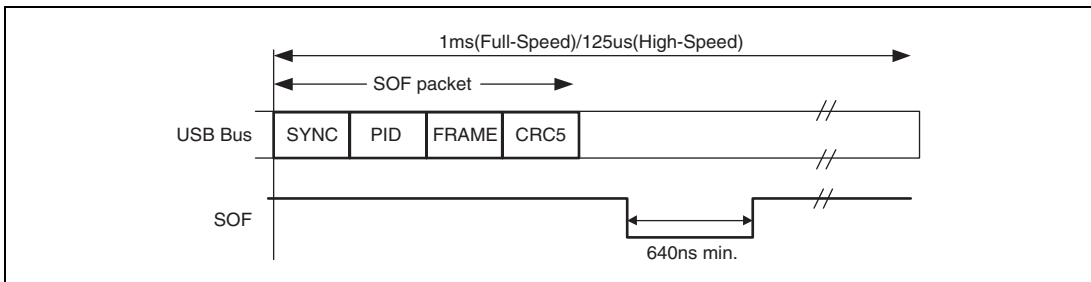


図 14.14 SOF 出力タイミング

15. ダイレクトメモリアクセスコントローラ α (DMAC0)

本 LSI は、ダイレクトメモリアクセスコントローラ 0 (DMAC0) を内蔵しています。DMAC0 は、DACK (転送要求受け付け信号) 付き外部デバイス、外部メモリ、内蔵メモリ、メモリマップト外部デバイス、内蔵周辺モジュール間のデータ転送を、CPU に代わって高速に行うことができます。

15.1 特長

- チャンネル数：6チャンネル (うちチャンネル0~3は外部リクエスト受け付け可能)
- アドレス空間：アーキテクチャ上は4Gバイト
- 転送データ長：バイト、ワード (2バイト)、ロングワード (4バイト)、16バイト、32バイト
- 最大転送回数：16,777,216回
- 転送要求：
 - 外部リクエスト (チャンネル0~3)、内蔵周辺モジュールリクエスト、オートリクエストの3種類から選択可能。
 - 内蔵周辺モジュールリクエストを発行できるものはFLCTLモジュールです。
- バスモード：
 - サイクルスチールモード (通常モードとインタミットモード)
- データ転送：通常モード (連続転送)
 - リピートモード
 - リロードモード
 - Multi-dimensionalモード (Multi-dimensional転送、scatter/gather転送、ストライド転送)
- 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：データ転送ハーフエンド時およびデータ転送終了時、また、アドレスエラー発生時にCPUへ割り込み要求を発生可能
- 外部リクエスト検出：DREQ入力のロー/ハイレベル検出、立ち上がり/立ち下がりエッジ検出から選択可能
- DMA転送終了通知信号：DACKは独立にアクティブレベルを設定可能

DMAC0 のブロック図を図 15.1 に示します。

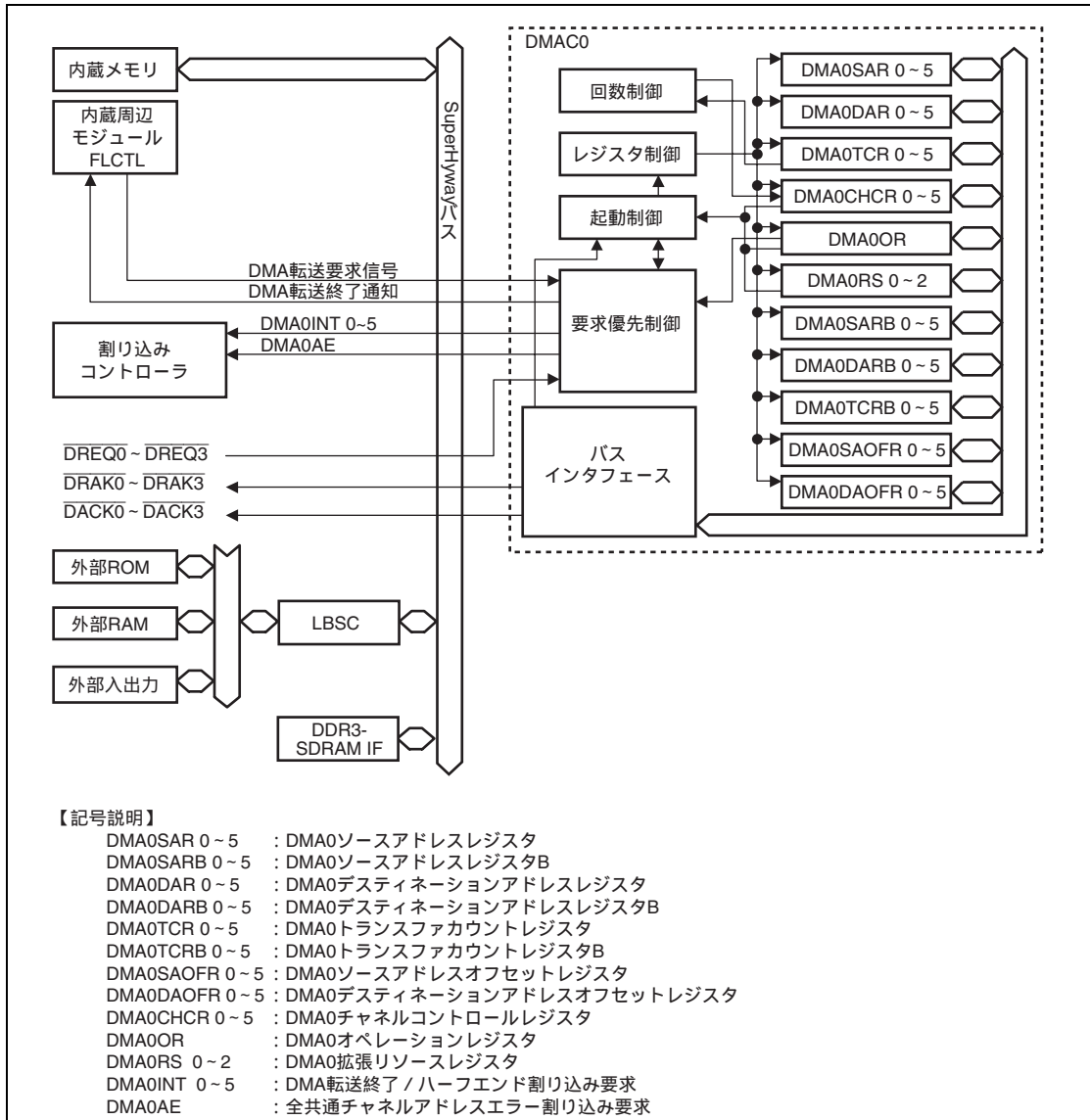


図 15.1 DMAC0 ブロック図

15.2 入出力端子

DMAC0 関係の外部端子を以下に示します。

外部バスに接続する端子の構成を表 15.1 に示します。DMAC0 としては、外部バス用に 4 チャンネル分の端子(チャンネル 0~3)を持ちます。

表 15.1 外部バスに対する端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送要求	$\overline{DREQ0}^{*1}$	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
	DREQ 受け付け確認	$\overline{DRAK0}^{*2}$	出力	チャンネル 0 から外部デバイスへの DMA 転送要求受け付け、実行開始を外部デバイスへ通知
	DMA 転送終了通知	$\overline{DACK0}^{*2}$	出力	チャンネル 0 から外部デバイスへの DMA 転送要求に対するストロープを出力
1	DMA 転送要求	$\overline{DREQ1}^{*1}$	入力	外部デバイスからチャンネル 1 への DMA 転送要求入力
	DREQ 受け付け確認	$\overline{DRAK1}^{*2}$	出力	チャンネル 1 から外部デバイスへの DMA 転送要求受け付け、実行開始を外部デバイスへ通知
	DMA 転送終了通知	$\overline{DACK1}^{*2}$	出力	チャンネル 1 から外部デバイスへの DMA 転送要求に対するストロープを出力
2	DMA 転送要求	$\overline{DREQ2}^{*1}$	入力	外部デバイスからチャンネル 2 への DMA 転送要求入力
	DREQ 受け付け確認	$\overline{DRAK2}^{*2}$	出力	チャンネル 2 から外部デバイスへの DMA 転送要求受け付け、実行開始を外部デバイスへ通知
	DMA 転送終了通知	$\overline{DACK2}^{*2}$	出力	チャンネル 2 から外部デバイスへの DMA 転送要求に対するストロープを出力
3	DMA 転送要求	$\overline{DREQ3}^{*1}$	入力	外部デバイスからチャンネル 3 への DMA 転送要求入力
	DREQ 受け付け確認	$\overline{DRAK3}^{*2}$	出力	チャンネル 3 から外部デバイスへの DMA 転送要求受け付け、実行開始を外部デバイスへ通知
	DMA 転送終了通知	$\overline{DACK3}^{*2}$	出力	チャンネル 3 から外部デバイスへの DMA 転送要求に対するストロープを出力

【注】 *1 初期値はローレベル検出です。

*2 初期値はローアクティブです。

15.3 レジスタ構成

表 15.2 にレジスタ構成を示します。

表 15.2 レジスタ構成 (1)

チャネル	名称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ ^{*3}	同期 クロック
0	DMA0 ソースアドレスレジスタ 0	DMA0SAR0	R/W	H'FE808020	H'1E808020	32	Bck
	DMA0 デスティネーションアドレスレジスタ 0	DMA0DAR0	R/W	H'FE808024	H'1E808024	32	Bck
	DMA0 トランスファカウントレジスタ 0	DMA0TCR0	R/W	H'FE808028	H'1E808028	32	Bck
	DMA0 チャネルコントロールレジスタ 0	DMA0CHCR0	R/W ^{*1}	H'FE80802C	H'1E80802C	32	Bck, Pck ^{*4}
1	DMA0 ソースアドレスレジスタ 1	DMA0SAR1	R/W	H'FE808030	H'1E808030	32	Bck
	DMA0 デスティネーションアドレスレジスタ 1	DMA0DAR1	R/W	H'FE808034	H'1E808034	32	Bck
	DMA0 トランスファカウントレジスタ 1	DMA0TCR1	R/W	H'FE808038	H'1E808038	32	Bck
	DMA0 チャネルコントロールレジスタ 1	DMA0CHCR1	R/W ^{*1}	H'FE80803C	H'1E80803C	32	Bck, Pck ^{*4}
2	DMA0 ソースアドレスレジスタ 2	DMA0SAR2	R/W	H'FE808040	H'1E808040	32	Bck
	DMA0 デスティネーションアドレスレジスタ 2	DMA0DAR2	R/W	H'FE808044	H'1E808044	32	Bck
	DMA0 トランスファカウントレジスタ 2	DMA0TCR2	R/W	H'FE808048	H'1E808048	32	Bck
	DMA0 チャネルコントロールレジスタ 2	DMA0CHCR2	R/W ^{*1}	H'FE80804C	H'1E80804C	32	Bck, Pck ^{*4}
3	DMA0 ソースアドレスレジスタ 3	DMA0SAR3	R/W	H'FE808050	H'1E808050	32	Bck
	DMA0 デスティネーションアドレスレジスタ 3	DMA0DAR3	R/W	H'FE808054	H'1E808054	32	Bck
	DMA0 トランスファカウントレジスタ 3	DMA0TCR3	R/W	H'FE808058	H'1E808058	32	Bck
	DMA0 チャネルコントロールレジスタ 3	DMA0CHCR3	R/W ^{*1}	H'FE80805C	H'1E80805C	32	Bck, Pck ^{*4}
0-5	DMA0 オペレーションレジスタ	DMA0OR	R/W ^{*2}	H'FE808060	H'1E808060	16	Bck, Pck ^{*5}
4	DMA0 ソースアドレスレジスタ 4	DMA0SAR4	R/W	H'FE808070	H'1E808070	32	Bck
	DMA0 デスティネーションアドレスレジスタ 4	DMA0DAR4	R/W	H'FE808074	H'1E808074	32	Bck
	DMA0 トランスファカウントレジスタ 4	DMA0TCR4	R/W	H'FE808078	H'1E808078	32	Bck
	DMA0 チャネルコントロールレジスタ 4	DMA0CHCR4	R/W ^{*1}	H'FE80807C	H'1E80807C	32	Bck, Pck ^{*4}
5	DMA0 ソースアドレスレジスタ 5	DMA0SAR5	R/W	H'FE808080	H'1E808080	32	Bck
	DMA0 デスティネーションアドレスレジスタ 5	DMA0DAR5	R/W	H'FE808084	H'1E808084	32	Bck
	DMA0 トランスファカウントレジスタ 5	DMA0TCR5	R/W	H'FE808088	H'1E808088	32	Bck
	DMA0 チャネルコントロールレジスタ 5	DMA0CHCR5	R/W ^{*1}	H'FE80808C	H'1E80808C	32	Bck, Pck ^{*4}
0	DMA0 ソースアドレスレジスタ B0	DMA0SARB0	R/W	H'FE808120	H'1E808120	32	Bck
	DMA0 デスティネーションアドレスレジスタ B0	DMA0DARB0	R/W	H'FE808124	H'1E808124	32	Bck
	DMA0 トランスファカウントレジスタ B0	DMA0TCRB0	R/W	H'FE808128	H'1E808128	32	Bck
1	DMA0 ソースアドレスレジスタ B1	DMA0SARB1	R/W	H'FE808130	H'1E808130	32	Bck
	DMA0 デスティネーションアドレスレジスタ B1	DMA0DARB1	R/W	H'FE808134	H'1E808134	32	Bck
	DMA0 トランスファカウントレジスタ B1	DMA0TCRB1	R/W	H'FE808138	H'1E808138	32	Bck

チャネル	名称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセスサイズ ^{*3}	同期クロック
2	DMA0 ソースアドレスレジスタ B2	DMA0SARB2	R/W	H'FE808140	H'1E808140	32	Bck
	DMA0 デスティネーションアドレスレジスタ B2	DMA0DARB2	R/W	H'FE808144	H'1E808144	32	Bck
	DMA0 トランスファカウントレジスタ B2	DMA0TCRB2	R/W	H'FE808148	H'1E808148	32	Bck
3	DMA0 ソースアドレスレジスタ B3	DMA0SARB3	R/W	H'FE808150	H'1E808150	32	Bck
	DMA0 デスティネーションアドレスレジスタ B3	DMA0DARB3	R/W	H'FE808154	H'1E808154	32	Bck
	DMA0 トランスファカウントレジスタ B3	DMA0TCRB3	R/W	H'FE808158	H'1E808158	32	Bck
4	DMA0 ソースアドレスレジスタ B4	DMA0SARB4	R/W	H'FE808170	H'1E808170	32	Bck
	DMA0 デスティネーションアドレスレジスタ B4	DMA0DARB4	R/W	H'FE808174	H'1E808174	32	Bck
	DMA0 トランスファカウントレジスタ B4	DMA0TCRB4	R/W	H'FE808178	H'1E808178	32	Bck
5	DMA0 ソースアドレスレジスタ B5	DMA0SARB5	R/W	H'FE808180	H'1E808180	32	Bck
	DMA0 デスティネーションアドレスレジスタ B5	DMA0DARB5	R/W	H'FE808184	H'1E808184	32	Bck
	DMA0 トランスファカウントレジスタ B5	DMA0TCRB5	R/W	H'FE808188	H'1E808188	32	Bck
0	DMA0 ソースアドレスオフセットレジスタ 0	DMA0SAOFR0	R/W	H'FE808220	H'1E808220	32	Bck
	DMA0 デスティネーションアドレスオフセットレジスタ 0	DMA0DAOFR0	R/W	H'FE808224	H'1E808224	32	Bck
1	DMA0 ソースアドレスオフセットレジスタ 1	DMA0SAOFR1	R/W	H'FE808230	H'1E808230	32	Bck
	DMA0 デスティネーションアドレスオフセットレジスタ 1	DMA0DAOFR1	R/W	H'FE808234	H'1E808234	32	Bck
2	DMA0 ソースアドレスオフセットレジスタ 2	DMA0SAOFR2	R/W	H'FE808240	H'1E808240	32	Bck
	DMA0 デスティネーションアドレスオフセットレジスタ 2	DMA0DAOFR2	R/W	H'FE808244	H'1E808244	32	Bck
3	DMA0 ソースアドレスオフセットレジスタ 3	DMA0SAOFR3	R/W	H'FE808250	H'1E808250	32	Bck
	DMA0 デスティネーションアドレスオフセットレジスタ 3	DMA0DAOFR3	R/W	H'FE808254	H'1E808254	32	Bck
4	DMA0 ソースアドレスオフセットレジスタ 4	DMA0SAOFR4	R/W	H'FE808270	H'1E808270	32	Bck
	DMA0 デスティネーションアドレスオフセットレジスタ 4	DMA0DAOFR4	R/W	H'FE808274	H'1E808274	32	Bck
5	DMA0 ソースアドレスオフセットレジスタ 5	DMA0SAOFR5	R/W	H'FE808280	H'1E808280	32	Bck
	DMA0 デスティネーションアドレスオフセットレジスタ 5	DMA0DAOFR5	R/W	H'FE808284	H'1E808284	32	Bck
0/1	DMA0 拡張リソースセクタ 0	DMA0RS0	R/W	H'FE809000	H'1E809000	16	Pck
2/3	DMA0 拡張リソースセクタ 1	DMA0RS1	R/W	H'FE809004	H'1E809004	16	Pck
4/5	DMA0 拡張リソースセクタ 2	DMA0RS2	R/W	H'FE809008	H'1E809008	16	Pck

【注】 *1 DMA0CHCR の HE、TE ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。

*2 DMA0OR の AE、NMIF ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。

*3 指定アクセスサイズ以外のアクセスは行わないでください。

- *4 DMA0CHCR の HE、TE ビットの同期クロックは Bck で、DMA0CHCR の HE、TE ビット以外のビットの同期クロックは Pck です。
- *5 DMA0OR の AE、NMIF、DME ビットの同期クロックは Bck で、CMS、PR ビットは Pck 同期クロックです。

表 15.2 レジスタ構成 (2)

チャネル	名称	略称	パワーオンリセット PRESET 端子/WDT/ H-UDI による	マニュアルリセット WDT /多重例外 による	スリープ/ ライトスリープ SLEEP 命令 による	モジュール スタンバイ
0	DMA0 ソースアドレスレジスタ 0	DMA0SAR0	不定	保持	保持	保持
	DMA0 デスティネーションアドレスレジスタ 0	DMA0DAR0	不定	保持	保持	保持
	DMA0 トランスファカウントレジスタ 0	DMA0TCR0	不定	保持	保持	保持
	DMA0 チャンネルコントロールレジスタ 0	DMA0CHCR0	H'40000000	保持	保持	保持
1	DMA0 ソースアドレスレジスタ 1	DMA0SAR1	不定	保持	保持	保持
	DMA0 デスティネーションアドレスレジスタ 1	DMA0DAR1	不定	保持	保持	保持
	DMA0 トランスファカウントレジスタ 1	DMA0TCR1	不定	保持	保持	保持
	DMA0 チャンネルコントロールレジスタ 1	DMA0CHCR1	H'40000000	保持	保持	保持
2	DMA0 ソースアドレスレジスタ 2	DMA0SAR2	不定	保持	保持	保持
	DMA0 デスティネーションアドレスレジスタ 2	DMA0DAR2	不定	保持	保持	保持
	DMA0 トランスファカウントレジスタ 2	DMA0TCR2	不定	保持	保持	保持
	DMA0 チャンネルコントロールレジスタ 2	DMA0CHCR2	H'40000000	保持	保持	保持
3	DMA0 ソースアドレスレジスタ 3	DMA0SAR3	不定	保持	保持	保持
	DMA0 デスティネーションアドレスレジスタ 3	DMA0DAR3	不定	保持	保持	保持
	DMA0 トランスファカウントレジスタ 3	DMA0TCR3	不定	保持	保持	保持
	DMA0 チャンネルコントロールレジスタ 3	DMA0CHCR3	H'40000000	保持	保持	保持
0-5	DMA0 オペレーションレジスタ	DMA0OR	H'0000	保持	保持	保持
4	DMA0 ソースアドレスレジスタ 4	DMA0SAR4	不定	保持	保持	保持
	DMA0 デスティネーションアドレスレジスタ 4	DMA0DAR4	不定	保持	保持	保持
	DMA0 トランスファカウントレジスタ 4	DMA0TCR4	不定	保持	保持	保持
	DMA0 チャンネルコントロールレジスタ 4	DMA0CHCR4	H'40000000	保持	保持	保持
5	DMA0 ソースアドレスレジスタ 5	DMA0SAR5	不定	保持	保持	保持
	DMA0 デスティネーションアドレスレジスタ 5	DMA0DAR5	不定	保持	保持	保持
	DMA0 トランスファカウントレジスタ 5	DMA0TCR5	不定	保持	保持	保持
	DMA0 チャンネルコントロールレジスタ 5	DMA0CHCR5	H'40000000	保持	保持	保持
0	DMA0 ソースアドレスレジスタ B0	DMA0SARB0	不定	保持	保持	保持
	DMA0 デスティネーションアドレスレジスタ B0	DMA0DARB0	不定	保持	保持	保持
	DMA0 トランスファカウントレジスタ B0	DMA0TCRB0	不定	保持	保持	保持

チャネル	名称	略称	パワーオンリセット PRESET 端子/WDT/ H-UDI による	マニュアルリセット WDT /多重例外 による	スリープ/ ライトスリープ SLEEP 命令 による	モジュール スタンバイ
1	DMA0 ソースアドレスレジスタ B1	DMA0SARB1	不定	保持	保持	保持
	DMA0 デスティネーションアドレスレジスタ B1	DMA0DARB1	不定	保持	保持	保持
	DMA0 トランスファカウントレジスタ B1	DMA0TCRB1	不定	保持	保持	保持
2	DMA0 ソースアドレスレジスタ B2	DMA0SARB2	不定	保持	保持	保持
	DMA0 デスティネーションアドレスレジスタ B2	DMA0DARB2	不定	保持	保持	保持
	DMA0 トランスファカウントレジスタ B2	DMA0TCRB2	不定	保持	保持	保持
3	DMA0 ソースアドレスレジスタ B3	DMA0SARB3	不定	保持	保持	保持
	DMA0 デスティネーションアドレスレジスタ B3	DMA0DARB3	不定	保持	保持	保持
	DMA0 トランスファカウントレジスタ B3	DMA0TCRB3	不定	保持	保持	保持
4	DMA0 ソースアドレスレジスタ B4	DMA0SARB4	不定	保持	保持	保持
	DMA0 デスティネーションアドレスレジスタ B4	DMA0DARB4	不定	保持	保持	保持
	DMA0 トランスファカウントレジスタ B4	DMA0TCRB4	不定	保持	保持	保持
5	DMA0 ソースアドレスレジスタ B5	DMA0SARB5	不定	保持	保持	保持
	DMA0 デスティネーションアドレスレジスタ B5	DMA0DARB5	不定	保持	保持	保持
	DMA0 トランスファカウントレジスタ B5	DMA0TCRB5	不定	保持	保持	保持
0	DMA0 ソースアドレスオフセットレジスタ 0	DMA0SAOFR0	不定	保持	保持	保持
	DMA0 デスティネーションアドレスオフセットレジスタ 0	DMA0DAOFR0	不定	保持	保持	保持
1	DMA0 ソースアドレスオフセットレジスタ 1	DMA0SAOFR1	不定	保持	保持	保持
	DMA0 デスティネーションアドレスオフセットレジスタ 1	DMA0DAOFR1	不定	保持	保持	保持
2	DMA0 ソースアドレスオフセットレジスタ 2	DMA0SAOFR2	不定	保持	保持	保持
	DMA0 デスティネーションアドレスオフセットレジスタ 2	DMA0DAOFR2	不定	保持	保持	保持
3	DMA0 ソースアドレスオフセットレジスタ 3	DMA0SAOFR3	不定	保持	保持	保持
	DMA0 デスティネーションアドレスオフセットレジスタ 3	DMA0DAOFR3	不定	保持	保持	保持
4	DMA0 ソースアドレスオフセットレジスタ 4	DMA0SAOFR4	不定	保持	保持	保持
	DMA0 デスティネーションアドレスオフセットレジスタ 4	DMA0DAOFR4	不定	保持	保持	保持
5	DMA0 ソースアドレスオフセットレジスタ 5	DMA0SAOFR5	不定	保持	保持	保持
	DMA0 デスティネーションアドレスオフセットレジスタ 5	DMA0DAOFR5	不定	保持	保持	保持
0/1	DMA0 拡張リソースセクタ 0	DMA0RS0	H'0000	保持	保持	保持
2/3	DMA0 拡張リソースセクタ 1	DMA0RS1	H'0000	保持	保持	保持
4/5	DMA0 拡張リソースセクタ 2	DMA0RS2	H'0000	保持	保持	保持

15.4 レジスタの説明

15.4.1 DMA0 ソースアドレスレジスタ 0~5 (DMA0SAR0~5)

DMA0SAR は、読み出し/書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。16 バイト、32 バイトで転送を行う場合は、16 バイト、32 バイト境界に値を設定してください。

DMA0SAR の初期値は不定です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15.4.2 DMA0 ソースアドレスレジスタ B0~5 (DMA0SARB0~5)

DMA0SARB は、読み出し/書き込み可能な 32 ビットのレジスタです。

リピート/リロードモードで DMA0SAR に再設定する DMA 転送元のアドレスを指定します。

Multi-dimensional モードでは次面ソースアドレス保持レジスタとして DMAC0 が使用します。

CPU からの DMA0SAR への書き込みデータが DMA0SARB にも書き込まれます。DMA0SAR と異なるアドレスを設定したい場合は、DMA0SAR 書き込み後に DMA0SARB への書き込みを行ってください。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。16 バイト、32 バイトで転送を行う場合は、16 バイト、32 バイト境界に値を設定してください。

DMA0SARB の初期値は不定です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15.4.3 DMA0 デスティネーションアドレスレジスタ 0~5 (DMA0DAR0~5)

DMA0DAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。16 バイト、32 バイトで転送を行う場合は、16 バイト、32 バイト境界に値を設定してください。

DMA0DAR の初期値は不定です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15.4.4 DMA0 デスティネーションアドレスレジスタ B0~5 (DMA0DARB0~5)

DMA0DARB は、読み出し / 書き込み可能な 32 ビットのレジスタです。

リピート / リロードモードで DMA0DAR に再設定する DMA 転送先のアドレスを指定します。CPU からの DMA0DAR への書き込みデータが DMA0DARB にも書き込まれます。

Multi-dimensional モードでは次面デスティネーションアドレス保持レジスタとして DMAC0 が使用します。

DMA0DAR と異なるアドレスを設定したい場合は、DMA0DAR 書き込み後に DMA0DARB への書き込みを行ってください。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。16 バイト、32 バイトで転送を行う場合は、16 バイト、32 バイト境界に値を設定してください。

DMA0DARB の初期値は不定です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15.4.5 DMA0 トランスファカウンタレジスタ 0~5 (DMA0TCR0~5)

DMA0TCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回 (最大転送回数) になります。DMA 転送中は、残りの転送回数を示しています。

DMA0TCR のビット 31~24 は、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。DMA0TCR の初期値は不定です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15.4.6 DMA0 トランスファカウンタレジスタ B0~5 (DMA0TCRB0~5)

DMA0TCRB は、読み出し / 書き込み可能な 32 ビットのレジスタで、CPU からの DMA0TCR への書き込みデータが DMA0TCRB にも書き込まれます。

ハーフエンド機能使用時はハーフエンド検出に使用する初期値保持レジスタとして用いられます。

リピートモードでは DMA0TCR に再設定する DMA 転送回数を指定します。リピートモード使用時は DMA0TCRB[31:24]には 0 を書き込んでください。

リロードモード、および Multi-dimensional モードではリロードする転送回数の設定および転送回数カウンタとして用いられます。DMA0TCRB[15:0]は転送回数カウンタとして動作し、値が 0 になると DMA0SAR / DMA0DAR が更新され、DMA0TCRB[31:16]が DMA0TCRB[15:0]にロードされます。DMA0TCRB[31:16]はリロードするまでの転送回数を設定してください。リロードモード、および Multi-dimensional モード使用時、設定可能な DMA0TCRB[31:16]と DMA0TCRB[15:0]の値は H'FFFF (65635 回) ~ H'0001 (1 回) で、DMA0TCRB[31:16]と DMA0TCRB[15:0]は同じ値を設定してください。また、リロードモードまたは Multi-dimensional モード使用時は、DMA0CHCR の HIE ビットを 0 とし、ハーフエンド機能を使用できません。

DMA0TCRB の初期値は不定です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15.4.7 DMA0 ソースアドレスオフセットレジスタ 0~5 (DMA0SAOFR0~5)

DMA0SAOFR は、読み出し / 書き込み可能な 32 ビットのレジスタで、Multi-dimensional モード設定時に使用するレジスタです。Multi-dimensional モード (DMA0CHCR/RPT[3:0]=B'1101 / B'1111) 設定時のみ有効です。

DMA0SAOFR[15:0]は 1 転送毎に更新する転送元アドレス増加分を設定します。

DMA0SAOFR[31:16]は DMA0TCRB[15:0]=0 となり、DMA0SAR をリロードするときのアドレスオフセットを設定します。

DMA0SAOFR[15:0]、DMA0SAOFR[31:16]とも設定するアドレスは、転送サイズとアドレス境界を一致させてください。

Multi-dimensional モードの詳細は「15.5.7 Multi-dimensional モード転送」を参照してください。

DMA0SAOFR の初期値は不定です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15.4.8 DMA0 デスティネーションアドレスオフセットレジスタ 0~5 (DMA0DAOFR0~5)

DMA0DAOFR は、読み出し / 書き込み可能な 32 ビットのレジスタで、Multi-dimensional モード設定時に使用するレジスタです。Multi-dimensional モード (DMA0CHCR/RPT[3:0]=B'1101 / B'1110) 設定時のみ有効です。

DMA0DAOFR[15:0]は 1 転送毎に更新する転送先アドレス増加分を設定します。

DMA0DAOFR[31:16]は DMA0TCRB[15:0]=0 となり、DMA0DAR をリロードするときのアドレスオフセットを設定します。

DMA0DAOFR[15:0]、DMA0DAOFR[31:16]とも設定するアドレスは、転送サイズとアドレス境界を一致させてください。

Multi-dimensional モードの詳細は「15.5.7 Multi-dimensional モード転送」を参照してください。

DMA0DAOFR の初期値は不定です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15.4.9 DMA0 チャンネルコントロールレジスタ 0~5 (DMA0CHCR0~5)

DMA0CHCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	LCKN	—	RPT[3:0]				—	DO	RL	—	TS[2]	HE	HIE	AM	AL
初期値 :	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R/W	R/(W)*	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM[1:0]		SM[1:0]		RS[3:0]			DL	DS	TB	TS[1:0]		IE	TE	DE	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/(W)*	R/W

【注】 * R/(W) : フラグをクリアするための 0 ライトのみ可能です。1 ライトはフラグに影響しません。

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30	LCKN	1	R/W	バスロック信号抑止ビット 0 : バスロック信号出力許可 1 : バスロック信号出力抑止 (初期値) 【注】本ビットは外部リクエストモードで PCMCIA ATA 補完モード DACKBST 有効時のみ 0 に設定可能です。本ビットを 1 にセットする場合は DMA0CHCR/TB も 1 にセットしてください。優先順の一番高いチャンネルから使用してください。PCMCIA ATA 補完モードの詳細は「第 11 章バスステートコントローラ (LBSC)」を参照してください。 チャンネル 4、5 は 0 に設定禁止です。書き込む場合は常に 1 にしてください。
29	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
28~25	RPT[3:0]	0000	R/W	<p>DMA 設定更新指定ビット</p> <p>0000 : 通常モード</p> <p>0001 : リピートモード DMA0SAR / DMA0DAR / DMA0TCR をリピートします</p> <p>0010 : リピートモード DMA0DAR / DMA0TCR をリピートします</p> <p>0011 : リピートモード DMA0SAR / DMA0TCR をリピートします</p> <p>0101 : リロードモード DMA0SAR / DMA0DAR を DMA0TCRB 設定値に従いリロード</p> <p>0110 : リロードモード DMA0DAR を DMA0TCRB 設定値に従いリロード</p> <p>0111 : リロードモード DMA0SAR を DMA0TCRB 設定値に従いリロード</p> <p>1101 : Multi-dimensional モード DMA0SAR のアドレス更新を DMA0SAOFR[15:0]、DMA0SAOFR[31:16]で指定された値で更新、DMA0DAR のアドレス更新を DMA0DAOFR[15:0]、DMA0DAOFR[31:16]で指定された値で更新します。DM/SM の設定は無視されます。</p> <p>1110 : Multi-dimensional モード DMA0DAR のアドレス更新を DMA0DAOFR[15:0]、DMA0DAOFR[31:16]に指定された値で更新します。DM の設定は無視されます。</p> <p>1111 : Multi-dimensional モード DMA0SAR のアドレス更新を DMA0SAOFR[15:0]、DMA0SAOFR[31:16]に指定された値で更新します。SM の設定は無視されます。</p> <p>上記以外 : 設定禁止</p>
24	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
23	DO	0	R/W	<p>DMA オーバラン</p> <p>DREQ をオーバラン 0 で検出するか、オーバラン 1 で検出するかを選択します。本ビットは DMA0CHCR0~3 でのみ有効です。</p> <p>0 : DREQ をオーバラン 0 で検出</p> <p>1 : DREQ をオーバラン 1 で検出</p>
22	RL	0	R/W	<p>リクエストチェックレベルビット</p> <p>DRAK 信号をハイアクティブにするかローアクティブにするかを指定します。本ビットは DMA0CHCR0~3 でのみ有効です。DRAK のアクティブ方向を変更した場合、外部端子に反映するまでにレジスタ書き込み完了後、外部バスクロックで 1 サイクルかかります。</p> <p>0 : DRAK をローアクティブ出力</p> <p>1 : DRAK をハイアクティブ出力</p>
21	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
20	TS[2]	0	R/W	<p>DMA 転送サイズ指定ビット</p> <p>TS[1:0]と合わせて DMA 転送サイズの設定を行います。転送元または転送先が、アクセスサイズが指定された内蔵周辺モジュールのレジスタの場合には、必ずその転送サイズとアクセスサイズを合わせてください。転送元または転送先として DMA0SAR または DMA0DAR に設定するアドレスは、転送サイズとアドレス境界を必ず一致させてください。</p> <p>TS[2], TS[1], TS[0]</p> <p>000 : バイト単位 001 : ワード (2 バイト) 単位 010 : ロングワード (4 バイト) 単位 011 : 16 バイト単位 100 : 32 バイト単位 上記以外 : 設定禁止</p>
19	HE	0	R/(W)*	<p>ハーフエンドフラグビット</p> <p>HIE(ビット 18)に 1 を設定し、転送回数が転送開始前に設定した DMA0TCR の値の 1/2 (右に 1 ビットシフトした値) になると、HE は 1 になります。</p> <ul style="list-style-type: none"> 偶数回のときは、(転送前にセットした DMA0TCR)/2 で HE は 1 にセット 奇数回のときは、(転送前にセットした DMA0TCR -1)/2 で HE は 1 にセット 最大転送回数のときは、8,388,608 回 (H'00800000) で HE は 1 にセット <p>転送回数が転送開始前に設定した値の 1/2 になる前に、NMI 割り込み、アドレスエラーによって転送が終了した場合および DE ビット (ビット 0)、DMA0OR の DME ビット (ビット 0) をクリアして転送を終了させた場合には、HE ビットはセットされません。また、HE ビットに 1 がセットされてから NMI 割り込み、アドレスエラーによって転送が終了した場合および DE ビット (ビット 0)、DMA0OR の DME ビット (ビット 0) をクリアして転送を終了させた場合、HE ビットはセットされたままとなります。HE ビットのクリアは、HE ビットの 1 を読み出してから 0 を書き込む必要があります。</p> <p>0 : DMA 転送中または DMA 転送中断で、 DMA0TCR > (転送前にセットした DMA0TCR) /2 HE ビットを 0 にクリアするには、1 を読み込んだ後に 0 を書き込んでください。0 を読み込んだ場合、または、ビットをクリアしない場合は、1 を書き込んでも、このビットの値には影響を与えません。</p> <p>1 : DMA0TCR = (転送前にセットした DMA0TCR) /2</p>

ビット	ビット名	初期値	R/W	説明
18	HIE	0	R/W	<p>ハーフエンドイネーブルビット</p> <p>転送回数が、転送開始前にセットした DMA0TCR の値が 1/2 になった転送の読み出しサイクルが終わった時点で、CPU に割り込み要求するかどうかを指定します。HIE ビットを 1 にセットした場合、HE ビットがセットされると CPU に対し割り込みを要求します。DMA0TCR の値が 1/2 の転送完了を確認するには割り込み発生後、SYNCO 命令を発行した後に、転送先空間にダミーリードを行ってください。</p> <p>リロードモードおよび Multi-dimensional モード設定時は本ビットを 0 に設定してください。</p> <p>0 : ハーフエンド割り込みを禁止 1 : ハーフエンド割り込みを許可</p>
17	AM	0	R/W	<p>アクノリッジモード</p> <p>DACK をデータ読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。DACK の出力は LBSC 空間のみ出力可能です。本ビットは DMA0CHCR0 ~ 3 でのみ有効です。</p> <p>0 : 読み出しサイクルで DACK を出力 (DMA 転送元が LBSC 空間であるときのみ DACK を出力します)</p> <p>1 : 書き込みサイクルで DACK を出力 (DMA 転送先が LBSC 空間であるときのみ DACK を出力します)</p>
16	AL	0	R/W	<p>アクノリッジレベル</p> <p>DACK 信号をハイアクティブにするかローアクティブにするかを指定します。本ビットは DMA0CHCR0 ~ 3 でのみ有効です。DACK のアクティブ方向を変更した場合、外部端子に反映するまでにレジスタ書き込み完了後、外部バスクロックで 2 サイクルかかります。</p> <p>0 : DACK をローアクティブ出力 1 : DACK をハイアクティブ出力</p>

ビット	ビット名	初期値	R/W	説明
15、14	DM[1:0]	00	R/W	<p>デスティネーションアドレスモード 1、0 DMA 転送先のアドレスの増減を指定します。</p> <p>00 : デスティネーションアドレスは固定 01 : デスティネーションアドレスは増加</p> <p> バイト単位転送時は + 1 ワード単位転送時は + 2 ロングワード単位転送時は + 4 16 バイト単位転送時は + 16 32 バイト単位転送時は + 32</p> <p>10 : デスティネーションアドレスは減少</p> <p> バイト単位転送時は - 1 ワード単位転送時は - 2 ロングワード単位転送時は - 4 16 / 32 バイト単位転送時は設定禁止</p> <p>11 : 設定禁止</p> <p>どの設定 (00/01/10) でもバス幅より大きい転送サイズを指定した場合は、複数のバスサイクルに分割され、分割されたバスサイクルのアドレスは増加します。</p> <p>RPT[3:0]=B'1101/B'1110 を設定した場合、本設定は無効となり DMA0DAOFR[15:0]レジスタ設定値で更新されます。</p>
13、12	SM[1:0]	00	R/W	<p>ソースアドレスモード 1、0 DMA 転送元のアドレスの増減を指定します。</p> <p>00 : ソースアドレスは固定 01 : ソースアドレスは増加</p> <p> バイト単位転送時は + 1 ワード単位転送時は + 2 ロングワード単位転送時は + 4 16 バイト単位転送時は + 16 32 バイト単位転送時は + 32</p> <p>10 : ソースアドレスは減少</p> <p> バイト単位転送時は - 1 ワード単位転送時は - 2 ロングワード単位転送時は - 4 16 / 32 バイト単位転送時は設定禁止</p> <p>11 : 設定禁止</p> <p>どの設定 (00/01/10) でもバス幅より大きい転送サイズを指定した場合は、複数のバスサイクルに分割され、分割されたバスサイクルのアドレスは増加します。</p> <p>RPT[3:0]=B'1101/B'1111 を設定した場合、本設定は無効となり DMA0SAOFR[15:0]レジスタ設定値で更新されます。</p>

ビット	ビット名	初期値	R/W	説明
11~8	RS[3:0]	0000	R/W	<p>リソースセレクト 3~0</p> <p>転送要求元を指定します。転送要求元の変更は、必ず DMA イネーブルビット (DE) が 0 の状態で行ってください。</p> <p>0000 : 外部リクエスト、デュアルアドレスモード</p> <p>0100 : オートリクエスト</p> <p>1000 : 内蔵周辺モジュールリクエスト</p> <p>DMA0 拡張リソースセクタ (DMA0RS0~5) で選択</p> <p>上記以外 : 設定禁止</p> <p>【注】外部リクエストの指定は DMA0CHCR0~3 でのみ有効です。</p> <p>DMA0CHCR4、5 では外部リクエスト指定は設定禁止です。</p>
7 6	DL DS	0 0	R/W R/W	<p>DREQ レベル、DREQ エッジセレクト</p> <p>DREQ 入力の検出方法と、検出レベルを選択します。</p> <p>本ビットは DMA0CHCR0~3 でのみ有効です。またチャンネル 0~3 でも転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、本ビットは無効です。</p> <p>00 : ローレベル検出</p> <p>01 : 立ち下がりエッジ検出</p> <p>10 : ハイレベル検出</p> <p>11 : 立ち上がりエッジ検出</p>
5	TB	0	R/W	<p>トランスファバースモード</p> <p>DMA 転送のバースモードを選択します。</p> <p>0 : サイクルスチールモード</p> <p>1 : バースモード</p> <p>【注】本ビットは外部リクエストモードで PCMCIA ATA 補完モード DACKBST 有効時のみ 1 に設定可能です。本ビットを 1 にセットする場合は DM0CHCR/LCKN も 1 にセットしてください。優先順の一番高いチャンネルから使用してください。PCMCIA ATA 補完モードの詳細は「第 11 章 ローカルバスステートコントローラ (LBSC)」を参照してください。チャンネル 4、5 は 1 に設定禁止です。書き込む場合は常に 0 にしてください。</p>
4、3	TS[1:0]	00	R/W	<p>DMA 転送サイズ指定ビット</p> <p>TS[2] (ビット 20) の説明を参照ください。</p>
2	IE	0	R/W	<p>インタラプトイネーブル</p> <p>DMA 最終転送時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合、TE ビットがセットされ DMA 最終転送の読み出しサイクルが終わったときに、CPU に対し割り込み (DMINT) を要求します。最終転送完了を確認するには割り込み発生後、SYNCO 命令を発行した後に、転送先空間にダミーリードを行ってください。</p> <p>0 : 割り込み要求を禁止</p> <p>1 : 割り込み要求を許可</p>

ビット	ビット名	初期値	R/W	説明
1	TE	0	R/(W)*	<p>トランスファエンドフラグ</p> <p>DMA0 トランスファカウンタレジスタ (DMA0TCR) の値が 0 になり (DMA 最終転送の実行を開始するとき)、TE ビットは 1 にセットされます。DMA0TCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMA0 オペレーションレジスタ (DMA0OR) の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。</p> <p>TE ビットがセットされていると、DE ビットを 1 にしていても転送は許可されません。</p> <p>0 : DMA 転送中または DMA 転送の転送中断</p> <p>TE ビットを 0 にクリアするには、1 を読み込んだ後に 0 を書き込んでください。0 を読み込んだ場合、または、ビットをクリアしない場合は、1 を書き込んで、このビットの値には影響を与えません。</p> <p>1 : DMA0TCR = 0 (DMA 最終転送中または DMA 転送終了)</p>
0	DE	0	R/W	<p>DMA イネーブル</p> <p>DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMA0OR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMA0OR の NMIF ビット、AE ビットのすべてが 0 である必要があります。外部リクエスト、内蔵周辺モジュールリクエストでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当デバイスまたは該当周辺モジュールから DMA 転送要求があると転送を開始します。ただし、この場合にもオートリクエストモードと同じく、TE ビット、NMIF ビット、AE ビットのすべてが 0 である必要があります。DE ビットを 0 にクリアすると、転送を中断することができます。内蔵周辺モジュールリクエスト設定時に DE ビットを 0 にクリアし転送を中断するときは、該当周辺モジュールからの DMA 転送要求がクリアされているときに行ってください。</p> <p>0 : DMA 転送を禁止</p> <p>1 : DMA 転送を許可</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。1 ライトはフラグに影響しません。

15.4.10 DMA0 オペレーションレジスタ (DMA0OR)

DMA0OR は、読み出し / 書き込み可能な 16 ビットレジスタで、DMA 転送時のチャンネルの優先順位を指定します。また、DMA の転送状態 (ステータス) も示します。

DMA0OR は全チャンネル共通レジスタです。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CMS[1:0]	—	—	PR[1:0]	—	—	—	—	—	—	—	AE	NMIF	DME
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R/(W)*R/(W)*	R/W	R/W

【注】 * フラグをクリアするための 0 ライトのみ可能です。1 ライトはフラグに影響しません。

ビット	ビット名	初期値	R/W	説明
15, 14	-	00	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13, 12	CMS[1:0]	00	R/W	サイクルスチールモードセレクト 1、0 サイクルスチールモード時に通常モードとインタミットモードを選択します。 インタミットモードを有効にするためには、全チャンネルのバスモードがサイクルスチールモードである必要があります。 00 : 通常モード 01 : 設定禁止 10 : インタミットモード 16 外部バスクロック 16 クロック待った後に 1 回 DMA 転送を実行 11 : インタミットモード 64 外部バスクロック 64 クロック待った後に 1 回 DMA 転送を実行 詳細は「15.5.3(1)(b)インタミットモード 16、インタミットモード 64」を参照ください。
11, 10	-	00	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
9、8	PR[1:0]	00	R/W	<p>プライオリティーモード 1、0</p> <p>同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。</p> <p>00 : CH0 > CH1 > CH2 > CH3 > CH4 > CH5</p> <p>01 : CH0 > CH2 > CH3 > CH1 > CH4 > CH5</p> <p>10 : 設定禁止</p> <p>11 : CH0~CH5 のラウンドロビンモード</p> <p>ラウンドロビンモードを指定した場合、全チャンネルはサイクルスチールモード (DMA0CHCR/LCKN=1、DMA0CHCR/TB=0) のみ設定可能です。</p>
7~3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2	AE	0	R/(W)*	<p>アドレスエラーフラグ</p> <p>DMA 転送中にアドレスエラーが発生したことを示すフラグです。</p> <p>本ビットは、以下の条件でセットされます。</p> <ul style="list-style-type: none"> • DMA0SAR または DMA0DAR に設定された値が転送サイズ境界と不一致の場合 • 転送元または転送先がアドレスマップ上の undefine 空間の場合 • 転送元または転送先がモジュールストップ中の場合 <p>DMA0OR の AE ビットがセットされると、全チャンネルの DMA0CHCR の DE ビットと DMA0OR の DME ビットを 1 にセットしても、DMA 転送は許可されません。</p> <p>0 : DMAC0 によるアドレスエラーなし</p> <p>AE ビットを 0 にクリアするには、1 を読み込んだ後に 0 を書き込んでください。0 を読み込んだ場合、または、ビットをクリアしない場合は、1 を書き込んでも、このビットの値には影響を与えません。</p> <p>1 : DMA 転送中にアドレスエラー発生</p>
1	NMIF	0	R/(W)*	<p>NMI フラグ</p> <p>NMI 割り込みが発生したことを示すフラグです。NMIF ビットがセットされると、DMA0CHCR の DE ビットと DMA0OR の DME ビットを 1 にセットしても、DMA 転送は許可されません。</p> <p>NMI が入力されたとき、DMA 転送は停止します。NMI 割り込み復帰後は全チャンネルの再設定をした後、転送を開始してください。DMAC0 が動作していないときに NMI 割り込みが入力されても、NMIF ビットは 1 にセットされます。</p> <p>0 : NMI 割り込みなし</p> <p>NMIF ビットを 0 にクリアするには、1 を読み込んだ後に 0 を書き込んでください。0 を読み込んだ場合、または、ビットをクリアしない場合は、1 を書き込んでも、このビットの値には影響を与えません。</p> <p>1 : NMI 割り込み発生</p>

ビット	ビット名	初期値	R/W	説明
0	DME	0	R/W	<p>DMA マスタイネーブル</p> <p>全チャンネルの DMA 転送を許可または禁止します。DME ビットおよび DMA0CHCR の DE ビットを 1 にセットすると、DMA 転送が許可されます。ただし転送を行うチャンネルの DMA0CHCR にある TE ビットとチャンネルに対応する DMA0OR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。DME ビットを 0 にクリアすると全チャンネルの DMA 転送が中断されます。チャンネル 0~5 いずれかで内蔵周辺モジュールリクエストを設定しているときに DME ビットを 0 にクリアし DMA 転送を中断する場合は、該当周辺モジュールからの DMA 転送要求がクリアされているときに行ってください。</p> <p>0 : 全チャンネルの DMA 転送を禁止 1 : 全チャンネルの DMA 転送を許可</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。1 ライトはフラグに影響しません。

15.4.11 DMA0 拡張リソースセクタ 0~2 (DMA0RS0~2)

DMA0RS は、読み出し / 書き込み可能な 16 ビットレジスタです。DMA0RS0 はチャンネル 0 および 1、DMA0RS1 はチャンネル 2 および 3、DMA0RS2 はチャンネル 4 および 5、の周辺モジュールからの DMA 転送要求元を設定します。本レジスタで、FLCTL の転送要求を設定できます。

表 15.3 以外の MID / RID を設定したときの動作は保証できません。DMA0RS レジスタからの転送要求は、DMA0CHCR レジスタのリソースセレクトビット (RS3~RS0) = B'1000 に設定したときのみ有効です。B'1000 以外の場合は、DMA0RS を設定しても転送要求元として受け付けられません。

・ DMA0RS0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C1MID[5:0]						C1RID[1:0]		C0MID[5:0]						C0RID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ DMA0RS1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C3MID[5:0]						C3RID[1:0]		C2MID[5:0]						C2RID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ DMA0RS2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C5MID[5:0]						C5RID[1:0]		C4MID[5:0]						C4RID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMA0RS0 の設定

ビット	ビット名	初期値	R/W	説明
15~10	C1MID[5:0]	000000	R/W	チャンネル 1 転送要求元モジュール ID5~0 (MID) 表 15.3 参照
9、8	C1RID[1:0]	00	R/W	チャンネル 1 転送要求元レジスタ ID1、0 (RID) 表 15.3 参照
7~2	C0MID[5:0]	000000	R/W	チャンネル 0 転送要求元モジュール ID5~0 (MID) 表 15.3 参照
1、0	C0RID[1:0]	00	R/W	チャンネル 0 転送要求元レジスタ ID1、0 (RID) 表 15.3 参照

DMA0RS1 の設定

ビット	ビット名	初期値	R/W	説明
15~10	C3MID[5:0]	000000	R/W	チャンネル 3 転送要求元モジュール ID5~0 (MID) 表 15.3 参照
9、8	C3RID[1:0]	00	R/W	チャンネル 3 転送要求元レジスタ ID1、0 (RID) 表 15.3 参照
7~2	C2MID[5:0]	000000	R/W	チャンネル 2 転送要求元モジュール ID5~0 (MID) 表 15.3 参照
1、0	C2RID[1:0]	00	R/W	チャンネル 2 転送要求元レジスタ ID1、0 (RID) 表 15.3 参照

DMA0RS2 の設定

ビット	ビット名	初期値	R/W	説明
15~10	C5MID[5:0]	000000	R/W	チャンネル 5 転送要求元モジュール ID5~0 (MID) 表 15.3 参照
9、8	C5RID[1:0]	00	R/W	チャンネル 5 転送要求元レジスタ ID1、0 (RID) 表 15.3 参照
7~2	C4MID[5:0]	000000	R/W	チャンネル 4 転送要求元モジュール ID5~0 (MID) 表 15.3 参照
1、0	C4RID[1:0]	00	R/W	チャンネル 4 転送要求元レジスタ ID1、0 (RID) 表 15.3 参照

表 15.3 転送要求元一覧

周辺モジュール	1チャンネル分の設定値 (MID+RID)	MID	RID	機能
FLCTL	H'83	B'100000	B'11	データ部送受信
	H'87	B'100001	B'11	管理コード部送受信

15.5 動作説明

DMAC0 は DMA 転送要求があると決められたチャンネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類のモードがあります。

15.5.1 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方もできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類があります。転送要求の選択は DMA チャンネルごとに DMA0CHCR の RS3~RS0 ビットおよび DMA0RS0~2 レジスタによって行います。

(1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、DMAC0 内部で自動的に転送要求信号を発生するモードです。DMA チャンネルごとに DMA0CHCR の DE ビットおよび全チャンネル共通の DMA0OR の DME ビットを 1 にセットすると転送が開始されます。ただし DMA0OR の AE ビット、NMIF ビットがすべて 0 である必要があります。

(2) 外部リクエストモード

外部リクエストモードは、LSI の外部デバイスからの転送要求信号 ($\overline{DREQ0} \sim \overline{DREQ3}$) によって転送を開始させるモードです。DMA チャンネル 0~3 のみ有効です。表 15.4 に外部リクエストモードの設定を示します。DMA 転送が許可されているとき (DE=1、DME=1、TE=0、AE=0、NMIF=0) に DREQ が入力されると DMA 転送が開始されます。

表 15.4 RS ビットによる外部リクエストモードの設定

DMA0CHCR				アドレスモード	転送元	転送先
RS3	RS2	RS1	RS0			
0	0	0	0	デュアルアドレスモード	任意	任意

DREQ をエッジで検出するかレベルで検出するかは、表 15.5 に示す DMA0CHCR0 ~ DMA0CHCR3 の DREQ レベル (DL) ビットと DREQ エッジセレクト (DS) ビットで選択します。転送要求元は必ずしもデータの転送元か転送先である必要はありません。

表 15.5 DL、DS ビットによる外部リクエスト検出の選択

DMA0CHCR		外部リクエスト検出方法
DL	DS	
0	0	ローレベル検出 (初期値 $\overline{\text{DREQ}}$)
	1	立ち下がり検出
1	0	ハイレベル検出
	1	立ち上がり検出

DREQ が受け付けられると DREQ 端子は要求受け付け不可能状態となります。受け付けた DREQ に対するアクノリッジ DACK を出力した後、再び DREQ 端子は要求を受け付けることが可能になります。

DREQ をレベル検出で使う場合、DACK を出力して次の DREQ を検出するタイミングは DMA0CHCR の DO ビットの設定で異なります。

詳細は「15.5.8 DREQ 端子のサンプリングタイミング」を参照ください。

表 15.6 DO ビットによる外部リクエスト検出の選択

DMA0CHCR	外部リクエスト
DO	
0	オーバラン 0 (初期値)
1	オーバラン 1

DACK の出力は LBSC 空間のみ出力可能で $\overline{\text{CSn}}$ と同じタイミングで出力されます。DACK を読み出しサイクルで出力するか、書き込みサイクルで出力するかの設定は表 15.7 に示す DMA0CHCR の AM ビットで選択します。

表 15.7 AM ビットによるアクノリッジモードの選択

DMA0CHCR	外部リクエスト
AM	
0	読み出しサイクルで DACK を出力 (初期値)
1	書き込みサイクルで DACK を出力

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからの DMA 転送要求信号によって転送が実行されます。DMA 転送要求信号は、DMA0RS0~2 にて設定する FLCTL からの転送要求があります。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態 (DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) であると、転送要求信号によって転送が実行されます。

転送要求を FLCTL の送信 FIFO データエンプティ要求に設定した場合、転送先を FLCTL の FLDTFIFO レジスタとする必要があります。同様に転送要求を FLCTL の受信 FIFO データフル要求に設定した場合、転送元を FLCTL の FLDTFIFO レジスタとする必要があります。

表 15.8 に内蔵周辺モジュールリクエストモードの選択を行うための設定を示します。

表 15.8 内蔵周辺モジュールリクエストモード一覧

DMA0CHCR RS[3:0]	DMA0RS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バス モード
	MID	RID					
1000	100000	11	FLCTL データ 部送信	送信 FIFO データエンプティ 要求	任意	FLDTFIFO	サイクル スチール
		11	FLCTL データ 部受信	受信 FIFO データフル要求	FLDTFIFO	任意	サイクル スチール
	100001	11	FLCTL 管理 コード部送信	送信 FIFO データエンプティ 要求	任意	FLECFIFO	サイクル スチール
		11	FLCTL 管理 コード部受信	受信 FIFO データフル要求	FLECFIFO	任意	サイクル スチール

15.5.2 チャンネルの優先順位

DMAC0 は、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定、ラウンドロビンの 2 種類のモードから選択できます。モードの選択は DMA00R の PR1、PR0 ビットにより行います。

(1) 固定モード

固定モードではチャンネルの優先順位は変化しません。

固定モードには以下に示す 2 種類があり、DMA00R の PR1、PR0 ビットにより行います。

DMA00R/PR=00 : CH0 > CH1 > CH2 > CH3 > CH4 > CH5

DMA00R/PR=01 : CH0 > CH2 > CH3 > CH1 > CH4 > CH5

(2) ラウンドロビンモード

ラウンドロビンモードでは、1 つのチャンネルで、1 転送単位 (バイト、ワード、ロングワード、16 バイト、または 32 バイト単位) の転送が終了するごとにそのチャンネルの優先順位が一番低くなるように優先順位を変更します。この動作を図 15.2 に示します。なおリセット直後のラウンドロビンモードの優先順位は、CH0 > CH1 > CH2 > CH3 > CH4 > CH5 です。

ラウンドロビンモードを指定した場合、全チャンネルはサイクルスチールモード (DMA0CHCR/LCKN=1、DMA0CHCR/TB=0) のみ設定可能です。

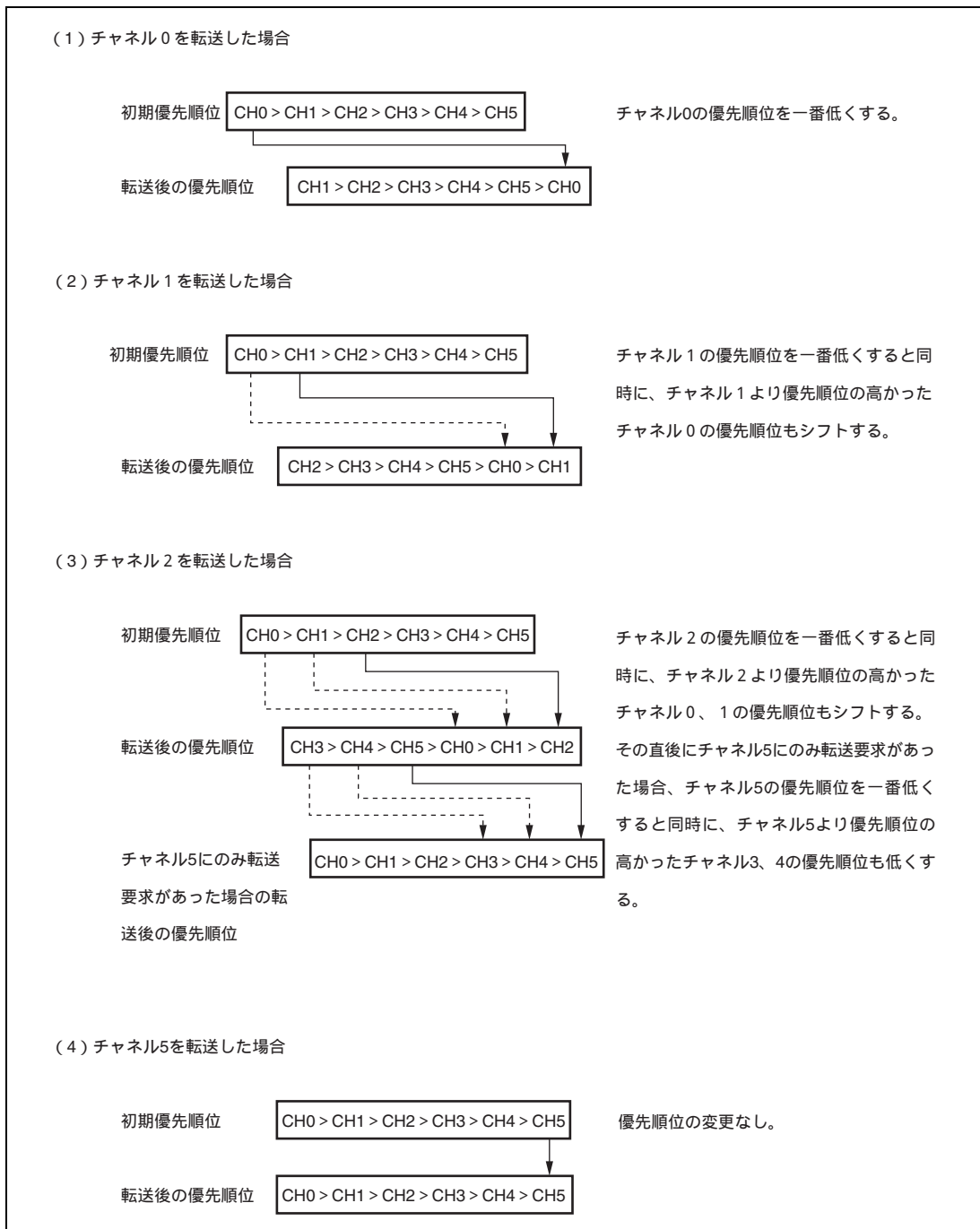


図 15.2 ラウンドロビンモード

図 15.3 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC0 の動作は以下のようになります。

- (1) チャンネル 0 とチャンネル 3 に同時に転送要求が発生します。
- (2) チャンネル 0 のほうがチャンネル 3 より優先順位が高いため、チャンネル 0 の転送を開始します。
(チャンネル 3 は転送待ち)
- (3) チャンネル 0 の転送中にチャンネル 1 に転送要求が発生します (チャンネル 1 とチャンネル 3 は転送待ち)。
- (4) チャンネル 0 の転送を終了すると、チャンネル 0 の優先順位を一番低くします。
(チャンネル 3 は転送待ち)
- (5) この時点でチャンネル 1 のほうがチャンネル 3 より優先順位が高いため、チャンネル 1 の転送を開始します。
(チャンネル 3 は転送待ち)
- (6) チャンネル 1 の転送を終了すると、チャンネル 1 の優先順位を一番低くします。
- (7) チャンネル 3 の転送を開始します。
- (8) チャンネル 3 の転送を終了すると、チャンネル 3 の優先順位が一番低くなるように、チャンネル 3 と一緒にチャンネル 2 の優先順位を低くします。

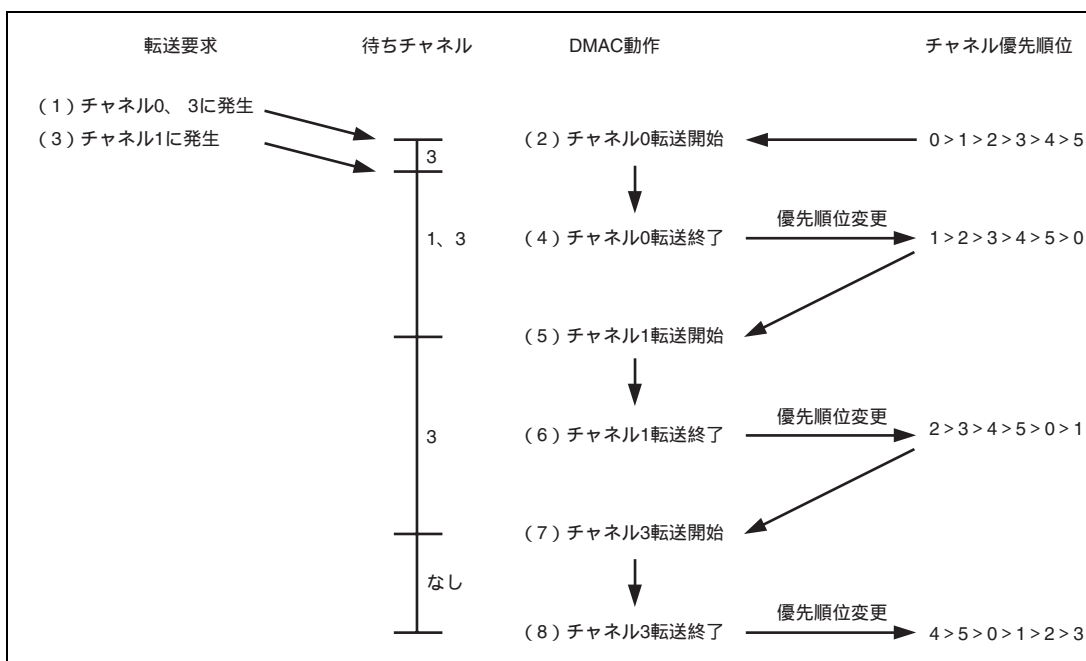


図 15.3 ラウンドロビンモードでのチャンネル優先順位

15.5.3 DMA 転送の種類

表 15.9、表 15.10 に DMAC0 がサポートできる転送区間を示します。

表 15.9 オートリクエスト、外部リクエスト*¹での DMA 転送区間

転送元	転送先		
	LBSC 空間	DDR3-SDRAM 空間	L メモリ L2C メモリ
LBSC 空間	○	○	○
DDR3-SDRAM 空間	○	○	○
L メモリ、L2C メモリ	○	○	○

【注】 ○：転送可能

*¹ 外部リクエストはチャンネル0~3のみです。

表 15.10 内蔵周辺モジュールリクエストでの DMA 転送区間*²

転送元	転送先			
	LBSC 空間	DDR3-SDRAM 空間	FLCTL* ¹	L メモリ L2C メモリ
LBSC 空間	×	×	○	×
DDR3-SDRAM 空間	×	×	○	×
FLCTL* ¹	○	○	×	○
L メモリ、L2C メモリ	×	×	○	×

【注】 ○：転送可能

×：転送不可

*¹ 転送元または転送先となる FLCTL の FLDTFIFO/FLECFIFO レジスタで許されるアクセスサイズ

*² 転送元または転送先は内蔵周辺モジュールリクエストの要求元レジスタである必要があります。

(1) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択はチャンネルコントロールレジスタ (DMA0CHCR) の LCKN ビット、TB ビットによって行います。

(a) サイクルスチールモード (DMA0CHCR/LCKN=1, DMA0CHCR/TB=0)

サイクルスチールでは、DMAC0 は SuperHyway バスのバス権の確保は行わず 1 転送単位の読み出しサイクル、書き込みサイクルごとに SuperHyway バスのバス権を取りに行く転送です。

図 15.4 にサイクルスチールモードの DMA 転送タイミング例を示します。

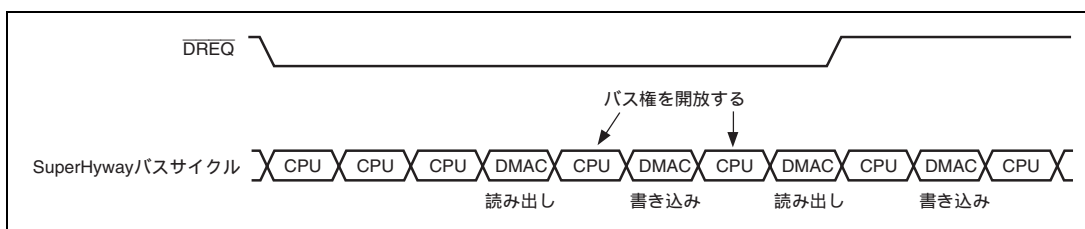


図 15.4 サイクルスチールの DMA 転送例 (DREQ ロールレベル検出)

(b) インタミットモード 16 (DMA0OR/CMS=10, DMA0CHCR/LCKN=1, DMA0CHCR/TB=0)

インタミットモード 64 (DMA0OR/CMS=11, DMA0CHCR/LCKN=1, DMA0CHCR/TB=0)

インタミットモードでは、DMAC0 は一回の転送単位 (バイト、ワード、ロングワード、16 バイト、または 32 バイト単位) の転送を終了するたびに SuperHyway バスのバス権を他のバスマスタに渡します。その後転送要求があれば、Bck で 16 クロックまたは 64 クロック待った後に、次の転送要求を発行し、再び 1 転送単位の転送を行い、その転送を終了するとまた SuperHyway バスのバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。このため DMA 転送によるバス占有割合を低く抑えることが可能です。

DMAC0 が再び次の転送要求を発行するときに、キャッシュミスによるエントリの更新などが行われているときなどは、DMA 転送がさらに待たされる場合があります。

インタミットモードは、全チャンネルのバスモードがサイクルスチールモードである必要があります。

図 15.5 にサイクルスチール インタミットモードでの DMA 転送タイミング例を示します。

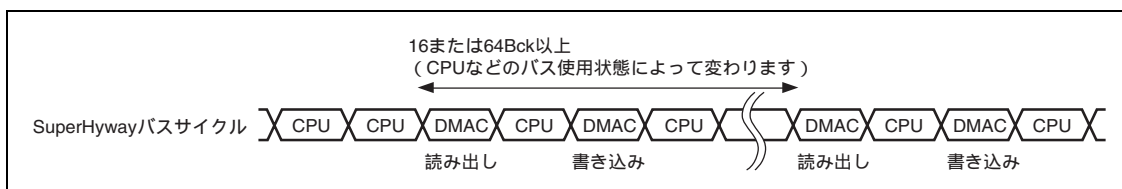


図 15.5 サイクルスチールインタミットモードの DMA 転送例

(c) パーストモード (DMA0CHCR/LCKN=0, DMA0CHCR/TB=1)

パーストモードでは DMAC0 は一度 SuperHyway バスのバス権を取ると、転送終了条件が満たされるまで SuperHyway バスのバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、DREQ をレベルで検出する場合には、DREQ がアクティブなレベルでなくなると、転送終了条件が満たされていなくても、すでに要求を受け付けた DMA 転送要求を終了後に他のバスマスタに SuperHyway バスのバス権を渡します。

パーストモードは、外部リクエストモード (チャンネル 0~3) で PCMCIA ATA 補完モード DACKBST 有効時のみ設定可能です。チャンネル 4、5 はパーストモードに設定禁止です。図 15.6 にパーストモードでの DMA 転送タイミングを示します。

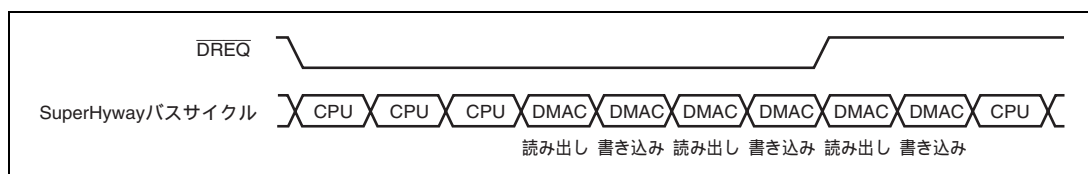


図 15.6 パーストモードでの DMA 転送例 (DREQ ローレベル検出)

(2) バスモードとチャンネルの優先順位

優先順位固定モードでのバスモードとチャンネルの優先順位を図 15.7 に示します。

優先順位固定モード (CH0 > CH1) において、チャンネル 1 がパーストモード転送中でも、それより優先順位の高いチャンネル 0 に転送要求が発生すると、直ちにチャンネル 0 の転送を開始します。

このとき、チャンネル 0 もパーストモードの場合は、優先順位の高いチャンネル 0 の転送がすべて終了してから、チャンネル 1 の転送を継続します。(図 15.7(h))

また、チャンネル 0 がサイクルスチールモードの場合、まず優先順位の高いチャンネル 0 が 1 転送単位の転送を行った後、バス権を解放せずに連続してチャンネル 1 が転送されます。その後も、チャンネル 0 チャンネル 1 チャンネル 0 チャンネル 1 というように交互に転送が行われます。(図 15.7(d))

つまり、バス状態は、サイクルスチールモード転送終了後の CPU サイクルがパーストモード転送に置き換わった形になります。

競合するパーストモードが複数チャンネルある場合は、その中で一番優先順位の高いチャンネルが優先実行されません。

DMA 転送を複数チャンネルで行う場合は、競合するすべてのパースト転送が終了するまで、バス権はバスマスタに開放しません。

ラウンドロビンモードでは、図 15.3 に示した仕様で優先順位が変化します。ただし、バスモードがサイクルスチールモードのチャンネルとパーストモードのチャンネルを混在することはできません。

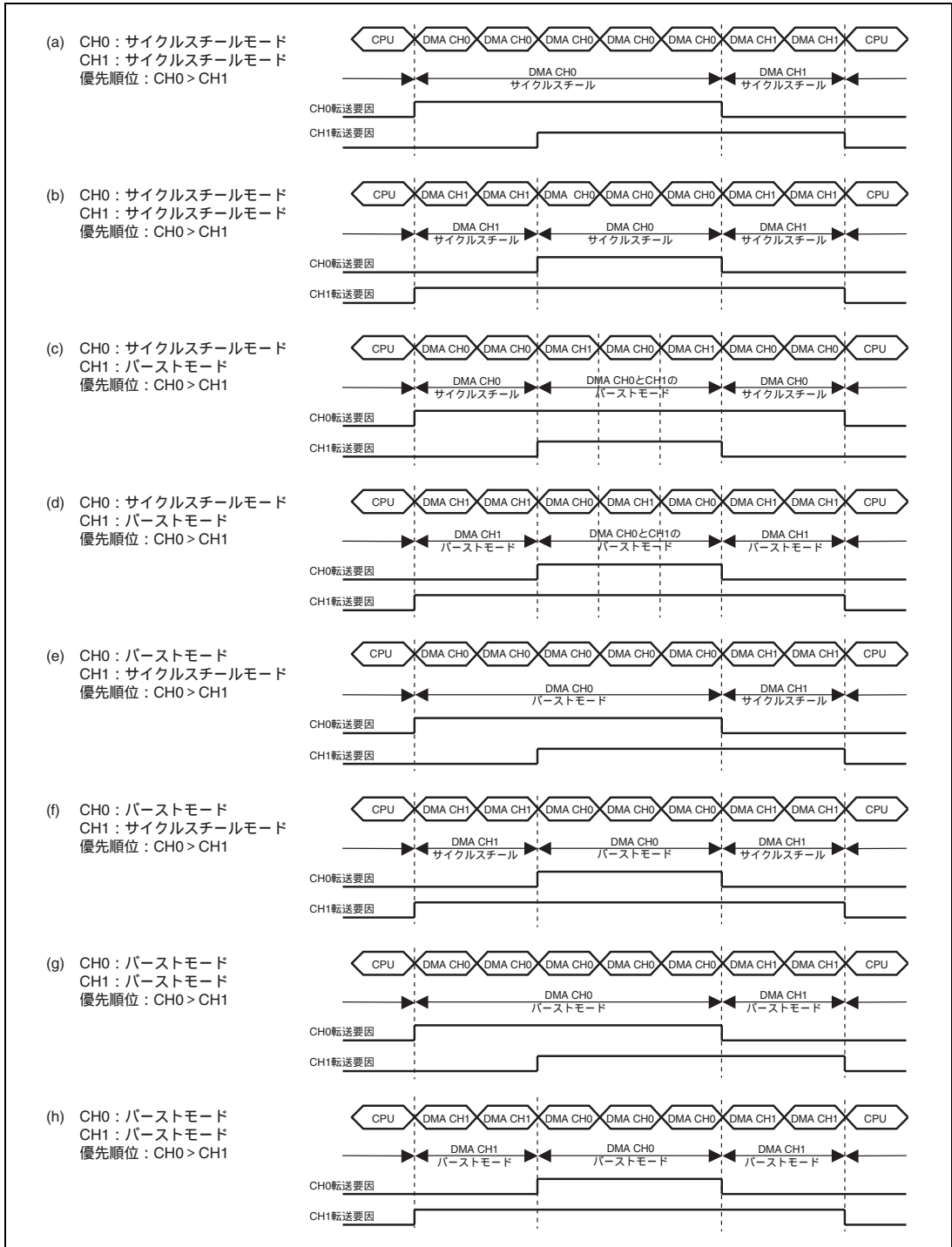


図 15.7 優先順位固定モードでのバースモードとチャンネルの優先順位

15.5.4 転送フロー

DMA0 ソースアドレスレジスタ (DMA0SAR)、DMA0 デスティネーションアドレスレジスタ (DMA0DAR)、DMA0 トランスファカウントレジスタ (DMA0TCR)、DMA0 チャネルコントロールレジスタ (DMA0CHCR)、DMA0 オペレーションレジスタ (DMA0OR)、DMA0 拡張リソースセクタ (DMA0RS) に目的の転送条件設定後、DMAC0 は以下の順序でデータを転送します。

1. 転送許可状態かどうか (DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) をチェックします。
2. 転送許可状態で転送要求が発生すると1転送単位のデータ (TS2、TS1、TS0の設定により決定) を転送します。オートリクエストモードの場合はDEビットおよびDMEビットが1にセットされると自動的に転送を開始します。1回の転送を行うごとにDMA0TCRの値を1デクリメントします。具体的な転送フローは、バスモードにより異なります。
3. 指定された回数の転送を終える (DMA0TCRの値が0になる) と、転送を正常に終了します。このときDMA0CHCRのIEビットに1がセットしてあれば、CPUにDMA0INT割り込みを発生します。
4. DMAC0によるアドレスエラーかNMI割り込みが発生した場合には、転送を中断します。またDMA0CHCRのDEビットかDMA0ORのDMEビットが0にされても転送を中断します。

図 15.8 に DMA 転送のフローチャートを示します。

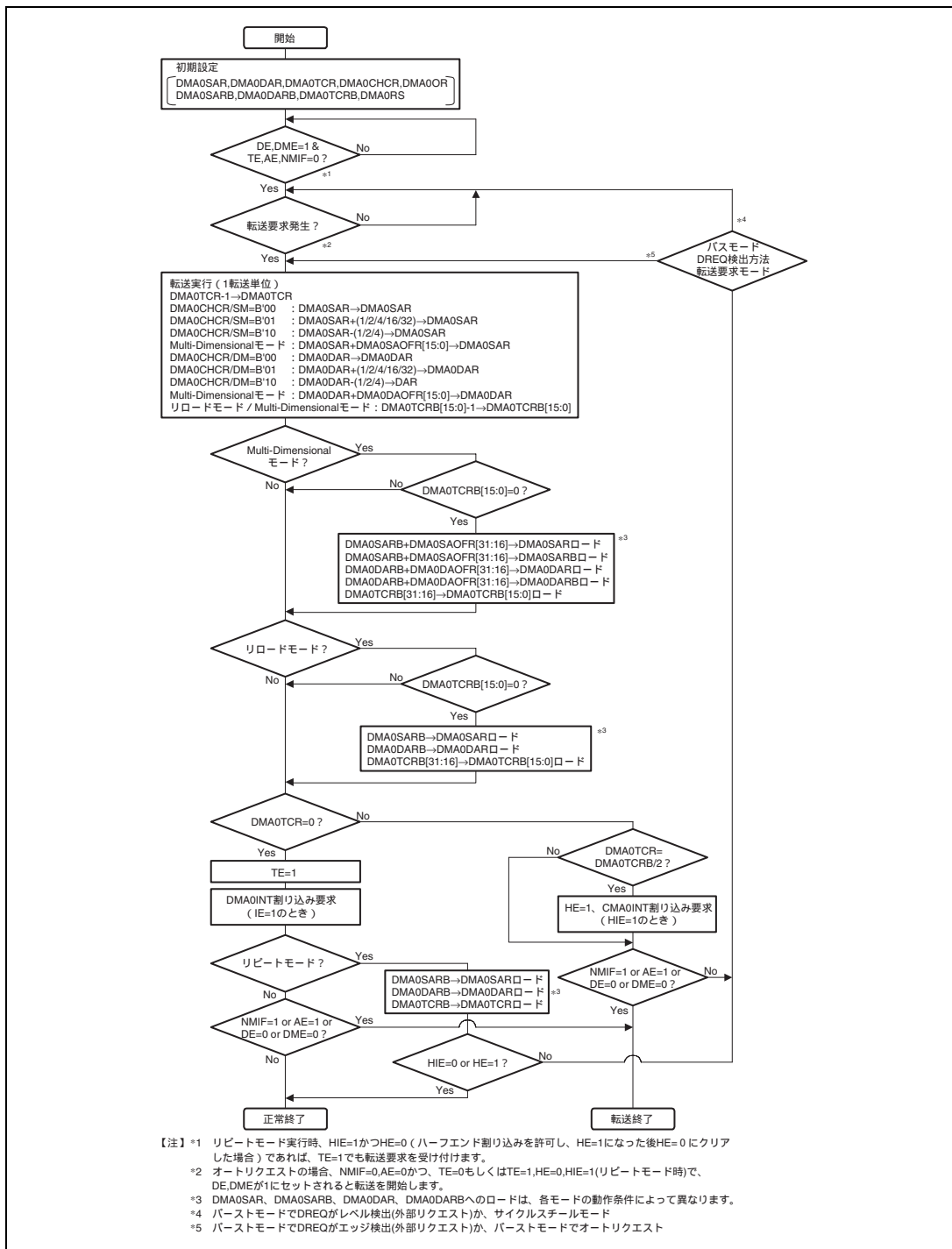


図 15.8 DMA 転送フローチャート

15.5.5 リピートモード転送

DMAC0 のリピートモード転送を使用すると、DMA 転送を再設定することなく繰り返し実行することが可能となります。

本機能をハーフエンド機能とセットで使用することで二重バッファ転送を仮想的に行うことが可能となります。本機能により以下の処理を効率的に行うことが可能となります。例として、音声データを受け取り、圧縮処理を行う場合の動作を説明します。

ここでは 40 ワードの音声データを受け取りごとに順次圧縮処理を行うことを仮定し、その際の処理を説明します。ここで音声データは任意のメモリから受け取ることと仮定します。

(1) DMAC0 の設定

- DMA0SARに任意のメモリアドレスを設定します。
- DMA0DARに内部メモリのデータ格納領域のアドレスを設定します。
- DMA0TCRにH'50 (80回)を設定します。
- DMA0CHCRに以下の設定をします。
 - RPT (ビット 28、27、26、25) = B'0010 : リピートモード (DMA0DAR をリピート領域として使用)
 - HIE (ビット 18) = B'1 : DMA0TCR/2 の割り込み発生
 - DM (ビット 15、14) = B'01 : DMA0DAR は増加
 - SM (ビット 13、12) = B'01 : DMA0SAR は増加
 - IE (ビット 2) = B'1 : 割り込み許可
 - DE (ビット 0) = B'1 : DMA 転送許可この他、TS など使用条件に合わせて設定。
- DMA0ORのCMS、PRを使用条件に合わせて設定し、DMEに1を設定します。

(2) 任意のメモリから DMA 転送を開始。

(3) DMA0TCR が初期設定値の 1/2 になり割り込み発生。

割り込み処理にて、DMA0CHCR を読み出し HE (ビット 19) に 1 がセットされていることを確認し、HE (ビット 19) を 0 にクリアし、DMA0DAR に設定したアドレスから 40 ワード分のデータを用いた音声圧縮を実行。

(4) DMA0TCR が 0 になり割り込み発生。

割り込み処理にて、DMA0CHCR を読み出し TE (ビット 1) に 1 がセットされていることを確認し、TE (ビット 1) を 0 にクリアし、DMA0DAR に設定したアドレスから 40 を足したアドレスから 40 ワード分のデータを用いた音声圧縮を実行。

この際 DMAC0 では、DMA0DAR に DMA0DARB の値がコピーされ初期化されるとともに、DMA0TCR にも DMA0TCRB の値がコピーされ、初期値 H'50 (80 回) に戻ります。

(5) 以後、(2) ~ (4) が DME = B'0 もしくは DE = B'0 が設定されるか、NMI 割り込みが発生するまで繰り返し実行されます。((2) で HE を 0 クリアしなかった場合、または (4) で TE を 0 クリアしなかった場合、HE=1 かつ TE=1 の条件で停止します。)

つまり、本機能を使用することで、順次受け取るデータの格納バッファと信号処理用のデータバッファとを交互に切り替えながら、逐次音声圧縮が可能となります。

15.5.6 リロードモード転送

DMAC0 のリロードモード転送を使用すると、DMA0CHCR の RPT ビットの設定により、DMA0TCRB[31:16]と DMA0TCRB[15:0]に設定した回数の転送ごとに DMA0SARB/ DMA0DARB に設定された値を DMA0SAR/ DMA0DAR にリロードし、DMA0TCR が 0 になるまで転送を再設定することなく繰り返し実行することが可能となります。本機能は、特定エリアを使ったデータ転送を繰り返し行う際に有効です。

リロードモード実行時は、DMA0TCRB をリロードカウンタとして使用します。「15.4.6 DMA0 トランスファカウンタレジスタ B0~5 (DMA0TCRB0~5)」の項を参照し、DMA0TCRB を設定してください。

図 15.9 リロードモード設定時の例に示します。

以下のようなレジスタ設定をしたときのリロードモード転送の転送元アドレスと転送先アドレスを示します。

- ・レジスタ設定

DMA0SARに転送元アドレスを設定 (DMA0SARBにもDMA0SARの書き込みデータが書き込まれます。)

DMA0DARに転送先アドレスを設定

DMA0TCRにH'0000000C (12回転送) を設定

DMA0TCRBにH'00040004 (4回の転送ごとにリロード) を設定

DMA0CHCRを以下のように設定。

RPT (ビット28、27、26、25) = B'111 : リロードモード (DMA0SARをリロード)

DM (ビット15、14) = B'01 : DARは増加

SM (ビット13、12) = B'01 : SARは増加

TS (ビット20、4、3) = B'010 : ロングワード (4バイト) 単位転送

- ・上記のレジスタ設定をしたときのDMA転送元アドレスとDMA転送先アドレス

1回目 : 転送元アドレス = DMA0SAR	転送先アドレス = DMA0DAR
2回目 : 転送元アドレス = DMA0SAR+H'04	転送先アドレス = DMA0DAR+H'04
3回目 : 転送元アドレス = DMA0SAR+H'08	転送先アドレス = DMA0DAR+H'08
4回目 : 転送元アドレス = DMA0SAR+H'0C	転送先アドレス = DMA0DAR+H'0C
5回目 : 転送元アドレス = DMA0SAR	転送先アドレス = DMA0DAR+H'10 (DMA0SARBの値がDMA0SARにリロード)
6回目 : 転送元アドレス = DMA0SAR+H'04	転送先アドレス = DMA0DAR+H'14
7回目 : 転送元アドレス = DMA0SAR+H'08	転送先アドレス = DMA0DAR+H'18
8回目 : 転送元アドレス = DMA0SAR+H'0C	転送先アドレス = DMA0DAR+H'1C
9回目 : 転送元アドレス = DMA0SAR	転送先アドレス = DMA0DAR+H'20 (DMA0SARBの値がDMA0SARにリロード)
10回目 : 転送元アドレス = DMA0SAR+H'04	転送先アドレス = DMA0DAR+H'24
11回目 : 転送元アドレス = DMA0SAR+H'08	転送先アドレス = DMA0DAR+H'28
12回目 : 転送元アドレス = DMA0SAR+H'0C	転送先アドレス = DMA0DAR+H'2C

図 15.9 リロードモード設定時の動作例

15.5.7 Multi-dimensional モード転送

Multi-dimensional モードを使用することで、Multi-dimensional 転送、scatter/gather 転送、ストライド転送を行うことができます。

Multi-dimensional モードは、DMA0SAR のアドレス更新を DMA0SAOFR[15:0]、DMA0SAOFR[31:16]レジスタで指定された値で更新、DMA0DAR のアドレス更新を DMA0DAOFR[15:0]、DMA0DAOFR[31:16]レジスタで指定された値で更新します。DMA0TCRB は DMA0SAR/ DMA0DAR 更新する転送回数の設定および転送回数カウンタとして用い、DMA0TCRB[15:0]は転送回数カウンタとして動作し、値が 0 になると DMA0SAR/ DMA0DAR が更新され、DMA0TCRB[31:16]が DMA0TCRB[15:0]にロードされます。DMA0SAOFR[15:0]/ DMA0DAOFR[15:0]は 1 転送毎に更新するアドレス増加分を設定します。DMA0SAOFR[31:16]/ DMA0DAOFR[31:16]は DMA0TCRB[15:0]=0 となり、DMA0SAR/ DMA0DAR をリロードするときのアドレスオフセットを設定します。

- DMA0CHCR/RPT[3:0]=B'1101に設定した場合

DMA0SAR/ DMA0DAR のアドレス更新は DMA0SAOFR/ DMA0DAOFR レジスタの設定値により更新されます。

DMA0CHCR/SM[1:0]、DMA0CHCR/DM[1:0]の設定値は無効となります。

DMA0TCRB[15:0] = 0 : DMA0SAR + DMA0SAOFR[15:0] DMA0SAR
DMA0DAR + DMA0DAOFR[15:0] DMA0DAR

DMA0TCRB[15:0] = 0 : DMA0SARB+ DMA0SAOFR[31:16] DMA0SARB
DMA0SARB+ DMA0SAOFR[31:16] DMA0SARB
DMA0DARB+ DMA0DAOFR[31:16] DMA0DAR
DMA0DARB+ DMA0DAOFR[31:16] DMA0DARB

- DMA0CHCR/RPT[3:0]=B'1110に設定した場合

DMA0DAR のアドレス更新は DMA0DAOFR レジスタの設定値により更新されます。

DMA0CHCR/DM[1:0]の設定値は無効となります。。

DMA0TCRB[15:0] = 0 : DMA0DAR + DMA0DAOFR[15:0] DMA0DAR

DMA0TCRB[15:0] = 0 : DMA0DARB+ DMA0DAOFR[31:16] DMA0DARB
DMA0DARB+ DMA0DAOFR[31:16] DMA0DARB

- DMA0CHCR/RPT[3:0]=B'1111に設定した場合

DMA0SAR のアドレス更新は DMA0SAOFR レジスタの設定値により更新されます。

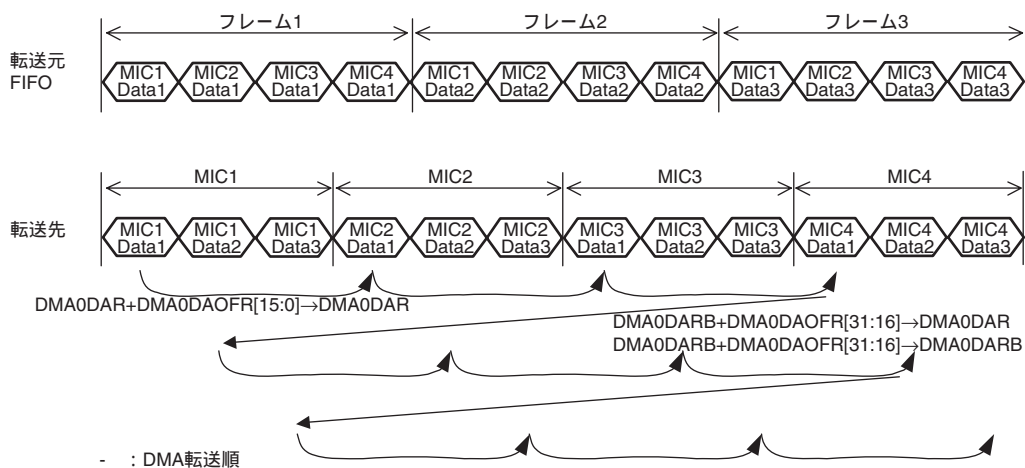
DMA0CHCR/SM[1:0]の設定値は無効となります。

DMA0TCRB[15:0] = 0 : DMA0SAR + DMA0SAOFR[15:0] DMA0SAR

DMA0TCRB[15:0] = 0 : DMA0SARB+ DMA0SAOFR[31:16] DMA0SARB
DMA0SARB+ DMA0SAOFR[31:16] DMA0SARB

Multi-dimensional 転送の動作例を図 15.10、scatter 転送の動作例を図 15.11 に、gather 転送の動作例を図 15.12 に、ストライド転送の動作例を図 15.13 に示します。

Multi-dimensional転送を使用することにより、以下の転送元FIFOメモリ内にある音声データの並べ替え、転送することができます。



・ DMAC0の設定

DMA0SAR : 任意のメモリアドレスを指定 (FIFOを想定)

DMA0DAR : 任意のメモリアドレスを指定

DMA0TCR = H'0000000C (12回転送)

DMA0TCRB = H'00040004 (4回ごとにDMA0DARB+DMA0DAOFR[31:16]→DMA0DAR、
DMA0DARB+DMA0DAOFR[31:16]→DMA0DARBに更新)

DMA0DAOFR = H'0002_0006

DMA0CHCR : 以下のように設定

RPT[3:0]=B'1110 : Multi-dimensionalモードDMA0DARのアドレス更新をDMA0DAOFR[15:0]、
DMA0DAOFR[31:16]に指定された値で更新

TS[2:0] = B'001:ワード転送

SM[1:0]=B'00 : DMA0SARは固定

DE=B'1 : 転送許可

その他、RSなど使用条件に合わせて設定。

DMA0ORのCMS、PRを使用条件に合わせて設定し、DMEに1を設定します。

・ 上記レジスタ設定時のDMA0SAR、DMA0DARのアドレスは以下のようになります。

1回目 : 転送元アドレス=DMA0SAR	転送先アドレス=DMA0DAR
2回目 : 転送元アドレス=DMA0SAR	転送先アドレス=DMA0DAR+H'0006
3回目 : 転送元アドレス=DMA0SAR	転送先アドレス=DMA0DAR+H'000C
4回目 : 転送元アドレス=DMA0SAR	転送先アドレス=DMA0DAR+H'0012
5回目 : 転送元アドレス=DMA0SAR	転送先アドレス=DMA0DAR+H'0020
6回目 : 転送元アドレス=DMA0SAR	転送先アドレス=DMA0DAR+H'0008
7回目 : 転送元アドレス=DMA0SAR	転送先アドレス=DMA0DAR+H'000E
8回目 : 転送元アドレス=DMA0SAR	転送先アドレス=DMA0DAR+H'0014
9回目 : 転送元アドレス=DMA0SAR	転送先アドレス=DMA0DAR+H'0004
10回目 : 転送元アドレス=DMA0SAR	転送先アドレス=DMA0DAR+H'000A
11回目 : 転送元アドレス=DMA0SAR	転送先アドレス=DMA0DAR+H'0010
12回目 : 転送元アドレス=DMA0SAR	転送先アドレス=DMA0DAR+H'0016

図 15.10 Multi-dimensional 転送の動作例



図 15.11 Scatter 転送の動作例



図 15.12 gather 転送の動作例



図 15.13 ストライド転送の動作例

15.5.8 DREQ 端子のサンプリングタイミング

各バスモードに対する DREQ 入力のサンプリングタイミングを図 15.14 ~ 図 15.23 に示します。

図 15.14、図 15.17、図 15.21 は 8/16/32 ビットバス幅にバイト転送、16/32 ビットバス幅にワード転送、32 ビットバス幅にロングワード転送した場合の DREQ 入力のサンプリングタイミングで DMA1 転送で 1 回の DACK が出力されます。

図 15.15、図 15.18、図 15.22 は 8 ビットバス幅にワード転送、8/16 ビットバス幅にロングワード転送、8/16/32 ビットバス幅に 16/32 バイト転送で DMA1 転送の DACK が分割される設定とした場合の DREQ 入力のサンプリングタイミングです。

図 15.16、図 15.19、図 15.23 は 8 ビットバス幅にワード転送、8/16 ビットバス幅にロングワード転送、8/16/32 ビットバス幅に 16/32 バイト転送で DMA1 転送の DACK つながる設定とした場合の DREQ 入力のサンプリングタイミングです。

8 ビットバス幅にワード転送、8/16 ビットバス幅にロングワード転送、8/16/32 ビットバス幅に 16/32 バイト転送をした場合は、DMA 転送単位が複数のバスサイクルに分割されます。DMA 転送サイズが複数のバスサイクルに分割され、かつバスサイクル間で CS がネゲートする設定の場合、CS と同様に DACK 出力が分割されます。詳細は「11.5.13 \overline{DACKn} 出力の分割に関するレジスタ設定」を参照ください。

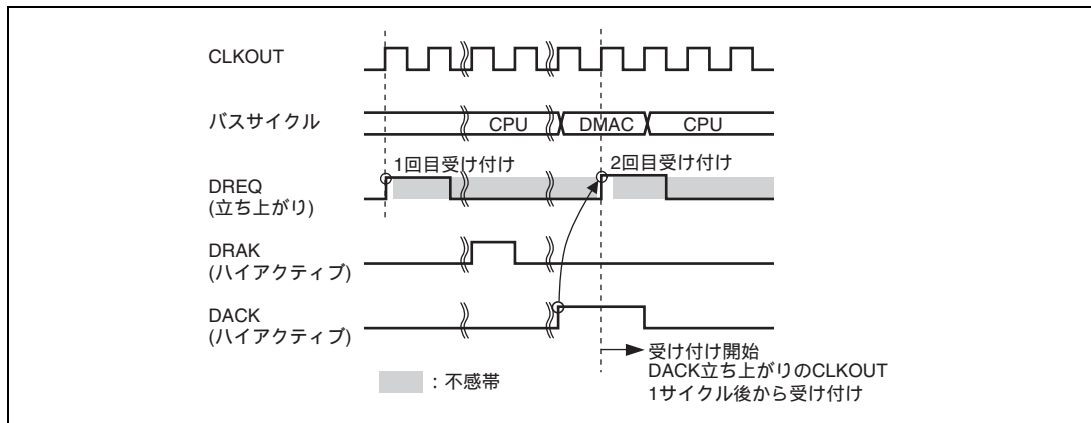


図 15.14 サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング例 1
(8/16/32 ビットバス幅にバイト転送、16/32 ビットバス幅にワード転送、32 ビットバス幅にロングワード転送)

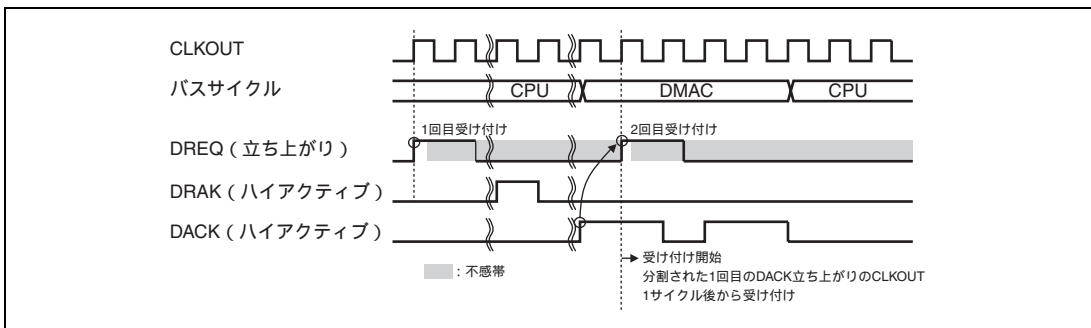


図 15.15 サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング例 2
(8 ビットバス幅にワード転送、8/16 ビットバス幅にロングワード転送、8/16/32 ビットバス幅に 16/32 バイト転送で DMA1 転送の DACK が分割される設定)

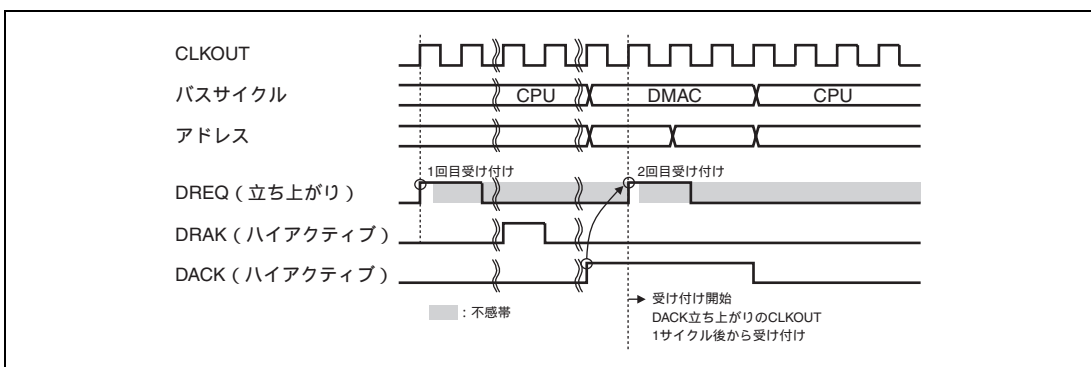


図 15.16 サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング例 3
(8 ビットバス幅にワード転送、8/16 ビットバス幅にロングワード転送、8/16/32 ビットバス幅に 16/32 バイト転送で DMA1 転送の DACK がつながる設定)

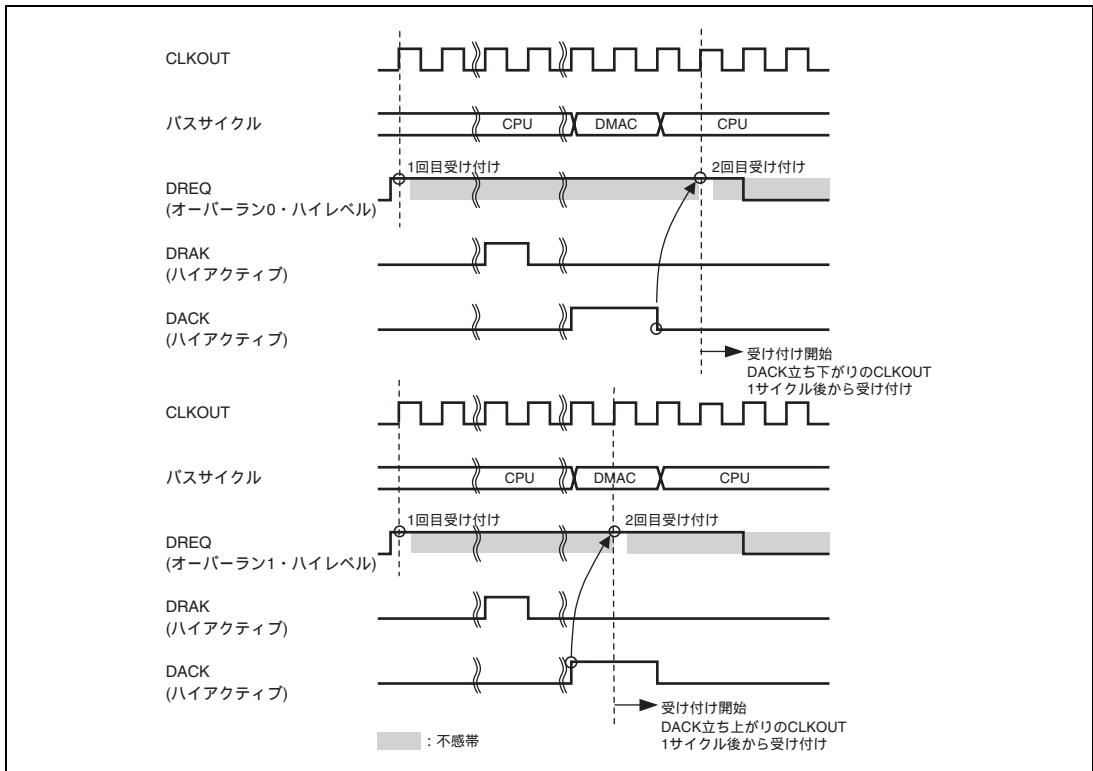


図 15.17 サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング例 1
 (8/16/32 ビットバス幅にバイト転送、16/32 ビットバス幅にワード転送、32 ビットバス幅にロングワード転送)

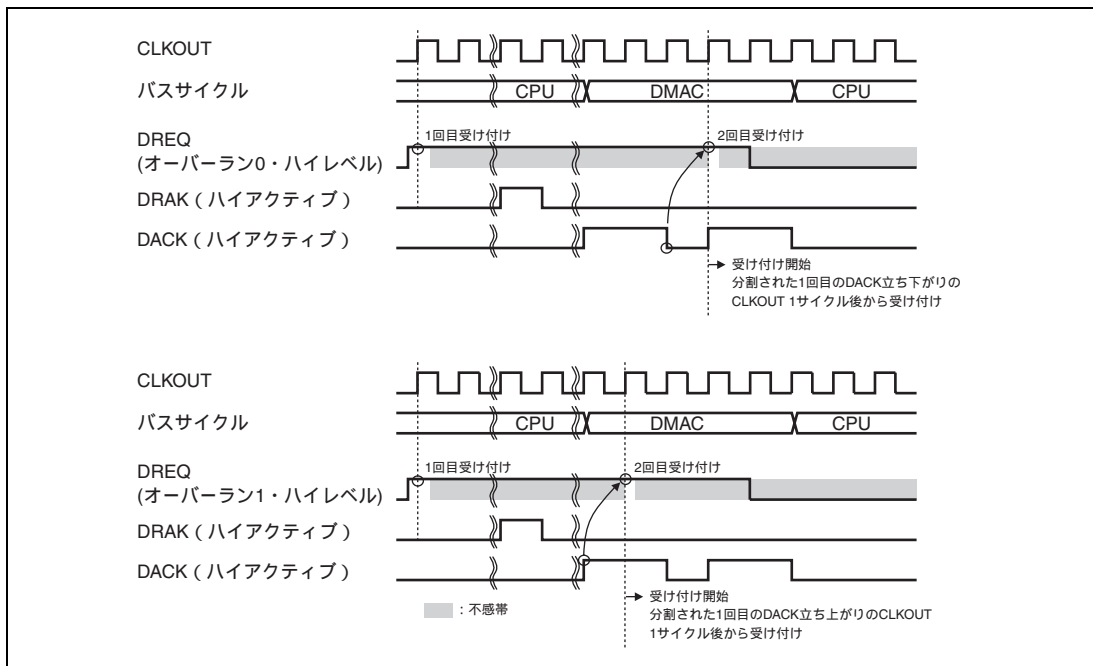
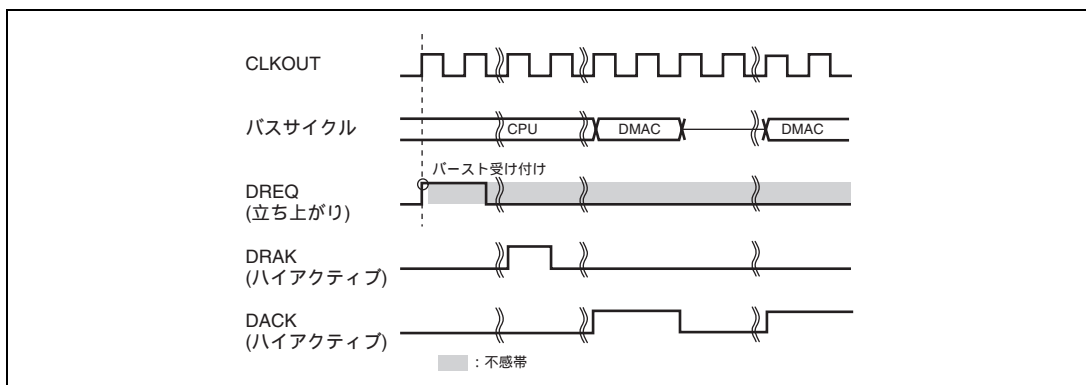
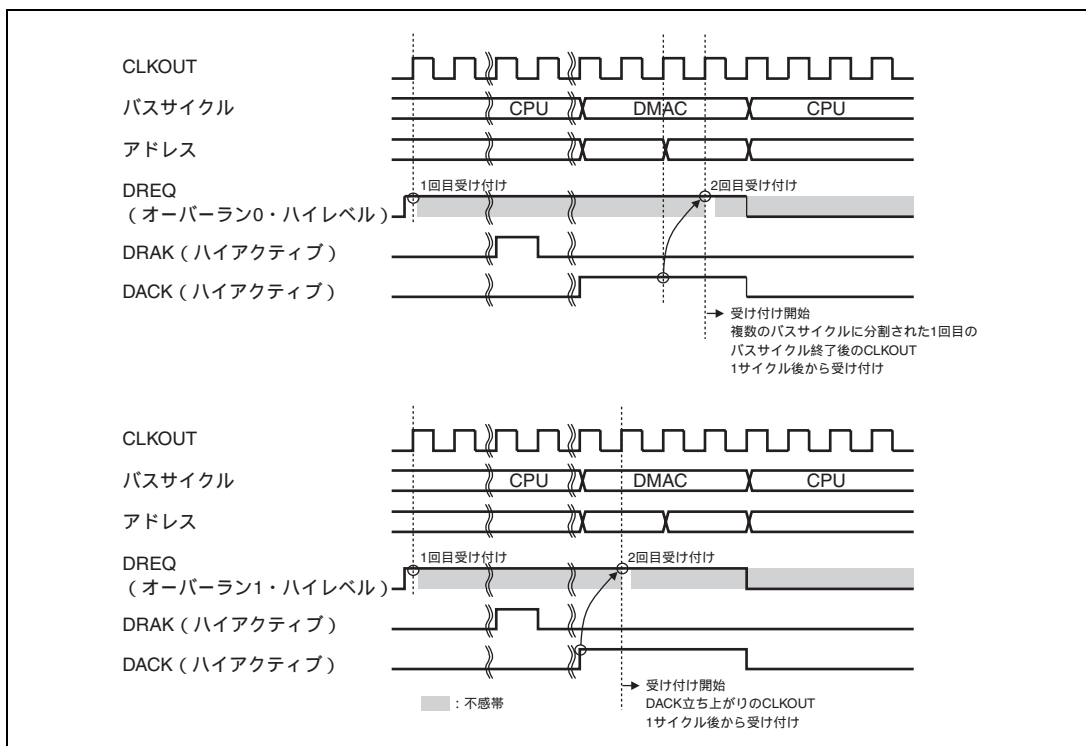


図 15.18 サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング例 2
 (8 ビットバス幅にワード転送、8/16 ビットバス幅にロングワード転送、8/16/32 ビットバス幅に 16/32 バイト転送で DMA1 転送の DACK が分割される設定)



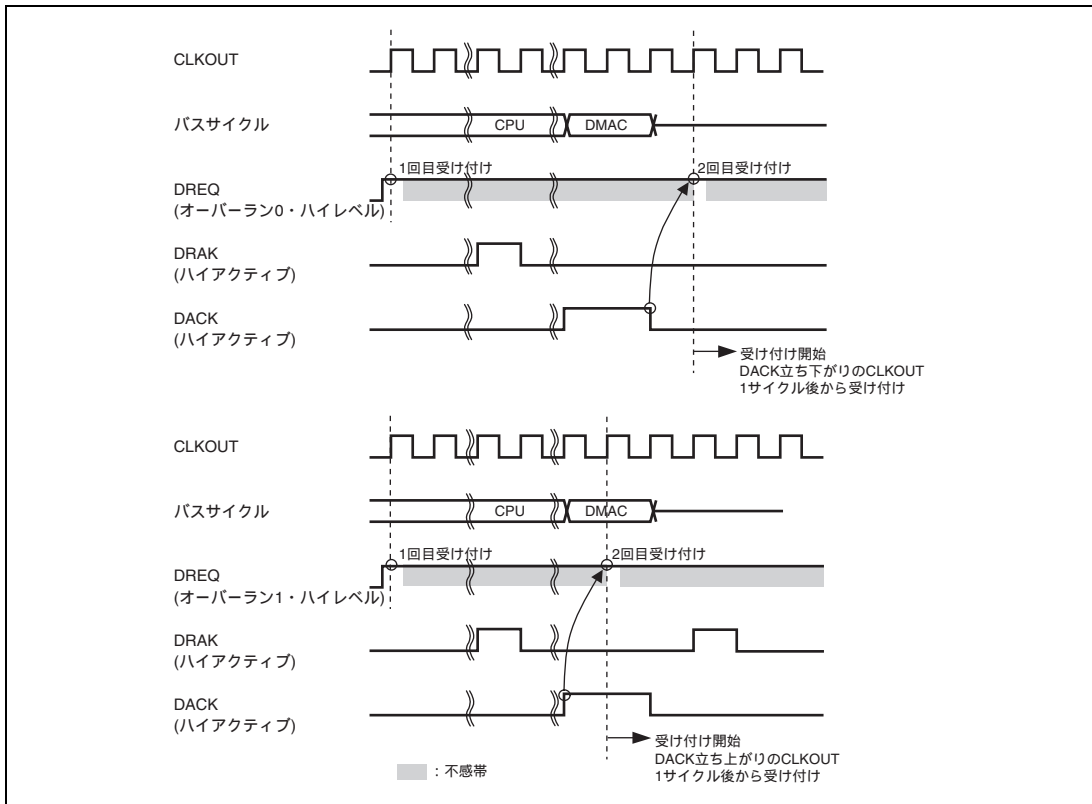


図 15.21 バーストモード・レベル検出時の DREQ 入力検出タイミング例 1
 (8/16/32 ビットバス幅にバイト転送、16/32 ビットバス幅にワード転送、32 ビットバス幅にロングワード転送)

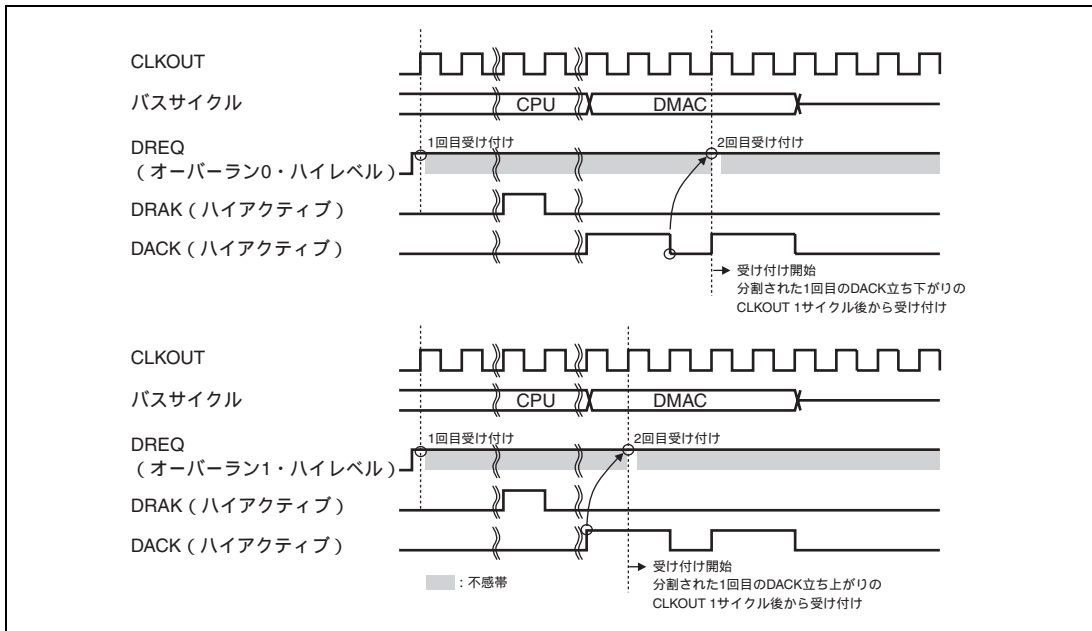


図 15.22 バーストモード・レベル検出時の DREQ 入力検出タイミング例 2
 (8 ビットバス幅にワード転送、8/16 ビットバス幅にロングワード転送、8/16/32 ビットバス幅に 16/32 バイト転送で DMA1 転送の DACK が分割される設定)

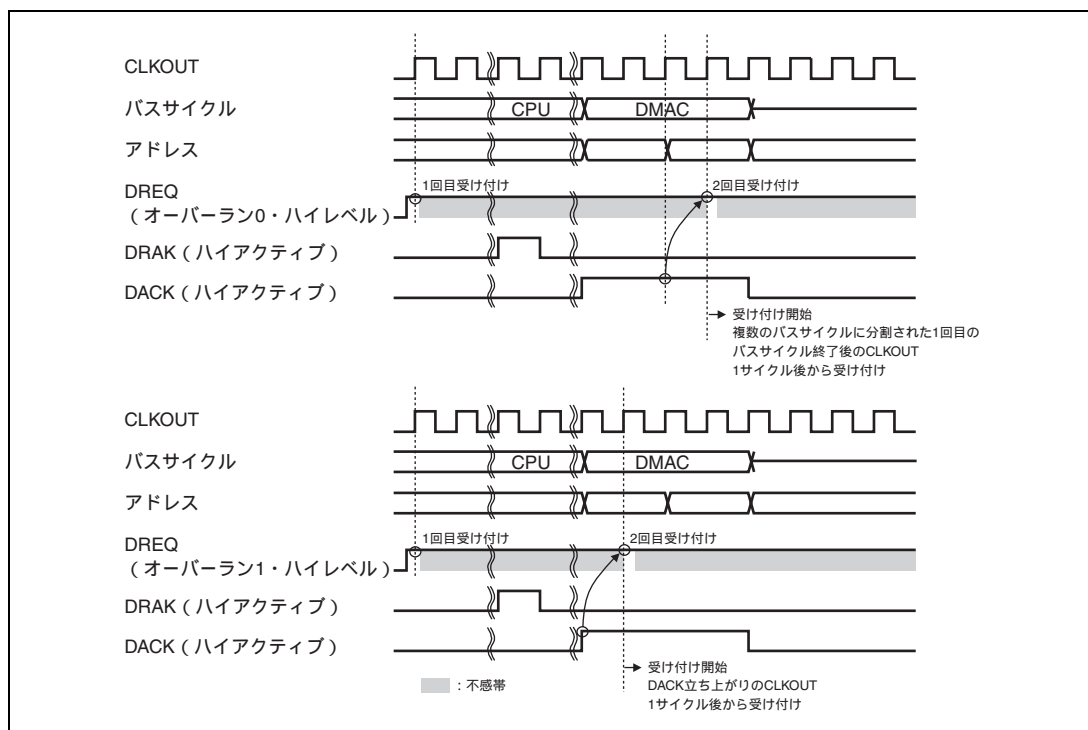


図 15.23 パーストモード・レベル検出時の DREQ 入力検出タイミング例 3

(8 ビットバス幅にワード転送、8/16 ビットバス幅にロングワード転送、8/16/32 ビットバス幅に 16/32 バイト転送で DMA1 転送の DACK がつながる設定)

15.6 DMAC0 の割り込み要因

DMAC0 は各チャンネルごとに DMA 転送終了 / ハーフエンド割り込み (DMA0INT0 ~ 5) 要求と全チャンネル共通の DMA アドレスエラー割り込み (DMA0AE) 要求の 7 種類の割り込み要因を持っています。

表 15.11 に各割り込み要因を示します。各割り込み要因は独立に割り込みコントローラに送られます。

表 15.11 DMAC0 の割り込み要因

割り込み要因	内容
DMA0INT0	チャンネル 0 DMA 転送終了 / ハーフエンド割り込み
DMA0INT1	チャンネル 1 DMA 転送終了 / ハーフエンド割り込み
DMA0INT2	チャンネル 2 DMA 転送終了 / ハーフエンド割り込み
DMA0INT3	チャンネル 3 DMA 転送終了 / ハーフエンド割り込み
DMA0INT4	チャンネル 4 DMA 転送終了 / ハーフエンド割り込み
DMA0INT5	チャンネル 5 DMA 転送終了 / ハーフエンド割り込み
DMA0AE	全チャンネル共通 DMA アドレスエラー割り込み

15.7 使用上の注意

本 DMAC0 を使用する際は、以下のことに注意してください。

15.7.1 モジュールストップ、周波数変更について

DMAC0 動作中にスタンバイコントロールレジスタ (MSTPCR1) による DMAC0 に対する動作 (0 にクリア) / 停止 (1 にセット) した場合、または DMAC0 動作中に周波数変更をした場合、動作の保証はできません。

DMA0OR レジスタの DME (ビット 0) がであるか、または DMA0CHCR0 ~ 5 レジスタの DE (ビット 0) がすべて "0" であることを確認後、スタンバイコントロールレジスタ (MSTPCR1) の設定、周波数変更を行ってください。

15.7.2 アドレスエラーについて

DMA0OR の AE ビットが 1 にセットされ、DMA アドレスエラーが発生した場合、全チャネルの再設定をした後、転送を開始してください。

15.7.3 DACK の分割出力

8 ビット、16 ビット、32 ビットバス幅に 16 バイト、32 バイト転送を行ったり、8 ビット、16 ビットバス幅にロングワード転送を行ったり、8 ビットバス幅にワード転送をする場合は、DMA 転送単位が複数のバスサイクルに分割されます。DMA 転送サイズが複数のバスサイクルに分割され、かつバスサイクル間で CS がネゲートする設定の場合、CS と同様に DACK 出力が分割されるので注意してください。

16. ダイレクトメモリアクセスコントローラ 1 (DMAC1)

16.1 概要

内部 (SuperHyway) バスに接続されるダイレクトメモリアクセスコントローラ 1 (DMAC1) は、外部メモリ (DDR-SDRAM)、内蔵メモリのデータ転送を、CPU に代わって高速に行うことができます。

16.1.1 特長

- チャンネル数：4チャンネル
- アドレス空間：アーキテクチャ上は64bitアドレス空間まで対応 製品としては32bitアドレス空間まで対応する。
- 転送データ量：
ch0、ch1：4バイト (H'0000_0004) ~ 536,870,912バイト (H'2000_0000) までを4バイト単位で設定可能。
ch2、ch3：1バイト (H'0000_0001) ~ 536,870,912バイト (H'2000_0000) までを1バイト単位で転送元からの転送と転送先への転送のそれぞれに設定可能
- 転送データサイズ：
ch0、ch1：4バイト、8バイト、16バイト、32バイト転送から転送アドレスと残りの転送データサイズにより自動選択します。
ch2、ch3：1バイト、2バイト、4バイト、8バイト、32バイト転送からレジスタ設定により選択可能です。
ただし、転送元アドレス、転送先アドレスを各バイトアドレス境界に設定しない場合、アドレス境界までのデータは1バイトずつ転送を行います。また、残りの転送データが、設定したデータサイズより小さくなった場合も、転送終了まで1バイト転送を実行します。
- アドレスモード：デュアルアドレスモード
- 優先順位：チャンネル優先順位固定
- 割り込み要求：DMA転送終了割り込み (DMA1TEn)、転送元転送エラー割り込み (DMA1Sen)、転送先転送エラー割り込み (DMA1Den) を各チャンネルごとに発生可能 (n=0~3、各チャンネルに対応します)
- データ転送：
ch0、ch1：SuperHyway上のリソース間において、連続領域の転送、ストライド転送およびgather/scatter転送可能
ch2、ch3：SuperHyway上のリソース間において、連続領域の転送可能
- コマンドチェーン：
ch0、ch1：指定したアドレスに設定されたデータ転送指示に従い、複数のデータ転送を連続実行可能
ch2、ch3：コマンドチェーンに対応しません。

- 発行可能なSuperHywayトランザクション

ch0、ch1

4/8/16/32バイト転送

ch2、ch3

1/2/4/8/32バイト転送

16.1.2 ブロック図

DMAC1 のブロック図を図 16.1 に示します。

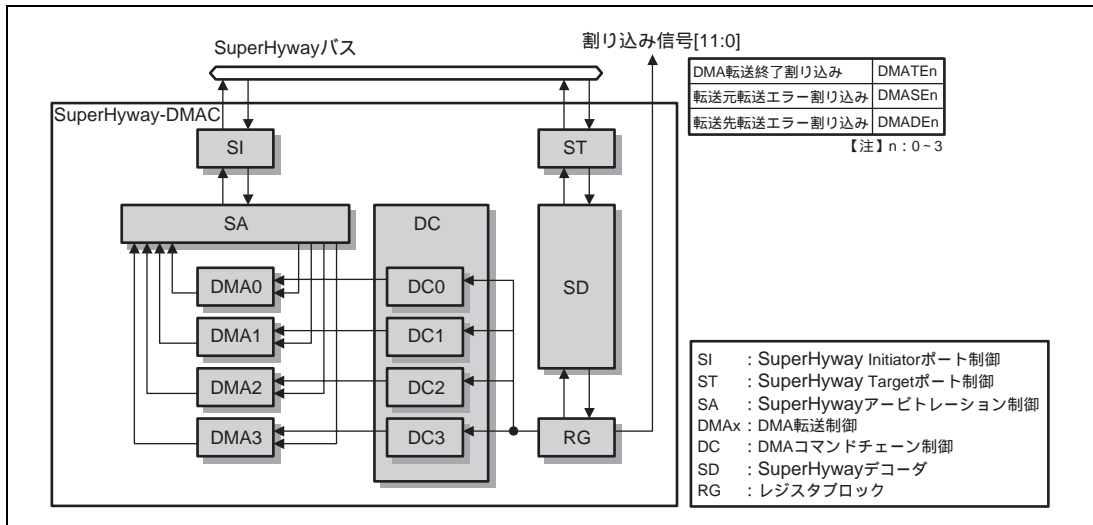


図 16.1 DMAC1 ブロック図

16.1.3 外部端子

本 DMAC 関係の外部端子はありません。

16.1.4 レジスタ構成

表 16.1 にレジスタ構成を示します。各チャンネルのレジスタについて、ch0 の DMA1SAR は DMA1SAR0 のように表記しています。表中に示したアクセスサイズ以外でレジスタアクセスを実行しないでください。

表 16.1 レジスタ構成

名称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ
DMA1 オペレーションレジスタ	DMA1OR	R/W	H'FEA0_0010	H'1EA0_00010	32
DMA1 ソースアドレス レジスタ 0~3	DMA1SAR0~3	R/W	ch0 : H'FEA0_0020 ch1 : H'FEA0_0120 ch2 : H'FEA0_0220 ch3 : H'FEA0_0320	ch0 : H'1EA0_00020 ch1 : H'1EA0_00120 ch2 : H'1EA0_00220 ch3 : H'1EA0_00320	32
DMA1 デスティネーション アドレスレジスタ 0~3	DMA1DAR0~3	R/W	ch0 : H'FEA0_0028 ch1 : H'FEA0_0128 ch2 : H'FEA0_0228 ch3 : H'FEA0_0328	ch0 : H'1EA0_00028 ch1 : H'1EA0_00128 ch2 : H'1EA0_00228 ch3 : H'1EA0_00328	32
DMA1 バイトカウントレジスタ 0~3	DMA1BCNTR0~3	R/W	ch0 : H'FEA0_0030 ch1 : H'FEA0_0130 ch2 : H'FEA0_0230 ch3 : H'FEA0_0330	ch0 : H'1EA0_00030 ch1 : H'1EA0_00130 ch2 : H'1EA0_00230 ch3 : H'1EA0_00330	32
DMA1 ストライドカウント レジスタ 0、1	DMA1SBCNTR0、1	R/W	ch0 : H'FEA0_0034 ch1 : H'FEA0_0134	ch0 : H'1EA0_00034 ch1 : H'1EA0_00134	32
DMA1 ストライドレジスタ 0、1	DMA1STRR0、1	R/W	ch0 : H'FEA0_0038 ch1 : H'FEA0_0138	ch0 : H'1EA0_00038 ch1 : H'1EA0_00138	32
DMA1 コマンドチェーン アドレスレジスタ 0、1	DMA1CCAR0、1	R/W	ch0 : H'FEA0_0040 ch1 : H'FEA0_0140	ch0 : H'1EA0_00040 ch1 : H'1EA0_00140	32
DMA1 チャンネルコントロール レジスタ 0~3	DMA1CHCR0~3	R/W	ch0 : H'FEA0_0048 ch1 : H'FEA0_0148 ch2 : H'FEA0_0248 ch3 : H'FEA0_0348	ch0 : H'1EA0_00048 ch1 : H'1EA0_00148 ch2 : H'1EA0_00248 ch3 : H'1EA0_00348	32
DMA1 チャンネルステータス レジスタ 0~3	DMA1CHSR0~3	R(W)*	ch0 : H'FEA0_004C ch1 : H'FEA0_014C ch2 : H'FEA0_024C ch3 : H'FEA0_034C	ch0 : H'1EA0_0004C ch1 : H'1EA0_0014C ch2 : H'1EA0_0024C ch3 : H'1EA0_0034C	32
DMA1 ソース転送サイズ レジスタ 2、3	DMA1STRS2、3	R/W	ch2 : H'FEA0_0260 ch3 : H'FEA0_0360	ch2 : H'1EA0_00260 ch3 : H'1EA0_00360	32
DMA1 デスティネーション 転送サイズレジスタ 2、3	DMA1DTRS2、3	R/W	ch2 : H'FEA0_0270 ch3 : H'FEA0_0370	ch2 : H'1EA0_00270 ch3 : H'1EA0_00370	32

【注】 * SE、DE、TE ビットをクリアするために、1のみ書き込むことができます。

表 16.2 各処理モードにおけるレジスタの状態

名称	略称	パワーオンリセット	マニュアルリセット	スリープ/ライトスリープ	モジュールスタンバイ
DMA1 オペレーションレジスタ	DMA1OR	H'00000000	保持	保持	保持
DMA1 ソースアドレスレジスタ 0~3	DMA1SAR0~3	H'00000000	保持	保持	保持
DMA1 デスティネーションアドレスレジスタ 0~3	DMA1DAR0~3	H'00000000	保持	保持	保持
DMA1 バイトカウントレジスタ 0~3	DMA1BCNTR0~3	H'00000000	保持	保持	保持
DMA1 ストライドカウントレジスタ 0、1	DMA1SBCNTR0、1	H'00000000	保持	保持	保持
DMA1 ストライドレジスタ 0、1	DMA1STRR0、1	H'00000000	保持	保持	保持
DMA1 コマンドチェーンアドレスレジスタ 0、1	DMA1CCAR0、1	H'00000000	保持	保持	保持
DMA1 チャンネルコントロールレジスタ 0~3	DMA1CHCR0~3	H'00000000	保持	保持	保持
DMA1 チャンネルステータスレジスタ 0~3	DMA1CHSR0~3	H'00000000	保持	保持	保持
DMA1 ソース転送サイズレジスタ 2、3	DMA1STRS2、3	H'00000000	保持	保持	保持
DMA1 デスティネーション転送サイズレジスタ 2、3	DMA1DTRS2、3	H'00000000	保持	保持	保持

16.2 レジスタの説明

DMAC1 には以下のレジスタがあります。

(1) 共通

- DMA1オペレーションレジスタ (DMA1OR)

(2) チャンネル 0

- DMA1ソースアドレスレジスタ0 (DMA1SAR0)
- DMA1デスティネーションアドレスレジスタ0 (DMA1DAR0)
- DMA1バイトカウントレジスタ0 (DMA1BCNTR0)
- DMA1ストライドカウントレジスタ0 (DMA1SBCNTR0)
- DMA1ストライドレジスタ0 (DMA1STRR0)
- DMA1コマンドチェーンアドレスレジスタ0 (DMA1CCAR0)
- DMA1チャンネルコントロールレジスタ0 (DMA1CHCR0)
- DMA1チャンネルステータスレジスタ0 (DMA1CHSR0)

(3) チャンネル 1

- DMA1ソースアドレスレジスタ1 (DMA1SAR1)
- DMA1デスティネーションアドレスレジスタ1 (DMA1DAR1)
- DMA1バイトカウントレジスタ1 (DMA1BCNTR1)
- DMA1ストライドカウントレジスタ1 (DMA1SBCNTR1)
- DMA1ストライドレジスタ1 (DMA1STRR1)
- DMA1コマンドチェーンアドレスレジスタ1 (DMA1CCAR1)
- DMA1チャンネルコントロールレジスタ1 (DMA1CHCR1)
- DMA1チャンネルステータスレジスタ1 (DMA1CHSR1)

(4) チャンネル 2

- DMA1ソースアドレスレジスタ2 (DMA1SAR2)
- DMA1デスティネーションアドレスレジスタ2 (DMA1DAR2)
- DMA1バイトカウントレジスタ2 (DMA1BCNTR2)
- DMA1チャンネルコントロールレジスタ2 (DMA1CHCR2)
- DMA1チャンネルステータスレジスタ2 (DMA1CHSR2)
- DMA1ソース転送サイズレジスタ2 (DMA1STRS2)
- DMA1デスティネーション転送サイズレジスタ2 (DMA1DTRS2)

(5) チャンネル 3

- DMA1ソースアドレスレジスタ3 (DMA1SAR3)
- DMA1デスティネーションアドレスレジスタ3 (DMA1DAR3)
- DMA1バイトカウントレジスタ3 (DMA1BCNTR3)
- DMA1チャンネルコントロールレジスタ3 (DMA1CHCR3)
- DMA1チャンネルステータスレジスタ3 (DMA1CHSR3)
- DMA1ソース転送サイズレジスタ3 (DMA1STRS3)
- DMA1デスティネーション転送サイズレジスタ3 (DMA1DTRS3)

【レジスタ説明の記号説明】

初期値 : リセット後のレジスタ値

: 不定値

R/W : リードおよびライト可。書き込み値を読み出すことができます。

R/WC0 : リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

R/WC1 : リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。

R : リードのみ可。書き込む値は常に 0 にしてください。

16.2.1 DMA1 オペレーションレジスタ (DMA1OR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DM A1E	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31	DMA1E	0	R/W	DMA マスターイネーブルビット DMA 転送イネーブルを指定します。 DMA 転送機能を使用する場合には、1 をセットしてください。 本ビットを 0 にクリアすると、すべてのチャンネルの転送を中断します。中断した場合、再度本ビットを 1 にセットしても、中断した DMA 転送を再開することはできません。 転送を中止した場合、DMA1DAR0~3 の示す値の 2 つ前の転送までは完了していますが、1 つ前と現在のアドレスのデータ値は保証できません。
30~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

16.2.2 DMA1 ソースアドレスレジスタ 0~3 (DMA1SAR0~DMA1SAR3)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DMA1SAR															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DMA1SAR															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DMA1SAR	すべて 0	R/W	DMA 転送時の転送元アドレスを指定します。 DMA 転送中は、現在発行している転送元アドレスを示しています。 32bit 物理アドレス空間に対応しています。 DMA1SAR0, DMA1SAR1 は 4 バイト境界のみが指定可能で、ビット 1、ビット 0 はリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

16.2.3 DMA1 デスティネーションアドレスレジスタ 0~3 (DMA1DAR0~DMA1DAR3)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DMA1DAR															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DMA1DAR															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DMA1DAR	すべて 0	R/W	DMA 転送時の転送先アドレスを指定します。 DMA 転送中は、現在発行している転送先アドレスを示しています。 32bit 物理アドレス空間に対応しています。 DMA1DAR0、1 は 4 バイト境界のみが指定可能で、ビット 1、ビット 0 はリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

16.2.4 DMA1 バイトカウントレジスタ 0~3 (DMA1BCNTR0 ~ DMA1BCNTR3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—			BCNT												
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BCNT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~0	BCNT	すべて 0	R/W	<p>転送バイトカウントを指定します。</p> <p>0 を指定した場合は、2^{29} (=536,870,912) バイトを転送します。</p> <p>DMA1BCNTR0,1 は 4 バイト単位のみが指定可能で、ビット 1、ビット 0 はリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>ch0、ch1 では転送元から転送されたバイト数をカウントします。</p> <p>ch2、ch3 では、転送元と転送先のどちらのバイト数カウントをするかはソース転送サイズレジスタとデスティネーション転送サイズレジスタの設定値によって決まります。</p> <p>(1) ソース転送サイズレジスタ \geq デスティネーション転送サイズレジスタ 転送先の転送バイトをカウントします。</p> <p>(2) ソース転送サイズレジスタ $<$ デスティネーション転送サイズレジスタ 転送元の転送バイトをカウントします。</p>

16.2.5 DMA1 ストライドカウントレジスタ 0、1 (DMA1SBCNTR0、DMA1SBCNTR1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SBCINI														—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SBCNT														—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~18	SBCINI	すべて 0	R/W	初期ストライドカウンタ ストライドカウンタの初期値を指定します。 ストライド・gather/scatter 転送で一塊として転送されるデータ転送バイト数の初期値を設定します。 4 の倍数のみ指定可能であり、本フィールドには指定する数の 4 分の 1 (下位 2 ビットを除いた数字) を指定します。
17、16		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~2	SBCNT	すべて 0	R/W	ストライドカウンタ ストライドカウンタを指定します。 ストライド・gather/scatter 転送で一塊として転送されるデータ転送バイト数のカウンタとなります。データ転送中は、残りの転送バイト数を示しています。 BCNT 0 かつ SBCNT=0 となったときは、SBINI の値をロードしてデータ転送を継続します。 4 の倍数のみ指定可能であり、本フィールドには指定する数の 4 分の 1 (下位 2 ビットを除いた数字) を指定します。
1、0		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

16.2.6 DMA1 ストライドレジスタ 0、1 (DMA1STRR0、DMA1STRR1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SS														—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DS														—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~18	SS	すべて0	R/W	転送元アドレスストライド幅 転送元アドレスのストライド幅を指定します。 4の倍数のみ指定可能であり、本フィールドには指定する数の4分の1(下位2ビットを除いた数字)を指定します。
17、16		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15~2	DS	すべて0	R/W	転送先アドレスストライド幅 転送先アドレスのストライド幅を指定します。 4の倍数のみ指定可能であり、本フィールドには指定する数の4分の1(下位2ビットを除いた数字)を指定します。
1、0		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

16.2.7 DMA1 コマンドチェーンアドレスレジスタ 0、1(DMA1CCAR0、DMA1CCAR1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	CCA																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	CCA												—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	

ビット	ビット名	初期値	R/W	説明
31~5	CCA	すべて 0	R/W	<p>コマンドチェーンアドレス</p> <p>コマンドチェーンを実行する場合、最初のコマンドチェーンのコマンド列のアドレスを指定してください。</p> <p>コマンドチェーン実行中は次に実行するコマンドチェーンのアドレスを指定します。</p> <p>32 バイト境界のみが指定可能であり、本フィールドには下位 5 ビットを除いた部分を指定します。</p>
4~0		すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

16.2.8 DMA1 チャンネルコントロールレジスタ 0~3 (DMA1CHCR0~DMA1CHCR3)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CHE	—	CCRE	—	—	—	SA SRE	DA SRE	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R/W	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	CHE	0	R/W	<p>DMA チャンネルイネーブル</p> <p>チャンネルイネーブルを指定します。</p> <p>本ビットを 1 にセットすると該当するチャンネルでのデータ転送を開始します。ただし、転送終了 (TE) や転送エラー (DE/SE) を示すビットが 1 となっている間は転送を行いません。</p> <p>本ビットを 0 にクリアすると、転送を中断します。中断した場合、再度本ビットを 1 にセットしても、中断した DMA 転送を再開することはできません。</p> <p>転送を中止した場合、DMA1DAR0~3 の示す値の 2 つ前の転送までは完了していますが、1 つ前と現在のアドレスのデータ値は保証できません。</p> <p>本ビットは、コマンドチェーン実行時のコマンド取得のための LOAD 転送に対するエラーレスポンスが発生した場合を除き、転送終了や中断によって、0 クリアされることはありません。</p> <p>0 : データ転送を禁止 1 : データ転送を許可</p>
30		0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
29	CCRE	0	R/W	<p>コマンドチェーンイネーブル コマンドチェーンイネーブルを指定します。</p> <p>本ビットがセットされた状態でデータ転送要求が発生したとき、DCCAR に設定されたアドレスからコマンドを読み込んでデータ転送を実施します。</p> <p>0 : コマンドチェーン無効 1 : コマンドチェーン有効</p> <p>このビットは、DMA1CHCR2、DMA1CHCR3 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
28~26		すべて 0	R	<p>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
25	SASRE	0	R/W	<p>転送元アドレスストライドイネーブル 転送元アドレスストライドレジスタイネーブルを指定します。</p> <p>0 : DMA1STRR0、1.SS ビットは無効 1 : DMA1STRR0、1.SS ビットは有効</p> <p>このビットは、DMA1CHCR2、DMA1CHCR3 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
24	DASRE	0	R/W	<p>転送先アドレスストライドイネーブル 転送先アドレスストライドレジスタイネーブルを指定します。</p> <p>0 : DMA1STRR0、1.DS ビットは無効 1 : DMA1STRR0、1.DS ビットは有効</p> <p>このビットは、DMA1CHCR2、DMA1CHCR3 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
23~0		すべて 0	R	<p>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

16.2.9 DMA1 チャネルステータスレジスタ 0~3 (DMA1CHSR0~DMA1CHSR3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	SEE	—	DEE	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R	R/W	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	SE	—	DE	—	—	—	—	—	IE	—	—	TE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W1C	R	R/W1C	R	R	R	R	R	R/W	R	R	R/W1C

ビット	ビット名	初期値	R/W	説明
31~28		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27	SEE	0	R/W	転送元転送エラー割り込みイネーブル 転送元からの転送での転送エラーによる割り込みイネーブルを指定します。 本ビットを 1 にセットした場合、SE ビットがセットされると、割り込みを要求します。 0: 割り込み発生を禁止します。 1: 割り込み発生を許可します。
26		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25	DEE	0	R/W	転送先転送エラー割り込みイネーブル 転送先への転送での転送エラーによる割り込みイネーブルを指定します。 本ビットを 1 にセットした場合、DE ビットがセットされると、割り込みを要求します。 0: 割り込み発生を禁止します。 1: 割り込み発生を許可します。
24~12		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
11	SE	0	R/WC1	<p>転送元転送エラーフラグ</p> <p>転送元からの転送で以下の条件によるアドレスエラーが発生したことを示します。</p> <p>DMA1SAR0~3 に設定された値が転送サイズ境界と不一致</p> <p>転送元がアドレスマップ上の undefine 空間の場合</p> <p>転送元がモジュールストップ中の場合</p> <p>エラーが発生した場合、実行中の DMA 転送は停止します。</p> <p>本ビットがセットされていると、DMA1CHCR0~3.CHE ビットを 1 にしても転送は行われません。</p> <p>【クリア方法】本ビットへの 1 書き込みでフラグはクリアされます。0 書き込みは無視されます。本ビットをクリアする場合を除いて 0 を書き込むようにしてください。</p>
10		0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
9	DE	0	R/WC1	<p>転送先転送エラーフラグ</p> <p>転送先への転送で以下の条件によるアドレスエラーが発生したことを示します。</p> <p>DMA1DAR0~3 に設定された値が転送サイズ境界と不一致</p> <p>転送先がアドレスマップ上の undefine 空間の場合</p> <p>転送先がモジュールストップ中の場合</p> <p>エラーが発生した場合、実行中の DMA 転送は停止します。</p> <p>本ビットがセットされていると、DMA1CHCR0~3.CHE ビットを 1 にしても転送は行われません。</p> <p>【クリア方法】本ビットへの 1 書き込みでフラグはクリアされます。0 書き込みは無視されます。本ビットをクリアする場合を除いて 0 を書き込むようにしてください。</p>
8~4		すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
3	IE	0	R/W	<p>DAM 転送終了割り込みイネーブル</p> <p>DMA 転送終了による割り込みイネーブルを指定します。</p> <p>本ビットを 1 にセットした場合、TE ビットがセットされると、割り込みを要求します。</p> <p>0: 割り込み要求を禁止</p> <p>1: 割り込み要求を許可</p>
2, 1		すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
0	TE	0	R/WC1	<p>DMA 転送終了フラグ</p> <p>転送終了フラグを示します。</p> <p>DMA1BCNTR0~3の値が0になり、データ転送が終了すると、本ビットは1にセットされます。転送エラーによって転送が終了した場合、あるいはDMA1CHCR0~3.CHE ビットをクリアして転送を強制終了させた場合には、本ビットは1にセットされません。</p> <p>また、転送が正常に終了した場合でも、コマンドチェーンを使用して(CCRE=1)、次の転送が指定されている場合は、本ビットは1にセットされません。</p> <p>本ビットがセットされていると、DMA1CHCR0~3.CHE ビットを1にしても転送は行われません。</p> <p>0：データ転送中またはデータ転送の転送中断</p> <p>1：(DMBCNTR0~3=0により)データ転送終了</p> <p>【クリア方法】本ビットへの1書き込みでフラグはクリアされます。0書き込みは無視されます。本ビットをクリアする場合を除いて0を書き込むようにしてください。</p>

16.2.10 DMA1 ソース転送サイズレジスタ 2、3 (DMA1STRS2、DMA1STRS3)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
																STRS
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3		すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2~0	STRS	すべて0	R/W	転送元 DMA 転送サイズ設定 転送元からの DMA 転送サイズの設定を行います。 000 : バイト単位 (初期値) 001 : ワード (2 バイト) 単位 010 : ロングワード (4 バイト) 単位 011 : 8 バイト単位転送 100 : 予約 (設定しないでください) 101 : 32 バイト単位転送 110 : 予約 (設定しないでください) 111 : 予約 (設定しないでください)

16.2.11 DMA1 デスティネーション転送サイズレジスタ 2、3 (DMA1DTRS2、DMA1DTRS3)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DTRS		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	DTRS	すべて0	R/W	転送先 DMA 転送サイズ設定 転送先への DMA 転送サイズの設定を行います。 000 : バイト単位 (初期値) 001 : ワード (2 バイト) 単位 010 : ロングワード (4 バイト) 単位 011 : 8 バイト単位転送 100 : 予約 (設定しないでください) 101 : 32 バイト単位転送 110 : 予約 (設定しないでください) 111 : 予約 (設定しないでください)

16.3 動作説明

表 16.3 に DMAC1 がサポートする転送区間を示します。

表 16.3 DMAC1 転送区間

転送元	転送先		
	LBSC 空間	DDR2-SDRAM 空間	L メモリ L2C メモリ
LBSC 空間	○	○	○
DDR3-SDRAM 空間	○	○	○
L メモリ、L2C メモリ	○	○	○

【注】 ○：転送可能

ch0、ch1 を使用して LBSC 空間 (MPX またはバースト ROM インタフェースとして使用する場合)、L メモリ、L2C メモリに対し DMA 転送を行う場合、以下の条件に従って設定を行ってください。以下の条件以外の設定は、禁止です。(n：正の整数)

*1 連続領域転送の場合

- ・ L メモリ、L2C メモリ、LBSC 空間が転送元の場合、DMA1SAR0、1 は 32 バイト境界としてください。
- ・ L メモリ、L2C メモリ、LBSC 空間が転送先の場合、DMA1DAR0、1 は 32 バイト境界としてください。
- ・ DMA1BCNTR0、1 は 32n バイト (DMA1BCNTR0、1 のビット 4~0 は 0) の設定としてください。

*2 ストライド/gather/scatter 転送の場合

- ・ L メモリ、L2C メモリ、LBSC 空間が転送元の場合、DMA1SAR0、1 は 32 バイト境界とし、DMA1STRR0、1 の SS は 32n バイト (DMA1STRR0、1 のビット 20~16 は 0) の設定としてください。
- ・ L メモリ、L2C、LBSC メモリ空間が転送先の場合、DMA1DAR0、1 は 32 バイト境界とし、DMA1STRR0、1 の DS は 32n バイト (DMA1STRR0、1 のビット 4~0 は 0) の設定としてください。
- ・ DMA1BCNTR0、1 は 32n バイトの設定 (DMA1BCNTR0、1 のビット 4~0 は 0) としてください。
- ・ DMA1SBCNTR0、1 の SBCINI、SBCNT は 32n バイト (DMA1SBCNTR0、1 のビット 20~16、ビット 4~0 は 0) の設定としてください。

ch2、ch3 を使用して LBSC 空間 (MPX、またはバースト ROM インタフェースとして使用する場合) に対し DMA 転送サイズを 32 バイト設定として DMA 転送を行う場合、以下の条件に従って設定を行ってください。

以下の条件以外の設定は、禁止です。

- ・ LBSC 空間が転送元、転送先の場合、DMA1SAR2、3 は 32 バイト境界としください。

動作内容とチャンネルコントロールレジスタ設定の関係を表 16.4 に示します。

チャンネルコントロールレジスタ 0~3 (DMA1CHCR0~3) のビット 31、29、25、24 の 4 ビットで動作内容を制御します。ch2、ch3 は連続領域転送のみとなります。

表 16.4 動作内容とチャンネルコントロールレジスタ設定の関係

	ビット	31	29	25	24
	ビット名	CHE	CCRE	SASRE	DASRE
		チャンネルイネーブル	コマンドチェーンイネーブル	転送元ストライドイネーブル	転送先ストライドイネーブル
動作内容	動作なし	0			
	連続領域転送	1	0	0	0
	ストライド転送*	1	0	1	1
	gather 転送*	1	0	1	0/1
	scatter 転送*	1	0	0/1	01
	コマンドチェーン*	1	1		
	設定禁止	その他組み合わせ			

【注】 * ch0、ch1 のみ設定可能です。

: don't care

gather 転送で DMA1CHCR.DASRE=0 の場合と、DMA1CHCR.DASRE=1 かつ DMA1STRR.DS=0 である場合、転送先の開始アドレスはいずれのブロックでも同じになります。

同様に scatter 転送で DMA1CHCR.SASRE=0 の場合と、DMA1CHCR.SASRE=1 かつ DMA1STRR.SS=0 である場合、転送元の開始アドレスはいずれのブロックでも同じになります。

16.3.1 チャンネルの優先順

DMAC1 は、複数のチャンネルに対して転送要求があった場合には、一回の転送単位 (バイト、ワード、ロングワード、8 バイト、16 バイトまたは 32 バイト単位) の読み出しサイクル、または書き込みサイクルの転送が終了するたびに、転送可能なチャンネルのうちで最も優先度の高いチャンネルの転送が開始されます。

同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を開始します。

同時転送要求時 : CH3 > CH2 > CH1 > CH0

16.3.2 連続領域転送 (ch0 ~ 3)

各種レジスタに転送条件を設定後、チャンネルコントロールレジスタに連続領域転送の指示を設定すると、以下の手順でデータ転送を行います。

以下の手順では ch0 のレジスタ設定を行っています。ch1 ~ ch3 を使用する場合も同様の設定です。

1. 転送許可状態かどうかをチェックします。

DMA1OR.DMAE=1、DMA1CHCR0.CHE=1、DMA1CHSR0.SE=0、DMA1CHSR0.DE=0、DMA1CHSR0.TE=0
であれば転送許可状態です。

また、表16.4に従って、連続領域転送の設定をしてください。

2. 転送許可状態ならばデータ転送を開始します。1回の転送を行うごとに DMA1BCNTR0 の値をデクリメントします。
3. 指定されたバイト数の転送を終える (DMA1BCNTR0=0) と転送を正常終了し、DMA1CHCR0.TE を 1 にセットします。

DMA1CHSR0.IE=1のとき、CPUに対して転送終了割り込みを発生します。

転送エラーが発生した場合には、データ転送は中断されます。このとき、DMA1CHSR0.SEもしくは
DMA1CHSR0.DEが1にセットされます。

また、DMA1CHCR0.CHEを0にクリアしてもデータ転送は中断されません。

ch0、ch1 では、DMA1SAR0、1 および DMA1DAR0、1 で設定したアドレスと、転送中の残りのデータサイズによって転送サイズを自動で決定します。

ch2、ch3 では、DMA1STRS2、3 および DMA1DTRS2、3 で設定した転送サイズで転送を行います。

ただし、設定した転送サイズに対応するアドレス境界以外に DMA1SAR2、3 もしくは DMA1DAR2、3 を設定した場合、設定した転送サイズに対応するアドレス境界に到達するまで、1 バイト転送を実行します。

また、残りの転送データサイズが設定した転送サイズよりも小さくなった場合も、転送終了まで 1 バイト転送を実行します。

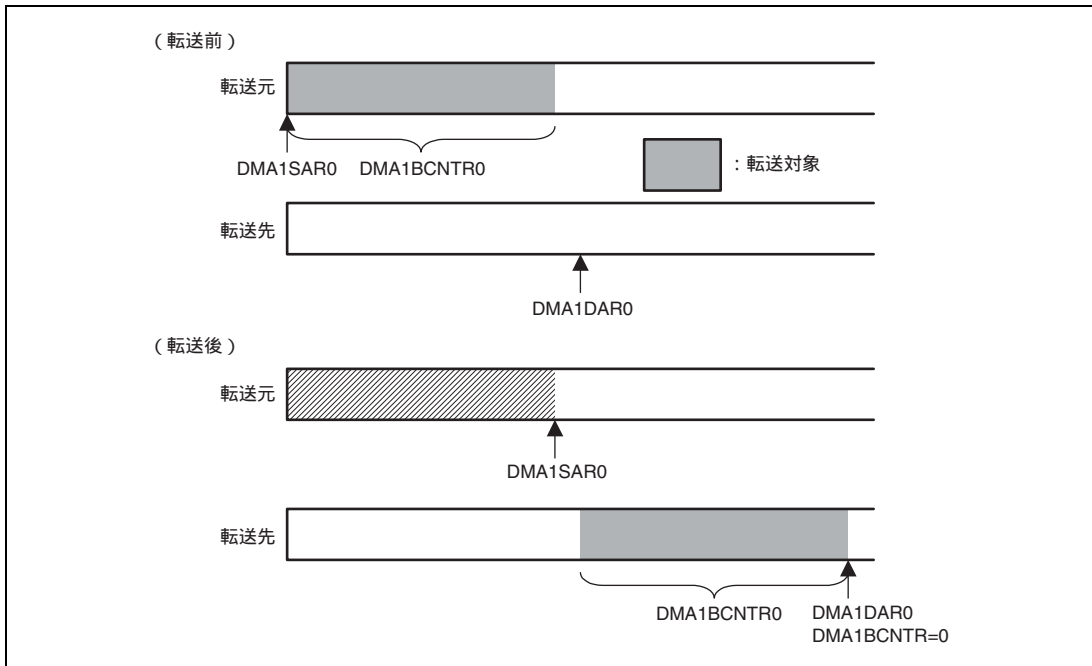


図 16.2 連続領域転送

16.3.3 ストライド/gather/scatter 転送 (ch0、ch1)

各種レジスタに転送条件を設定後、チャンネルコントロールレジスタにストライド/gather/scatter 転送の指示を設定すると、以下の手順でデータ転送を行います。

以下の手順では ch0 のレジスタ設定を行っています。ch1 を使用する場合も同様の設定です。

1. 転送許可状態かどうかをチェックします。

DMA1OR.DMAE=1、DMA1CHCR0.CHE=1、DMA1CHSR0.SE=0、DMA1CHSR0.DE=0、DMA1CHSR0.TE=0
であれば転送許可状態です。

また、表16.4に従って、ストライド/gather/scatter転送の設定をしてください。

2. 転送許可状態ならばデータ転送を開始します。1回の転送を行うごとにDMA1BCNTR0とDMA1SBCNTR0.SBCNTの値をデクリメントします。
3. DMA1BCNTR0 = 0かつDMA1SBCNTR0.SBCNT=0となると、DMA1DAR0にDMA1STRR0.DS、DMA1SAR0にDMA1STRR.SSを加算し、次の転送元、転送先アドレスを求めます。
そして、DMA1SBCNTR0.SBCINIに設定された値をDMA1SBCNTR0.SBCNTに設定し、項番2へ戻ります。
4. 指定されたバイト数の転送を終える (DMA1BCNTR0=0) と転送を正常終了し、DMA1CHSR0.TEを1にセットします。

DMA1CHSR0.IE=1のとき、CPUに対して転送終了割り込みを発生します。

転送エラーが発生した場合には、データ転送は中断されます。このとき、DMA1CHSR0.SEもしくはDMA1CHSR0.DEがセットされます。

また、DMA1CHCR0.CHEを0にクリアしてもデータ転送は中断されます。

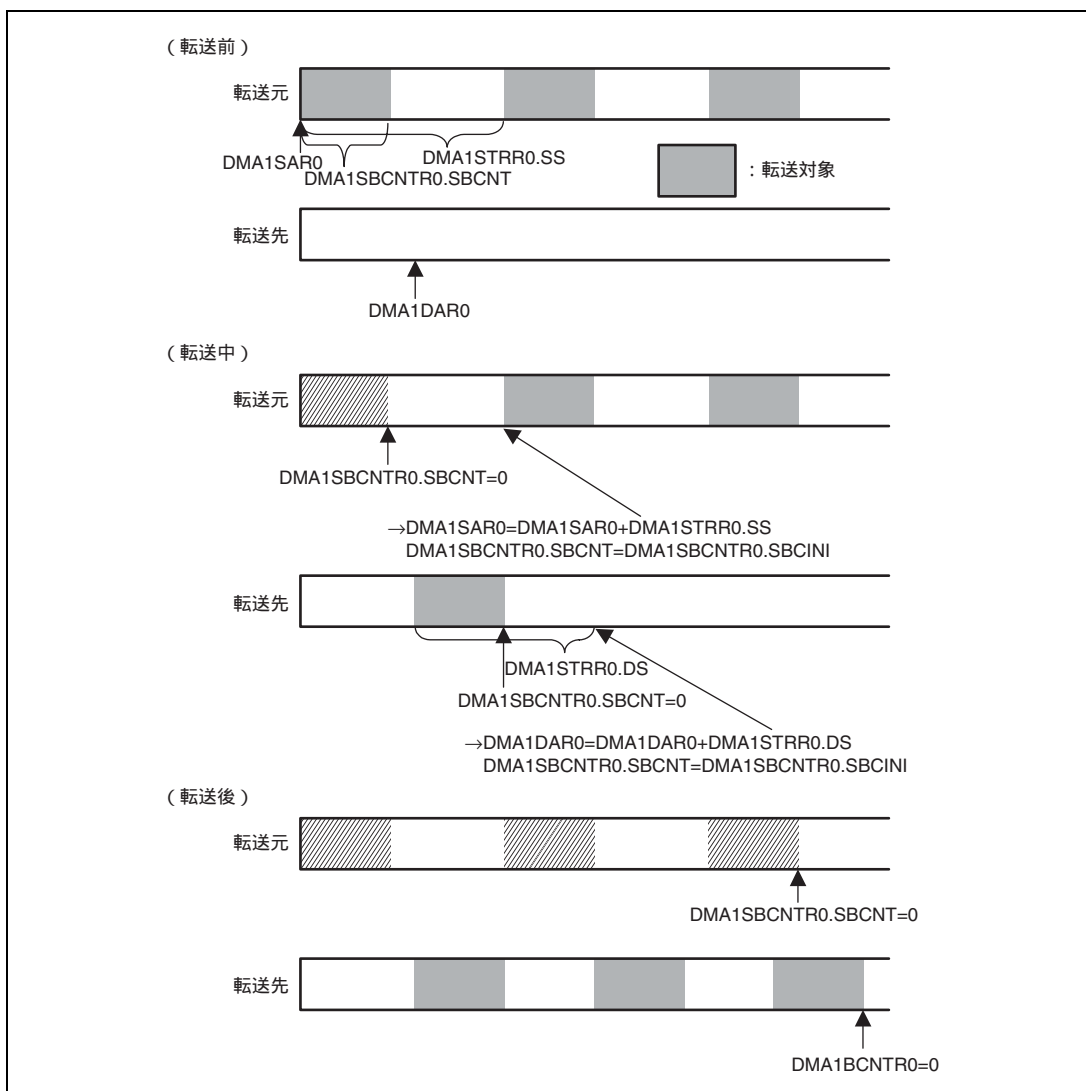


図 16.3 ストライド転送

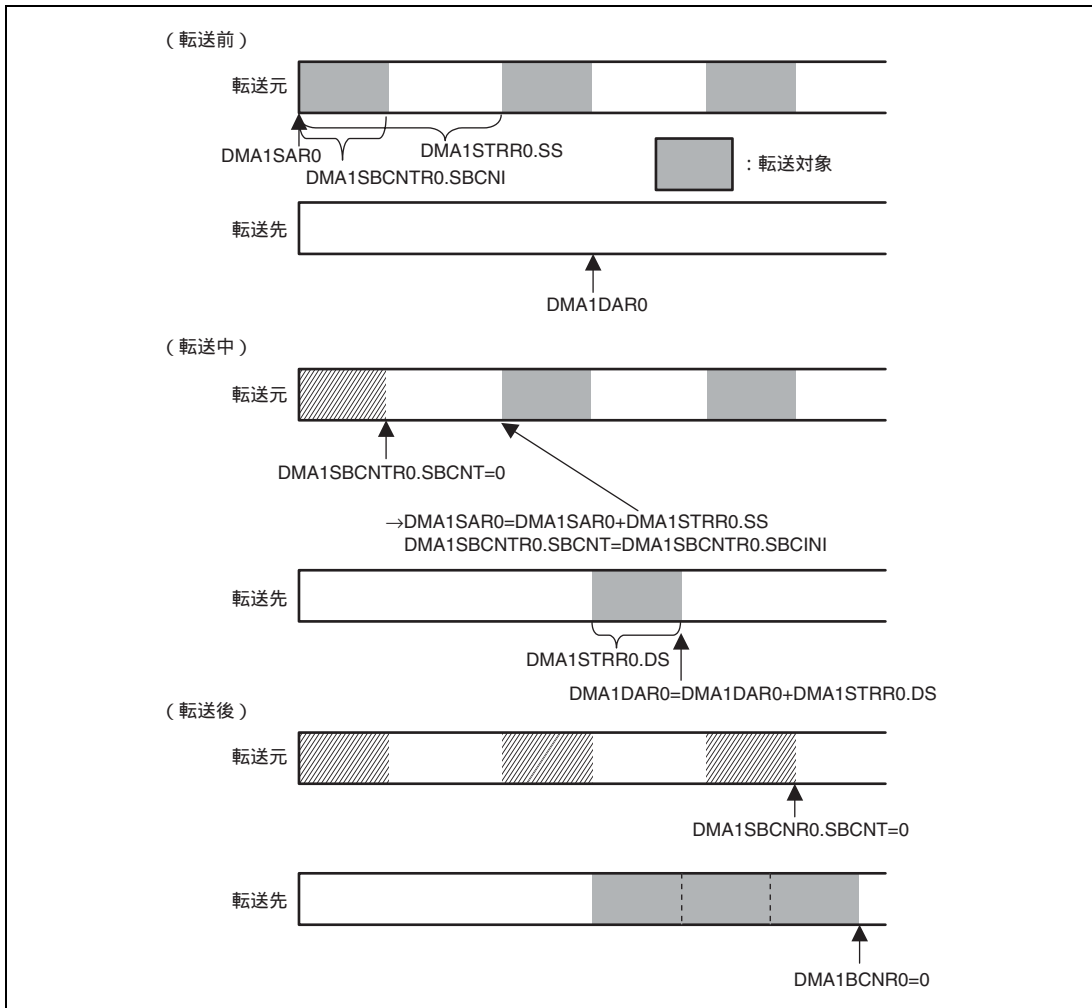


図 16.4 gather 転送

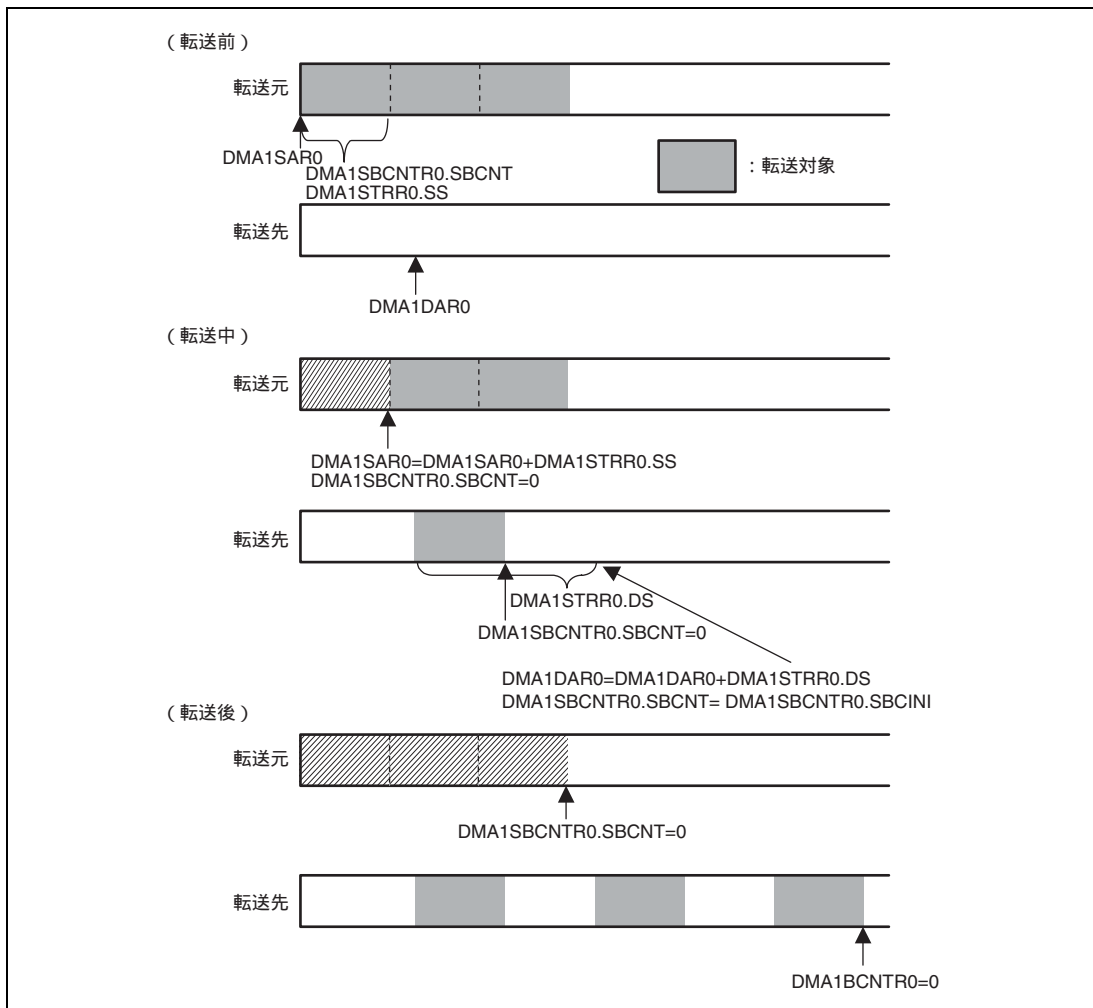


図 16.5 scatter 転送

16.3.4 コマンドチェーン (ch0、ch1)

各種レジスタに転送条件を設定後、チャンネルコントロールレジスタにコマンドチェーンの指示を設定すると、以下の手順でデータ転送を行います。

以下の手順では ch0 のレジスタ設定を行っています。ch1 を使用する場合も同様の設定です。

1. 転送許可状態かどうかをチェックします。

DMA1OR.DMAE=1、DMA1CHCR0.CHE=1、DMA1CHSR0.SE=0、DMA1CHSR0.DE=0、DMA1CHSR0.TE=0
であれば転送許可状態です。

また、表16.4に従って、コマンドチェーンの設定をしてください。

2. 転送許可状態ならば、DMA1CCARに設定されたアドレスから、データ転送コマンドを読み出し、各種レジスタに設定します。

3. 指定されたデータ転送コマンドを開始します。

4. 指定されたデータ転送コマンドが正常終了しても、DMA1CHCR0.CCRE=1のときは次に実行すべきコマンドが用意されているため、

DMA1CHSR0.TEはセットされませんし、DMA1CHSR0.IE=1であっても割り込みは発生しません。

5. DMA1CHCR0.CHE=1、DMA1CHSR0.DE=0、DMA1CHSR0.SE=0、DMA1CHSR0.TE=0、DMA1CHCR0.CCRE=1
ならば、項番2へ戻ります。

6. データ転送コマンド終了時、DMCHCR0.CCRE=0となっているとコマンドチェーンによる転送を終了します。
このとき、DMCHSR0.TEが1にセットされ、DMA1CHSR0.IE=1の場合、転送終了割り込みが発生します。

転送エラーが発生した場合には、データ転送は中断されます。このとき、DMA1CHSR0.SEもしくは
DMA1CHSR0.DEが1にセットされます。

また、DMA1CHCR0.CHEを0にされてもデータ転送は中断されます。

項番2のデータ転送コマンドの読み出し時にエラーが発生した場合、DMA1CHSR0.SEが1にセットされ、
DMA1CHCR0.CHEが0にクリアされます。

コマンド列のフォーマットを図 16.6 に示します。

H'00 に設定する CHE は必ず 1 をセットしてください。また、コマンドチェーンの最後のコマンド列では、H'10
の CCA は必ず 27'H0 をセットしてください。

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMA1CHCR0	H'00	CHE	R	CCRE	R	R	R	SASRE	DASRE	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
DMA1SHCR0	H'04	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
DMA1SAR0	H'08	SADR																															
DMA1DAR0	H'0C	DADR																															
DMA1CCAR0	H'10	CCA																								R	R	R	R				
DMA1BCNTR0	H'14	R	R	R		BCNT												R	R														
DMA1STRR0	H'18	SS												R	R	DS																	
DMA1SBCNTR0	H'1C	SBCINI												R	R	SBCNT																	

【注】 R：各レジスタのリザーブビットです。レジスタ書き込み同様に0としてください。

図 16.6 コマンドチェーン コマンド列フォーマット

コマンドチェーンでは、次のコマンドの先頭アドレスを CCA で指し示すことで、図 16.7 のように連続して DMA 転送を実行することができます。

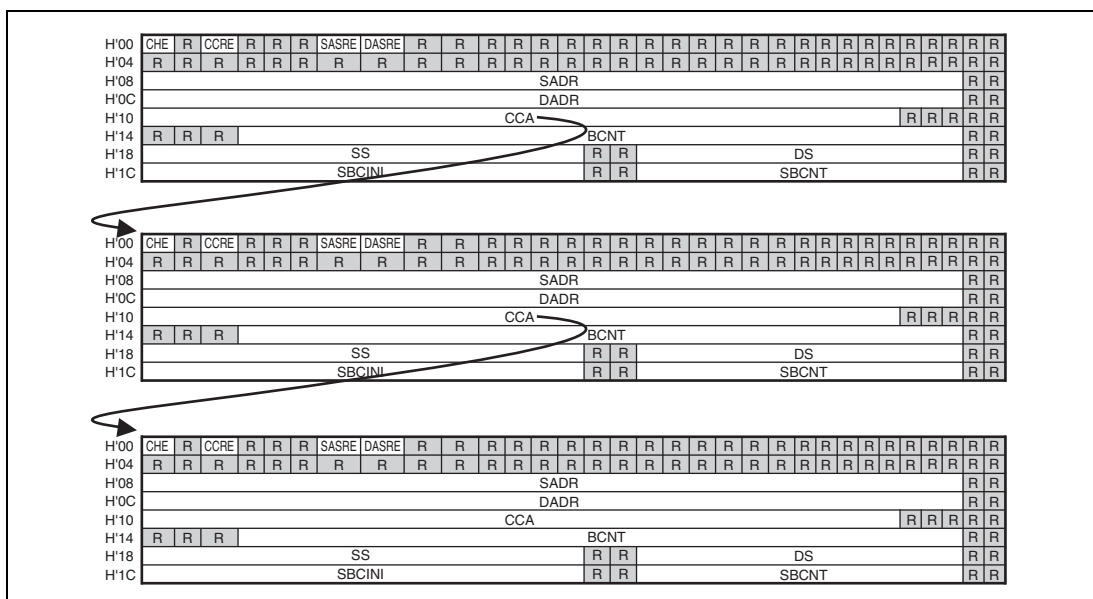


図 16.7 コマンドチェーン

16.4 DMAC1 の割り込み要因

DMAC1 は各チャンネルごとに DMA 転送終了要求 (DMA1TE_n)、転送元転送エラー割り込み要求 (DMA1SE_n) 要求と転送先転送エラー割り込み要求 (DMA1DE_n) の 3 種類の割り込み要因を持っています。(n=0~3)

表 16.5 に各割り込み要因を示します。各割り込み要因は独立に割り込みコントローラに送られます。

表 16.5 DMAC1 の割り込み要因

割り込み要因	内容
DMA1TE0	チャンネル 0 DMA 転送終了割り込み
DMA1TE1	チャンネル 1 DMA 転送終了割り込み
DMA1TE2	チャンネル 2 DMA 転送終了割り込み
DMA1TE3	チャンネル 3 DMA 転送終了割り込み
DMA1SE0	チャンネル 0 転送元転送エラー割り込み
DMA1SE1	チャンネル 1 転送元転送エラー割り込み
DMA1SE2	チャンネル 2 転送元転送エラー割り込み
DMA1SE3	チャンネル 3 転送元転送エラー割り込み
DMA1DE0	チャンネル 0 転送先転送エラー割り込み
DMA1DE1	チャンネル 1 転送先転送エラー割り込み
DMA1DE2	チャンネル 2 転送先転送エラー割り込み
DMA1DE3	チャンネル 3 転送先転送エラー割り込み

16.5 使用上の注意事項

本 DMAC を使用する際は、以下のことに注意してください。

1. 以下の場合にDMA転送を途中終了した場合、後続の転送の再開はできません。

- DMA1OR.DMAEを0にクリアした場合
- DMA1CHCRn.CHE (n:0~3) を0にクリアした場合
- DMA1SARn、DMA1DARn (n:0~3) に設定された値が転送サイズ境界と不一致の場合
- 転送先がアドレスマップ上のundefine空間の場合
- 転送先、転送元がモジュールストップ中の場合
- 周波数変更した場合

再度DMA転送を実行する場合、DMA転送開始の設定を再度行ってください。

再設定する場合の手順を示します。転送中止時のDMA1DAR0~3の値から、再設定値を決めます。

DMA1DAR0~3の値を確認し、DMA1SAR0~3、DMA1DAR0~3に再設定する値を求めて、設定してください。

ch0、ch1の場合、DMA1DAR0、1の値から7h20(転送データ32バイトに対応)を引いた値を、DMA1DAR0、1に設定してください。

DMA1SAR0、1をDMA1DAR0、1に対応したアドレスに設定してください。

ch2、ch3の場合、DMA1DTRS2、3で設定した値に対応したバイト数をDMA1DAR2、3の値から引いた値をDMA1DAR2、3に設定してください。

DMA1SAR2、3をDMA1DAR2、3に対応したアドレスに設定してください。

DMA1BCNTR0~3に値を設定してください。

転送許可状態かどうかをチェックします。

DMA1OR.DMAE=1、DMA1CHCR0.CHE=1、DMA1CHSR0.SE=0、DMA1CHSR0.DE=0、DMA1CHSR0.TE=0であれば転送許可状態ですので転送が開始されます。

2. モジュールストップ、周波数変更について

DMAC1動作中にスタンバイコントロールレジスタ(MSTPCR1)によるDMAC1に対する動作(0にクリア)/停止(1にセット)した場合、またはDMAC1動作中に周波数変更をした場合、動作の保証はできません。

DMA1ORレジスタのDMAE(ビット31)が"0"であることを確認後、スタンバイコントロールレジスタ(MSTPCR1)の設定、周波数変更を行ってください。

17. HPB-DMAC

17.1 概要

HPB-DMACはHPBバス上のPeripheralとDDR3-SDRAM間のDMA転送を行う役割を持っています。HPB-DMACは0ch~13chのチャンネル番号が付与され、合計14チャンネルがチップ内部に搭載されています。これらのDMACはチャンネルごとに異なった転送相手を選択し独立した並列動作を行います。各DMACのデータ転送モードは、チャンネルごとに個別設定可能とします。この章に記載されている[n]は、14チャンネル搭載されたDMACの中の1つのDMAチャンネルを意味します。

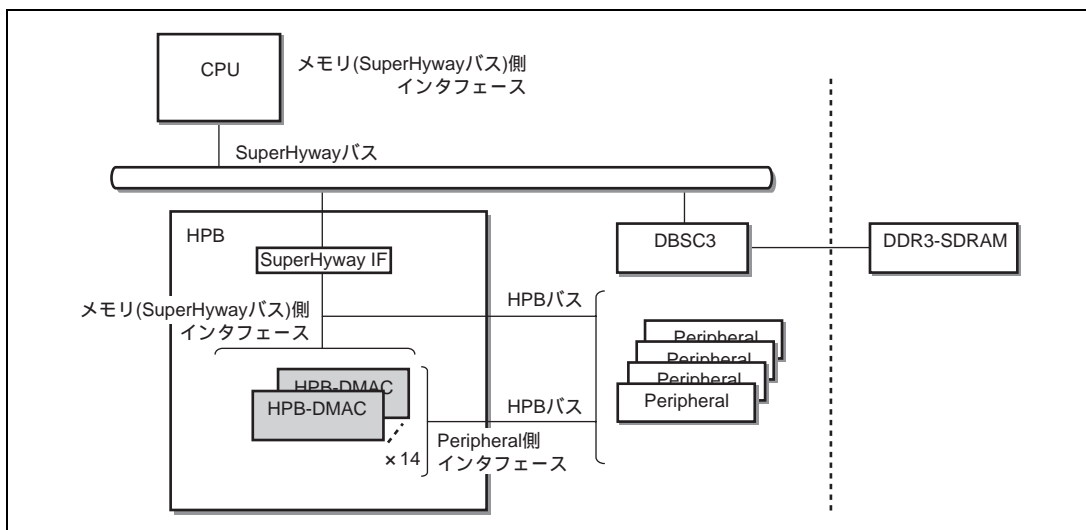


図 17.1 HPB-DMAC の位置付け

図 17.1 に HPB-DMAC の位置付けを示します。各 DMAC は、メモリ (SuperHyway バス) 側インタフェース上に接続される DBSC3 を介してチップ外部の DDR3-SDRAM と接続し、他方の Peripheral 側インタフェースは HPB バスに接続される Peripheral と接続されています。これらの Peripheral の選択は各 DMAC 内部レジスタの設定により行います。

17.2 特長

HPB-DMACの機能について以下に示します。

- チャンネル数：14チャンネル（0～13ch）
- アドレス空間：物理アドレス空間
- 転送方向：Peripheral toメモリ（SuperHywayバス）、メモリ（SuperHywayバス）to Peripheral
- 転送データ長：
 - Peripheral側：1、2、4バイト
 - メモリ側（SuperHywayバス）：
 - DCRレジスタSWMDビット：0設定時：メモリ（SuperHyway）側アクセスサイズ（各チャンネルのアクセスサイズは、「17.4.9 DMAコントロールレジスタ(DCR)」を参照ください。）
 - 1設定時：1、2、4バイト
 - PKMDビット：1設定（パッキング）時の最終端数処理時：1バイト～メモリ（SuperHyway）側アクセスサイズ
- 転送バースト長：1、8（HPB-DMACチャンネル10～13のみバースト長8の転送をサポート）
- 転送回数
 - 最大転送回数：16M（16777216回）
 - 最小転送回数：1回
- アドレスモード：デュアルアドレスモード

転送元、転送先双方のアドレスをアクセスします。

転送元、転送先共、DMAC内部のレジスタに設定された値がアクセス対象のアドレスを指します。

（レジスタに設定された値：DMAソースアドレスレジスタ（DSAR0、1）、DMAデスティネーションアドレスレジスタ（DDAR0、1）およびDMAコントロールレジスタ（DCR）：SPDAM、DPDAMによります。）
- 転送要求：Peripheralリクエスト、オートリクエスト、タイマリクエスト
 - Peripheralリクエスト：Peripheralからの転送要求。
 - オートリクエスト：DMAC内部タイミングによりDMA転送を行います。
 - タイマリクエスト：転送要求をDMAC内蔵タイマの設定間隔で発生させます。
- 転送モード：単転送モード、連続転送モード
 - 単転送モード

「DMAトランスファカウンタ」レジスタで指定した転送回数まで転送が終了したとき、転送を終了します。
 - 連続転送モード

全チャンネル対応で、「DMAトランスファカウンタ」レジスタで指定した転送回数まで転送が終了したとき、次DMA転送要求（DNXT）がある場合、続けて次のDMA情報を取得しDMA転送を行います。次DMA転送要求（DNXT）がない場合、次DMA転送要求を設定されるまで待ち続けます。連続転送モードの終了は、DMAコマンドレジスタ（DCMDR）DQENDビットによって行います。

DMA情報設定モードとして、DMA情報設定レジスタ2面のうち1面を繰り返し使用するモードと2面を交互

に使用するモードを持ちます。また、自動連続転送をサポートします。連続転送モード設定 (DMAコントロールレジスタ (DCR) : CTビット=1) 時、自動連続モード設定 (DMAコントロールレジスタ (DCR) : ACMDビット=1) により自動連続転送モード有効となります。自動連続転送モード時、次DMA転送要求 (DNXT) の有無にかかわらず「DMAトランスファカウンタ」レジスタで指定した転送回数まで転送が終了したとき、続けて次のDMA情報を取得しDMA転送を行います。

連続転送終了は、DMAコマンドレジスタ (DCMDR) DQENDビットによって行います。

- 転送終了割り込み：IDMA情報単位に指定した転送回数終了後発生します。

17.3 HPB-DMAC における DMA 転送方法

各チャネルごとの Peripheral 側との関係を示します。各チャネル、転送相手の機能ブロックは様々ですが、他方の転送先であるメモリ (SuperHyway バス) 側は、設定するアドレスによって DBSC3 を介した DDR3-SDRAM などが転送先になります。

チャネル	用途	転送種別	転送相手の選択
HPB-DMA00	内蔵 HPB バス上の Peripheral との転送	デュアルアドレス転送、 シングル転送または 8 バースト* 転送 DREQ / DACK ハンドシェイク	各 DMAC の内部レジスタにて転送相手の内蔵 Peripheral を選択指定します。 (SCIF、HSPI のいずれかを選択可)
HPB-DMA01			
HPB-DMA02			
HPB-DMA03			
HPB-DMA04			
HPB-DMA05			
HPB-DMA06	内蔵 HPB バス上の Peripheral との転送		各 DMAC の内部レジスタにて転送相手の内蔵 Peripheral を選択指定します。 (SSI、HAC、SDIF のいずれかを選択可)
HPB-DMA07			
HPB-DMA08			
HPB-DMA09			
HPB-DMA10			
HPB-DMA11	内蔵 HPB バス上の Peripheral との転送	デュアルアドレス転送、 シングル / 8 バースト転送 DREQ / DACK ハンドシェイク	各 DMAC の内部レジスタにて転送相手の内蔵 Peripheral を選択指定します。(USB-FUNC)
HPB-DMA12			
HPB-DMA13			

【注】 * 8 バースト転送は、チャネル 10、11 のみ、転送相手は SDIF のみ対応可能です。

17.4 レジスタの説明

以下のレジスタセットは、SH レジスタマップ空間に割り付けられています。

本 DMAC は、合計で 14 チャンネルの構成を採っていますが、レジスタ構成は、個々の DMAC 個別に有するレジスタと全 DMAC 共通で有するレジスタがあります。

17.4.1 HPB-DMAC レジスタ一覧

表 17.1 HPB-DMAC レジスタ一覧 (1)

アドレス	レジスタ名	略称	アクセス タイプ	アクセス サイズ	
H'FFC00300	SD モード選択レジスタ	SDMDR	R/W	32	
H'FFC08000 + H'40 × [n]	[個別] DMA ソースアドレス 0	DMA 情報 0	DSAR0	R/W	32
H'FFC08004 + H'40 × [n]	[個別] DMA デスティネーションアドレス 0		DDAR0	R/W	32
H'FFC08008 + H'40 × [n]	[個別] DMA トランスファカウンタ 0		DTCR0	R/W	32
H'FFC0800C + H'40 × [n]	[個別] DMA ソースアドレス 1	DMA 情報 1	DSAR1	R/W	32
H'FFC08010 + H'40 × [n]	[個別] DMA デスティネーションアドレス 1		DDAR1	R/W	32
H'FFC08014 + H'40 × [n]	[個別] DMA トランスファカウンタ 1		DTCR1	R/W	32
H'FFC08018 + H'40 × [n]	[個別] DMA ソースアドレスステータス	DSASR	R	32	
H'FFC0801C + H'40 × [n]	[個別] DMA デスティネーションアドレスステータス	DDASR	R	32	
H'FFC08020 + H'40 × [n]	[個別] DMA トランスファカウンタステータス	DTCR1	R	32	
H'FFC08024 + H'40 × [n]	[個別] DMA ポート選択	DPTR	R/W	32	
H'FFC08028 + H'40 × [n]	[個別] DMA コントロール	DCR	R/W	32	
H'FFC0802C + H'40 × [n]	[個別] DMA コマンド	DCMDR	/W	32	
H'FFC08030 + H'40 × [n]	[個別] DMA 強制停止	DSTPR	/W	32	
H'FFC08034 + H'40 × [n]	[個別] DMA ステータス	DSTSR	R	32	
H'FFC08038 + H'40 × [n]	[個別] DMA チャンネルデバッグ	DDBG1	R/W	32	
H'FFC0803C + H'40 × [n]	[個別] DMA チャンネルデバッグ 2	DDBG2	R/W	32	
H'FFC08800	[HPB-DMAC 共通] DMA タイマコントロール	DTIMR	R/W	32	
H'FFC0880C	[HPB-DMAC 共通] DMA 転送終了割り込み表示	DINTSR	R	32	
H'FFC08810	[HPB-DMAC 共通] DMA 転送終了割り込み表示クリア	DINTCR	R/WC1	32	
H'FFC08814	[HPB-DMAC 共通] DMA 転送終了割り込みイネーブル	DINTMR	R/W	32	
H'FFC08818	[HPB-DMAC 共通] DMA 起動状態表示	DACTSR	R	32	
H'FFC0881C ~ 850	[HPB-DMAC 共通] HPB-DMA 00 ~ 13 チャンネルソフトリセット	HSRSTR0 ~ 13	R/WC1	32	
H'FFC08890、894	[HPB-DMAC 共通] HPB-DMA SuperHyway プライオリティコントロール 0、1	HPBDMASPR 0、1	R/W	32	

【注】 n は HPB-DMAC のチャンネル番号

CPU は、上記レジスタをロングワード (32 ビット) でアクセスしてください。バイトアクセスやワードアクセスは禁止です。

表 17.2 HPB-DMAC レジスタ一覧 (2)

アドレス	レジスタ名	略称	パワーオン リセット RESET 端子/WDT /H-UDI による	マニュアル リセット RESET 端子/WDT /多量例外による
H'FFC00300	SD モード選択レジスタ	SDMDR	H'0000_0000	H'0000_0000
H'FFC08000 + H'40 × [n]	[個別] DMA ソースアドレス 0	DMA 情報 0	DSAR0	H'0000_0000
H'FFC08004 + H'40 × [n]	[個別] DMA デスティネーションアドレス 0		DDAR0	H'0000_0000
H'FFC08008 + H'40 × [n]	[個別] DMA トランスファカウンタ 0		DTCR0	H'0000_0000
H'FFC0800C + H'40 × [n]	[個別] DMA ソースアドレス 1	DMA 情報 1	DSAR1	H'0000_0000
H'FFC08010 + H'40 × [n]	[個別] DMA デスティネーションアドレス 1		DDAR1	H'0000_0000
H'FFC08014 + H'40 × [n]	[個別] DMA トランスファカウンタ 1		DTCR1	H'0000_0000
H'FFC08018 + H'40 × [n]	[個別] DMA ソースアドレスステータス	DSASR	H'0000_0000	H'0000_0000
H'FFC0801C + H'40 × [n]	[個別] DMA デスティネーションアドレスステータス	DDASR	H'0000_0000	H'0000_0000
H'FFC08020 + H'40 × [n]	[個別] DMA トランスファカウンタステータス	DTCSR	H'0000_0000	H'0000_0000
H'FFC08024 + H'40 × [n]	[個別] DMA ポート選択	DPTR	H'0000_0000	H'0000_0000
H'FFC08028 + H'40 × [n]	[個別] DMA コントロール	DCR	H'0000_0000	H'0000_0000
H'FFC0802C + H'40 × [n]	[個別] DMA コマンド	DCMDR	H'0000_0000	H'0000_0000
H'FFC08030 + H'40 × [n]	[個別] DMA 強制停止	DSTPR	H'0000_0000	H'0000_0000
H'FFC08034 + H'40 × [n]	[個別] DMA ステータス	DSTSR	H'0000_0020	H'0000_0020
H'FFC08038 + H'40 × [n]	[個別] DMA チャンネルデバッグ	DDBGR	H'0000_0000	H'0000_0000
H'FFC0803C + H'40 × [n]	[個別] DMA チャンネルデバッグ 2	DDBGR2	H'0000_0000	H'0000_0000
H'FFC08800	[HPB-DMAC 共通] DMA タイマコントロール	DTIMR	H'0000_0000	H'0000_0000
H'FFC0880C	[HPB-DMAC 共通] DMA 転送終了割り込み表示	DINTSR	H'0000_0000	H'0000_0000
H'FFC08810	[HPB-DMAC 共通] DMA 転送終了割り込み表示クリア	DINTCR	H'0000_0000	H'0000_0000
H'FFC08814	[HPB-DMAC 共通] DMA 転送終了割り込みイネーブル	DINTMR	H'0000_0000	H'0000_0000
H'FFC08818	[HPB-DMAC 共通] DMA 起動状態表示	DACTSR	H'0000_0000	H'0000_0000
H'FFC0881C ~ 850	[HPB-DMAC 共通] HPB-DMA 00 ~ 13 チャンネルソフト リセット	HSRSTR0 ~ 13	H'0000_0000	H'0000_0000
H'FFC08890	[HPB-DMAC 共通] HPB-DMA SuperHyway プライオリ ティコントロール 0	HPBDMASPR0	H'8888_8888	H'8888_8888
H'FFC08894	[HPB-DMAC 共通] HPB-DMA SuperHyway プライオリ ティコントロール 1	HPBDMASPR1	H'0088_8888	H'0088_8888

【注】 n は HPB-DMAC のチャンネル番号

CPU は、上記レジスタをロングワード (32 ビット) でアクセスしてください。バイトアクセスやワードアクセスは禁止です。

【レジスタ説明の記号説明】

初期値 : リセット後のレジスタ値

: 不定値

R/W : リードおよびライト可。書き込み値を読み出すことができます。

R/WC1 : リードおよびライト可。1を書き込むとビットは初期化されますが、0の書き込みは無視されます。

R : リードのみ可。書き込む値は常に0にしてください。

/W : ライトのみ可。読み出し値は不定です。

コントロールレジスタおよびステータスレジスタは、すべてアクティブハイです。

17.4.2 DMA ソースアドレスレジスタ 0、1 (DSAR0、DSAR1)

機能: 転送元の DMA スタートアドレスを設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DSA[31:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DSA[31:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DSA	すべて0	R/W	DMA 転送元スタートアドレスを設定します。転送元スタートアドレス値は、DMA コントロールレジスタ (DCR) の SMDL ビットの設定値により、メモリアドレスか、Peripheral アドレスになります。 SMDL=0 のとき: 転送元アドレス = メモリ (SuperHyway バス) 側アドレス SMDL=1 のとき: 転送元アドレス = Peripheral 側アドレス

【注】 1. 設定アドレスがメモリアドレス時は、下記表に示すアドレス境界を守って設定してください。

DCR レジスタ SWMD ビット	アドレス境界		
	0~6	7~11	12、13
0	8 バイト境界	16 バイト境界	32 バイト境界
1	4 バイト境界		

- 設定アドレスが Peripheral アドレス時で、かつ、DCR の SPDS ビットあるいは DPDS ビットを 16bit アクセスサイズで選択した場合は、16bit 境界の設定までが可能となります。この場合、8bit 境界の設定に関しては、書き込みを行っても下位 1bit が無視されます。
- 設定アドレスが Peripheral アドレス時で、かつ、DCR の SPDS ビットあるいは DPDS ビットを 8bit アクセスサイズで選択した場合は、8bit 境界の設定までが可能となります。
- 設定アドレスが Peripheral の場合も、上位アドレスは、ソフトウェアの設定内容の解り易さのための用途として設けられているものであり、各 Peripheral 固有のアクセス先の空間識別に使用するものではありません。

17.4.3 DMA デスティネーションアドレスレジスタ 0、1 (DDAR0、DDAR1)

機能：転送先の DMA スタートアドレスを設定

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DDA[31:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DDA[31:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DDA	すべて0	R/W	DMA 転送先スタートアドレスを設定。転送先スタートアドレス値は、DMA コントロールレジスタ (DCR) の DMDL ビットの設定値により、メモリアドレスか Peripheral アドレスになります。 DMDL=0 のとき 転送先アドレス：メモリアドレス DMDL=1 のとき 転送先アドレス：Peripheral アドレス

【注】 DSAR0、DSAR1 の注意事項 (17.4.2 注 1~4) を参照ください。同じ注意事項が適応されます。

17.4.4 DMA トランスファカウントレジスタ 0、1 (DTCR0、DTCR1)

機能：DMA 転送回数を設定

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	DTC[23:0]							
初期値：	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTC[23:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	-	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
23~0	DTC	すべて0	R/W	DMA 転送回数 (バイト数、ワード数、ロングワード数) を設定 最大転送回数は、DTC=H'0 とし、このときの転送数は 16M (16777216) 回

【注】 Peripheral メモリ (SuperHyway バス)、メモリ (SuperHyway バス) Peripheral 転送の場合、Peripheral 側での転送回数を指定します。

8 バーストの DMA 動作では、8 バーストで 1 回と考えて設定してください。

17.4.5 DMA ソースアドレスステータスレジスタ (DSASR)

機能：転送元のアドレス表示

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DSAS[31:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DSAS[31:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	DSAS	すべて0	R	転送元の現在の DMA 転送完了アドレスを表示

17.4.6 DMA デスティネーションアドレスステータスレジスタ (DDASR)

機能：転送先のアドレス表示

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DDAS[31:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DDAS[31:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	DDAS	すべて0	R	転送先の現在の DMA 転送完了アドレスを表示

17.4.7 DMA トランスファカウントステータスレジスタ (DTCSR)

機能：転送中の残り転送回数を表示

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	DTCS[25:0]									
初期値：	—	—	—	—	—	—	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTCS[25:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~26	-	-	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
25~0	DTCS	すべて0	R	DMA 転送残回数 (バイト数、ワード数、ロングワード数) を表示 転送バイト数は、Peripheral データバス幅に依存する

【注】 Peripheral (SuperHyway バス) メモリ、メモリ (SuperHyway バス) Peripheral 転送の場合 Peripheral 側転送残回数での表示となります。

8 バーストの DMA 動作では、8 バーストで1回と考えて設定してください。

17.4.8 DMA ポート選択レジスタ (DPTR)

機能：DMA 転送を行う Peripheral を選択

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	SDPT				—	—	—	—	DDPT			
初期値：	—	—	—	—	0	0	0	0	—	—	—	—	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明			
31~12			R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。			
11~8	SDPT	0000	R/W	転送元 Peripheral アクセスポート選択			
				設定値	HPB-DMAC 0~6ch	HPB-DMAC 7~11ch	HPB-DMAC 12、13ch
				H'0	SCIF0	SSI0	USB-FUNC0
				H'1	SCIF1	SSI1	USB-FUNC1
				H'2	SCIF2	SSI2	
				H'3	SCIF3	SSI3	
				H'4	SCIF4	HAC0	
				H'5	SCIF5	HAC1	
				H'6	HSPI		
				H'7		SD0-1	
				H'9		SD1-1	
H'A~F							
7~4			R	リザーブビットです。			

ビット	ビット名	初期値	R/W	説明			
3~0	DDPT	000	R/W	転送元 Peripheral アクセスポート選択			
				設定値	HPB-DMAC 0~6ch	HPB-DMAC 7~11ch	HPB-DMAC 12、13ch
				H'0	SCIF0	SSI0	USB-FUNC0
				H'1	SCIF1	SSI1	USB-FUNC1
				H'2	SCIF2	SSI2	
				H'3	SCIF3	SSI3	
				H'4	SCIF4	HAC0	
				H'5	SCIF5	HAC1	
				H'6	HSPI	SD0-0	
				H'7			
				H'8		SD1-0	
				H'9			
				H'A~F			

- 【注】
1. 複数チャンネル同一モジュールを選択し、かつ同一方向の転送を行う設定は禁止です。
 2. DCR レジスタの SMDL を 0 とした場合（メモリ選択した場合）の SDPT は無効となります。また、DCR レジスタの DMDL を 0 とした場合（メモリ選択した場合）の DDPT は無効となります。
 3. 各 ch 設定値に対し、モジュールが割り当てられている設定値以外は設定禁止です。設定した場合の動作は保証しません。

17.4.9 DMA コントロールレジスタ（DCR）

機能：転送動作モードの設定

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	DTAMD	DTAC	DTAU	DTAU1	SWMD	BTMD	PKMD	—	CT	ACMD	DIP
初期値：	—	—	—	—	—	0	0	0	0	0	0	0	—	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SMDL	SPDAM	SDRMD	SPDS	—	—	DMDL	DPDAM	DDRMD	DPDS				
初期値：	—	—	0	0	0	0	0	0	—	—	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27			R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。

ビット	ビット名	初期値	R/W	説明
26	DTAMD	0	R/W	DMA におけるメモリアクセス時のデータアライメント変換モードを指定 (17.5.7 参照) 0: 入力ピン: little (エンディアンモード) + Peripheral 側バス幅により 変換 1: DTAC (DMA データアライメント変換) + DTAU (DMA データアライメント単位) + DTAU1 (8 バイトに対する 4 バイトの変換) により変換
25	DTAC	0	R/W	DMA におけるメモリアクセス時のデータアライメント変換有無を指定 (17.5.7 参照) DTAMD=1 のとき、設定値有効 0: データアライメント変換しない 1: データアライメント変換する
24	DTAU	0	R/W	データアライメント変換を行う場合の変換単位を指定 (17.5.7 参照) DTAMD=1 のとき、設定値有効 0: バイト単位 1: ワード単位
23	DTAU1	0	R/W	データアライメント変換を行う場合の 8 バイトに対し 4 バイトのアライメントを指定 (17.5.7 参照) DTAMD=1 のとき、設定値有効 0: 行わない 1: 行う
22	SWMD	0	R/W	メモリ (SuperHyway) 側アクセスサイズの指定 0: *1 (DDR3 を指定時は 0 を推奨) 1: 4 バイト (HPB 配下を指定時は 1 を選択)
21	BTMD	0	R/W	バースト転送による DMA を指定 Peripheral に対しバースト動作で DMA を行います。 0: バースト転送を行わない 1: バースト転送を行う (バースト長: 8 固定)
20	PKMD	0	R/W	Peripheral から SuperHyway バス側への DMA 転送方向時における Peripheral からのリードデータバッキング機能有効 / 無効指定 0: バッキング機能無効 1: バッキング機能有効
19			R	リザーブビット 読み出すと常に '0' が読み出されます。書き込む値も常に '0' としてください。
18	CT	0	R/W	DMA 連続転送設定 0: DMA 連続転送を行わない 1: DMA 連続転送を行う

ビット	ビット名	初期値	R/W	説明
17	ACMD	0	R/W	DMA 自動連続転送設定 (CT=1 のときのみ有効) 0: DMA 自動連続転送を行わない (DCMR レジスタの DNXT=1 を確認) 1: DMA 自動連続転送を行う (DCMR レジスタの DNXT に無関係に転送)
16	DIP	0	R/W	DMA 情報有効ページを設定 0: 1 面の DMA 情報ページを連続的に使用 1: 2 面の DMA 情報ページを交互に使用
15、14	—	—	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
13	SMDL	0	R/W	転送元モジュール選択 0: メモリ (SuperHyway) 1: Peripheral
12	SPDAM	0	R/W	転送元 Peripheral アドレス固定/増加を指定 (SMDL=1 のときのみ有効) 0: Peripheral アドレスは DSAR0,1 で指定したアドレス固定 1: Peripheral アドレス増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)
11、10	SDRMD	00	R/W	転送元 DMA 要求モードを指定 (SMDL=1 のときのみ有効) 00: モジュールリクエスト (Peripheral リクエスト) 01: オートリクエスト 10: タイマリクエスト 11: 設定禁止
9、8	SPDS	00	R/W	転送元 Peripheral データバス幅を指定 (SMDL=1 のときのみ有効) 00: 8 ビット 01: 16 ビット 10: 32 ビット 11: 設定禁止
7、6			R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
5	DMDL	0	R/W	転送先モジュール選択 0: メモリ (SuperHyway バス) 1: Peripheral
4	DPDAM	0	R/W	転送先 Peripheral アドレス固定/増加を指定 (DMDL=1 のときのみ有効) 0: Peripheral アドレスは DSAR0,1 で指定したアドレス固定 1: Peripheral アドレス増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)
3、2	DDRMD	00	R/W	転送先 DMA 要求モードを指定 (DMDL=1 のときのみ有効) 00: モジュールリクエスト (Peripheral リクエスト) 01: オートリクエスト 10: タイマリクエスト 11: 設定禁止

ビット	ビット名	初期値	R/W	説明
1, 0	DPDS	00	R/W	転送先 Peripheral データバス幅を指定 (DMDL=1 のときのみ有効) 00 : 8 ビット 01 : 16 ビット 10 : 32 ビット 11 : 設定禁止

【注】 1. SWMD ビット 0 設定時のメモリ (SuperHyway) 側アクセスサイズ :

各チャンネルは下記表に示すサイズとなります。

DCR レジスタ SWMD ビット	SuperHyway 側アクセスサイズ		
	0~6	7~11	12, 13
0	8 バイト	16 バイト	32 バイト

2. SMDL, DMDL=1, 0 設定時は、Peripheral メモリ転送です。SMDL, DMDL=0, 1 設定時は、メモリ Peripheral 転送です。

SMDL, DMDL=1, 1 や 0, 0 設定は禁止です。

3. DMAC として有する個々の機能をすべての Peripheral に対して適用できるとは限りません。

それぞれの Peripheral の仕様に合わせた設定が必要となります。

17.4.10 DMA コマンドレジスタ (DCMDR)

機能：DMA の起動/停止を設定

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	BDOUT	DQSPD	DQSPC	DMSPD	DMSPC	DQEND	DNXT	DMEN
初期値：	—	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W

ビット	ビット名	初期値	R/W	説明
31～8			R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
7	BDOUT	0	- /W	1: Peripheral リードデータを強制的に SuperHyway バス側にライトする(転送方向 : Peripheral から SuperHyway バス側) Peripheral リードデータ強制ライトビット (BDOUT) に 1 ライトすることにより、SuperHyway バス側への強制ライト終了後、DMA 終了となる
6	DQSPD	0	- /W	1: DMA 情報単位に一時停止させる
5	DQSPC	0	- /W	1: DMA 情報単位の一時的停止を解除する
4	DMSPD	0	- /W	1: DMA 転送をバスサイクル単位に一時停止させる
3	DMSPC	0	- /W	1: DMA 転送のバスサイクル単位の一時的停止を解除する
2	DQEND	0	- /W	1: DMA 連続転送モード終了 設定済みの DMA 情報のみを DMA 転送し、連続転送モードを終了する。
1	DNXT	0	- /W	1: 次 DMA 転送を要求する 連続転送モード時、実行中の DMA 情報転送終了後、次の DMA 情報を転送する。
0	DMEN	0	- /W	1: DMA を起動する

【注】 BDOUT 使用については、17.5.3、17.5.4 章を参照ください。

17.4.11 DMA 強制停止レジスタ (DSTPR)

機能：DMA の起動/停止を設定

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMSTP
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	—/W

ビット	ビット名	初期値	R/W	説明
31~1	-	-	R	リザーブビット 読み出すと常に'0'が読み出されます。書き込む値も常に'0'としてください。
0	DMSTP	0	-/W	1：DMA 転送を強制停止する 転送中のバスサイクル終了後、DMA 転送を停止する。 (DMA 転送ステータスレジスタ (DSASR、DDASR、DTCSR) の値は残る。)

17.4.12 DMA ステータスレジスタ (DSTSR)

機能：DMA の状態表示

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	NDP1	NDP0	DQSPS	DMSPS	DQSTS	DRSTS	DMSTS
初期値：	—	—	—	—	—	—	—	—	—	0	1	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31-7	-	-	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
6	NDP1	0	R	次 DMA 実行転送情報レジスタ表示 1 0 : DMA 情報レジスタ 1 の DMA 情報を次 DMA 情報転送にて行わない 1 : DMA 情報レジスタ 1 の DMA 情報を次 DMA 情報転送にて行う
5	NDP0	1	R	次 DMA 実行転送情報レジスタ表示 0 0 : DMA 情報レジスタ 0 の DMA 情報を次 DMA 情報転送にて行わない 1 : DMA 情報レジスタ 0 の DMA 情報を次 DMA 情報転送にて行う
4	DQSPS	0	R	DMA 情報更新一時停止状態 0 : 通常 1 : DMA 情報の更新一時停止
3	DMSPS	0	R	DMA 転送一時停止状態 0 : 通常 1 : DMA 転送を一時停止
2	DQSTS	0	R	DMA 受け付け終了状態 0 : DMA 情報受け付け可能 1 : DMA 情報受け付け停止
1	DRSTS	0	R	DMA 転送要求有無 0 : 次 DMA 情報転送要求なし 1 : 次 DMA 情報転送要求あり
0	DMSTS	0	R	DMA 状態 0 : DMA 終了状態 1 : DMA 起動状態

【注】 次 DMA 実行転送情報レジスタ表示 0/1 (NDP0/1) は、NDP1 か NDP0 いずれか一方に 1 が表示

DMA ステータスレジスタ (DSTS) 各ビット状態遷移条件を以下に示す。

	状態表示信号遷移条件		
	0	1	0
NDP1	初期状態	連続転送モードかつ 0/1 面交互使用 (DMA コントロールレジスタ (DCR) : DIP=1) 0 面転送中	連続転送モードかつ 0/1 面交互使用 (DMA コントロールレジスタ (DCR) : DIP=1) 1 面転送中
NDP0	-	(1) 初期状態 (2) 単転送モード 常時 (3) 連続転送モードかつ 0 面連続使用 (DMA コントロールレジスタ (DCR) : DIP=0) 常時 (4) 連続転送モードかつ 0/1 面交互使用 (DMA コントロールレジスタ (DCR) : DIP=1) 1 面転送中	連続転送モードかつ 0/1 面交互使用 (DMA コントロールレジスタ (DCR) : DIP=1) 0 面転送中
DQSPS	初期状態	DMA 転送を情報単位に一時停止 (DMA コマンドレジスタ (DCMDR) : DQSPD=1) を設定し、転送中の転送情報終了	DMA 転送を情報単位に一時停止 解除 (DMA コマンドレジスタ (DCMDR) : DQSPC=1) を設定
DMSPS	初期状態	DMA 転送をバスサイクル単位に一時停止 (DMA コマンドレジスタ (DCMDR) : DMSPD=1) を設定し、転送中のバスサイクル終了	DMA 転送をバスサイクル単位に一時停止 解除 (DMA コマンドレジスタ (DCMDR) : DMSPC=1) を設定
DQSTS	初期状態	連続転送モード (DMA コントロールレジスタ (DCR) : CT=1) DMA 転送情報 1 面転送中に DMA 連続転送終了 (DQEND=1)	DMA 転送情報転送終了

		状態表示信号遷移条件		
		0	1	0
DRSTS	初期状態	連続転送モード (DMA コントロールレジスタ (DCR) : CT=1) DMA 転送情報 1 面転送中に次 DMA 転送情報要求あり (DNXT=1)	次 DMA 転送情報転送開始	
DMSTS	初期状態	DMA 起動 (DMA コマンドレジスタ (DCMDR) : DMEN=1)	終了状態 (アイドル状態に留まる)	<ul style="list-style-type: none"> (1) 転送終了 • 単転送モード 1 つの DMA 情報転送完了 • 連続転送モード DMA ステータスレジスタ (DSTSR) DRSTS=0 かつ DQSTS=1 で転送中の DMA 情報の転送完了 (2) 強制停止 DMA 強制停止レジスタ (DSTPR) DMSTP=1 ライトにて、転送中のバスサイクル終了後、DMA 転送を終了する

17.4.13 DMA チャンネルデバッグレジスタ (DDBGR)

機能：デバック用レジスタ

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DBG02	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	DBG01			—	DBG00		
初期値：	—	—	—	—	—	—	—	—	—	0	0	0	—	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	DBG02	0	R/W	テストビット テストビットのため、書き込み禁止です。 書き込みを行った場合は動作保証されません。
30~7	-	-	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
6~4	DBG01	000	R	テストビット
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
2~0	DBG00	000	R	テストビット

17.4.14 DMA チャンネルデバッグレジスタ2 (DDBGR2)

機能：デバック用レジスタ

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	DBG12	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	-	-	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
30	DBG12	-	R/W	テストビット テストビットのため、書き込み禁止です。 書き込みを行った場合は動作保証されません。

ビット	ビット名	初期値	R/W	説明
29、28	-	すべて0	R/W	テストビット テストビットのため、書き込み禁止です。 書き込みを行った場合は動作保証されません。
27、26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
25-0	-	すべて0	R	テストビット

17.4.15 DMA タイマコントロールレジスタ (DTIMR)

機能：DMAC 内蔵タイマ周期設定

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTIM[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～16	-	-	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
15～0	DTIM	すべて0	R/W	DMAC 内蔵タイマ周期設定 リクエストモード：タイマリクエスト時、DMA リクエスト間隔を設定します。 リクエスト間隔：DTIM × Peripheral 側バスのクロック周期 (ns) • HPB-DMAC：15ns (66MHz) 【注】 タイマリクエストモードであっても DTIM の初期値が0の場合は、オートリクエストモードと同じ動作になります。

17.4.16 DMA 転送終了割り込み表示レジスタ (DINTSR)

機能：DMA 転送終了割り込みを表示

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	DTE13	DTE12	DTE11	DTE10	DTE9	DTE8	DTE7	DTE6	DTE5	DTE4	DTE3	DTE2	DTE1	DTE0
初期値：	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～14	-	-	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
13～0	DTE _n	すべて0	R	DMA 転送終了割り込み表示 DMA 転送状態を表示します。(nはDMAチャンネル番号) 0：初期状態およびDTCレジスタ指定回数転送中 1：DTCレジスタ指定回数転送終了

17.4.17 DMA 転送終了割り込み表示クリアレジスタ (DINTCR)

機能：DMA 転送終了割り込み表示クリア

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	DTEC13	DTEC12	DTEC11	DTEC10	DTEC9	DTEC8	DTEC7	DTEC6	DTEC5	DTEC4	DTEC3	DTEC2	DTEC1	DTEC0
初期値：	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W	—/W

ビット	ビット名	初期値	R/W	説明
31～14	-	-	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
13～0	DTEC _n	すべて0	—/W	DMA 転送終了割り込み表示クリア DMA 転送終了割り込み表示をクリアします。(nはDMAチャンネル番号) 該当ビット1ライトにより、DMA 転送終了割り込み表示をクリアします。 0ライトは無効とする レジスタリード時：常時0を表示する

17.4.18 DMA 転送終了割り込みイネーブルレジスタ (DINTMR)

機能：DMA 転送終了による割り込み出力制御

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	DTEM13	DTEM12	DTEM11	DTEM10	DTEM9	DTEM8	DTEM7	DTEM6	DTEM5	DTEM4	DTEM3	DTEM2	DTEM1	DTEM0
初期値：	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～14	-	-	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
13～0	DTEMn	すべて0	R/W	DMA 転送終了による割り込み出力制御 割り込み出力はレベル信号で出力します。(nはDMAチャンネル番号) 0：DMA 転送終了による割り込みを出力しない 1：DMA 転送終了による割り込みを出力する

17.4.19 DMA 起動状態表示レジスタ (DACTSR)

機能：DMAC 全チャンネル起動状態表示

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	DS13	DS12	DS11	DS10	DS9	DS8	DS7	DS6	DS5	DS4	DS3	DS2	DS1	DS0
初期値：	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～14	-	-	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
13～0	DSn	すべて0	R	DMA チャンネルnの状態表示(nはDMAチャンネル番号) 0：IDLE 状態 1：ACT 状態

17.4.20 ソフトリセットレジスタ (HSRSTR0、HSRSTR1)

機能：DMA[n]チャンネルをリセット

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SRST
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説明
31~1	-	-	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
0	SRST	0	R/WC1	ソフトリセット DMA[n]チャンネルをリセットする 1：DMA[n]チャンネルをリセットする 0：無効 本レジスタリード時、常時'0'を表示する

【注】 DMA 転送状態にかかわらず、1ライトにより DMAC モジュールをリセットします。リセット範囲は、パワーオンリセット、マニュアルリセットと同様です。

ソフトリセットはシステムデバッグ時などで DMA 動作が行われていないときの実施を想定しています。

動作中の停止は、ソフトリセットでは行わず、強制停止や一時停止指定を行ってください。

また、チャンネル共通レジスタ (DMA 転送終了割り込み表示レジスタ (DINTSR)、DMA 転送終了割り込みイネーブルレジスタ (DINTMR)) は、ソフトリセット発行チャンネル該当ビットのみ初期化されます。

17.4.21 HPB-DMA SuperHyway プライオリティコントロールレジスタ 0 (HPBDMASPR0)

機能：HPB-DMAC の SuperHyway バスアクセス優先レベルの指定

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SPRR7				SPRR6				SPRR5				SPRR4			
初期値：	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPRR3				SPRR2				SPRR1				SPRR0			
初期値：	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	SPRRn	H'8	R/W	各 DMAC の SuperHyway BUS アクセス優先レベルの指定。(n はチャンネル番号) 優先度：H'0 (最低) ~ H'F (最高)

【注】 SuperHyway バスのアクセス優先レベルを指定し、SuperHyway バス全体の優先制御に関するため、設定には、他のアクセスモジュールとの優先レベルを確認する必要があります。

17.4.22 HPB-DMA SuperHyway プライオリティコントロールレジスタ 1 (HPBDMASPR1)

機能：HPB-DMAC の SuperHyway バスアクセス優先レベルの指定

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	SPRR13				SPRR12			
初期値：	—	—	—	—	—	—	—	—	1	0	0	0	1	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPRR11				SPRR10				SPRR9				SPRR8			
初期値：	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	-	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
23~0	SPRRn	H'8	R/W	各 DMAC の SuperHyway バスアクセス優先レベルの指定。(n はチャンネル番号) 優先度：H'0 (最低) ~ H'F (最高)

【注】 SuperHyway バスのアクセス優先レベルを指定し、SuperHyway バス全体の優先制御に関するため、設定には、他のアクセスモジュールとの優先レベルを確認する必要があります。

17.4.23 SD モード選択レジスタ (SDMDR)

機能：HPB-DMAC の SuperHyway バスアクセス優先レベルの指定

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SDMD1	SDMD0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～16	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
15～2	-	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。
1	SDMD1	0	R/W	SD データ転送モード設定 0：シングル転送 1：8 バースト転送（HPB-DMAC11のみ対応）
0	SDMD0	0	R/W	SD データ転送モード設定 0：シングル転送 1：8 バースト転送（HPB-DMAC10のみ対応）

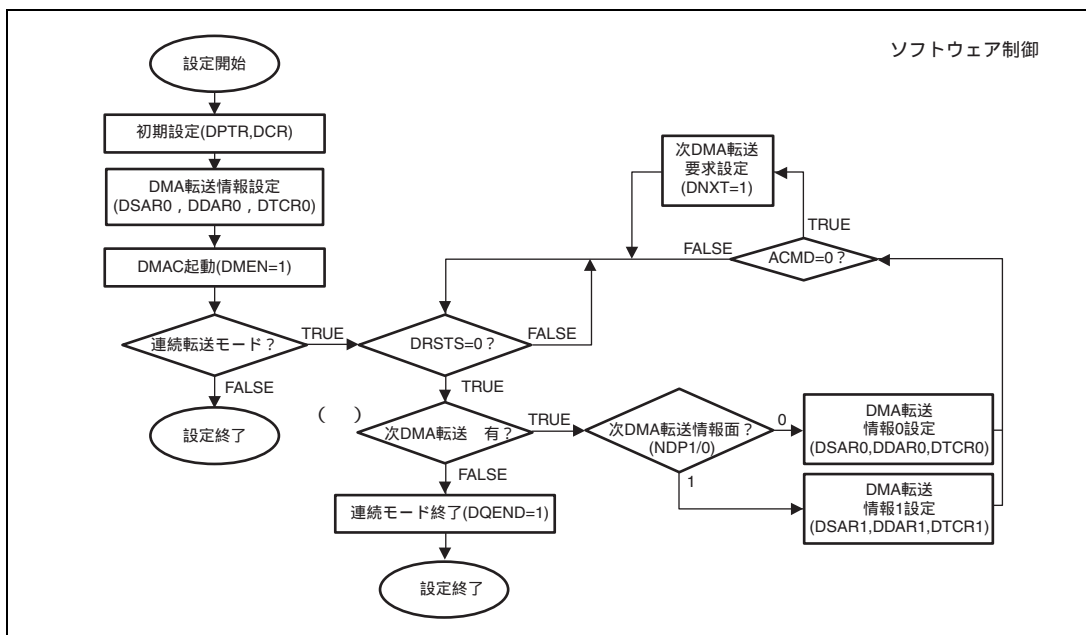
【注】 ・本レジスタは、HPB-DMAC の動作モードを設定するレジスタであり、本レジスタの設定モードが SD モジュールの動作モジュールに反映されるものではありません。SD モジュールの動作設定は、SD モジュール内レジスタにて行ってください。

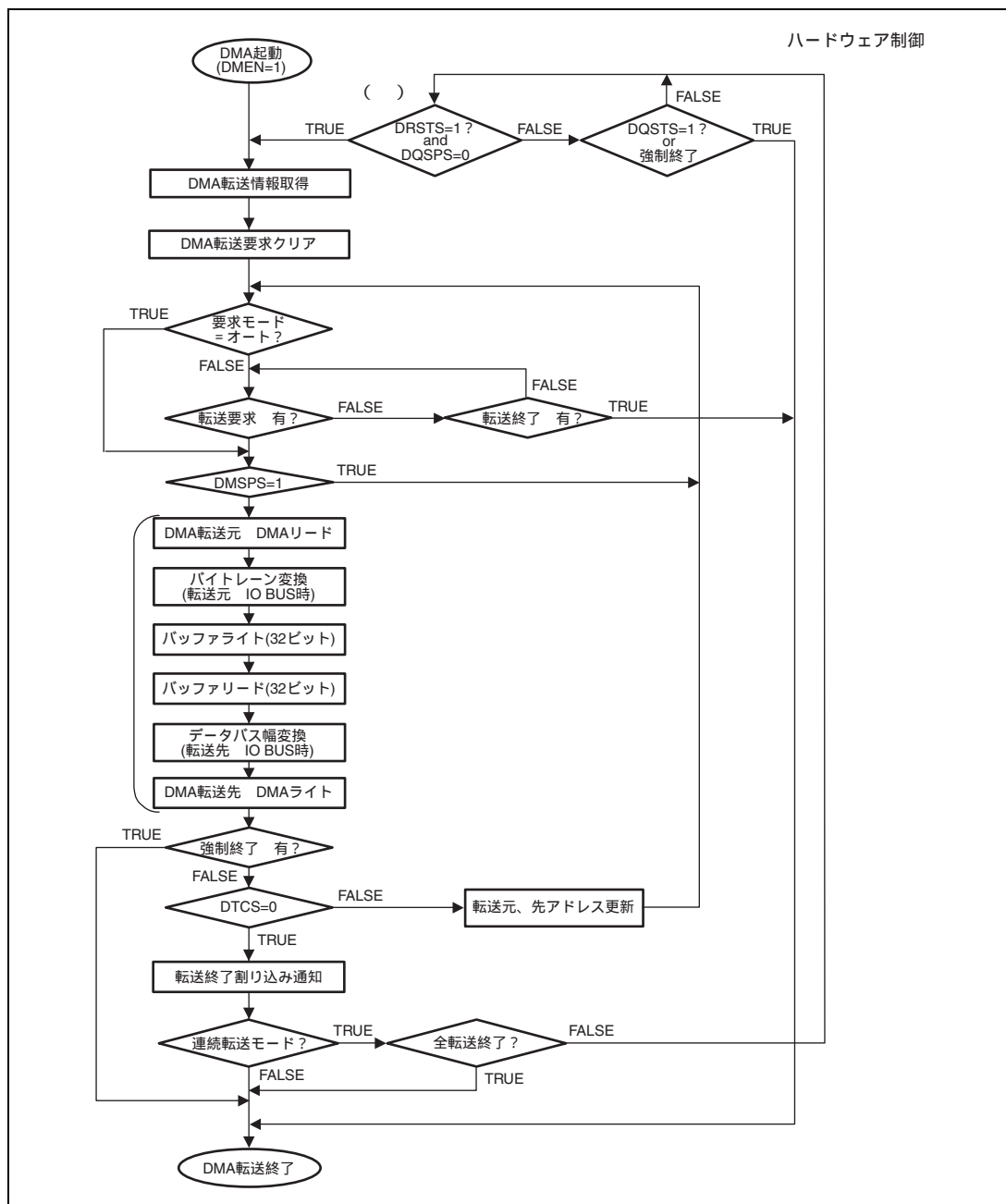
- ・バースト転送モードは、HPB-DMAC10、11のみ対応し、HPB-DMAC10、11のDMAポート選択レジスタ（DPTR）のSDPT、DDPTビットをSD0またはSD1を設定時のみ設定可能です。（HPB-DMAC10、11のDMAポート選択レジスタ（DPTR）のSDPT、DDPTビットをSD0またはSD1設定時以外は、バースト転送モード設定禁止です。）
- ・バースト転送モード設定時は、HPB-DMAC10,11のDMAコントロールレジスタ（DCR）のPKMDビットを'1'に設定してください。
- ・転送回数は、8バースト転送モード時もシングル転送時の転送回数を指定してください
- ・8バースト転送モードを使用する場合は、転送回数を $8 \times n$ ($n=0, 1, 2, \dots$)としてください。8バースト転送モードは、端数転送には使用できません。
- ・HPB-DMAC10、11のDMAコントロールレジスタ（DCR）のSDRMD,DDRMDビットで設定されるDMA要求モード指定は、モジュールリクエストのみ設定可能（モジュールリクエスト以外は設定禁止です。）

17.5 動作説明

17.5.1 DMA 転送手順

DMA 転送フロー図を以下に示します。





【DMA 転送手順】

DMAC 初期設定 DMA ポート選択レジスタ (DPTR) に DMA 転送 Peripheral を設定 (HPB-DMAC のみ)

DMAコントロールレジスタ (DCR) に転送条件設定

DMA 転送情報設定

DMAコントロールレジスタ：DIPに従い

DMAソースアドレスレジスタ（DSAR）

DMAデスティネーションアドレスレジスタ（DDAR）DMAトランスファカウントレジスタ（DTCR）を設定（入力モード：1面繰り返し、2面交互）

入力モード：1面繰り返しの場合、DSAR0、DDAR0、DTCR0を使用します。

DMA 起動

DMAコマンドレジスタ（DCMDR）：DMEN

ビットにてDMAを起動します。

設定されている DMA 転送情報取得

設定されているDMA転送情報をDMA情報

レジスタ0、1の順に取り込みます。

DMA 転送要求クリア

DMA転送要求状態表示信号をクリアします。

DMA 転送

転送要求モードがオートリクエストの場合

転送情報取得後DMACの転送タイミングにて自動的に転送を開始します。

Peripheralリクエストの場合転送要求を受け付けた時、1回（バスアクセス単位）のDMA転送を行います。

タイマリクエストの場合

転送情報取得後DMAC内蔵タイマ設定間隔にて自動的に転送を開始します。

指定転送回数終了割り込み

転送モード：単転送モード時

指定転送回数終了時、転送を終了します。

終了を割り込みにてCPUに通知します。

転送モード：連続転送モード時1DMA転送情報単位に転送終了を割り込みにて、CPUに通知します。

割り込み信号は、DMA転送終了割り込みイネーブルレジスタ（DINTMR）によって制御されます。

次の DMA 転送情報取得（連続転送モード時）次 DMA 転送要求がある場合、次の転送情報を取得し、DMA 転送を行います。

次DMA転送要求がない場合（DRSTS=0）

DQSTS=1ならば、DMA連続転送モードを終了とし、DQSTS=0ならば、次DMA転送要求を待ち続けます。

DMA 転送情報追加（連続転送モード時）追加する DMA 転送情報がある場合、次 DMA 転送情報面に、次の DMA 転送情報設定を行います。

（次DMA転送情報面は、DMAステータスレジスタ（DSTSR）：NDP1/0ビットにて確認可能）

追加する転送情報がない場合、DMAコマンドレジスタ（DCMDR）：DQENDに'1'ライトし、連続転送モードを終了します。

【注】 実際は、ソース側バスとデスティネーション側バスの動作は独立しています。

17.5.2 DMA 連続転送動作

「17.5.1 DMA 転送手順」【DMA 転送手順】() に示すソフトウェアによる DMA 転送情報追加動作とハードウェアによる DMA 転送情報取動作および転送動作の関係を以下に示します。図 17.3 に DMA 情報レジスタ 0 を連続使用する場合、図 17.4 に DMA 情報レジスタ 0 / 1 を交互に使用する場合を示します。

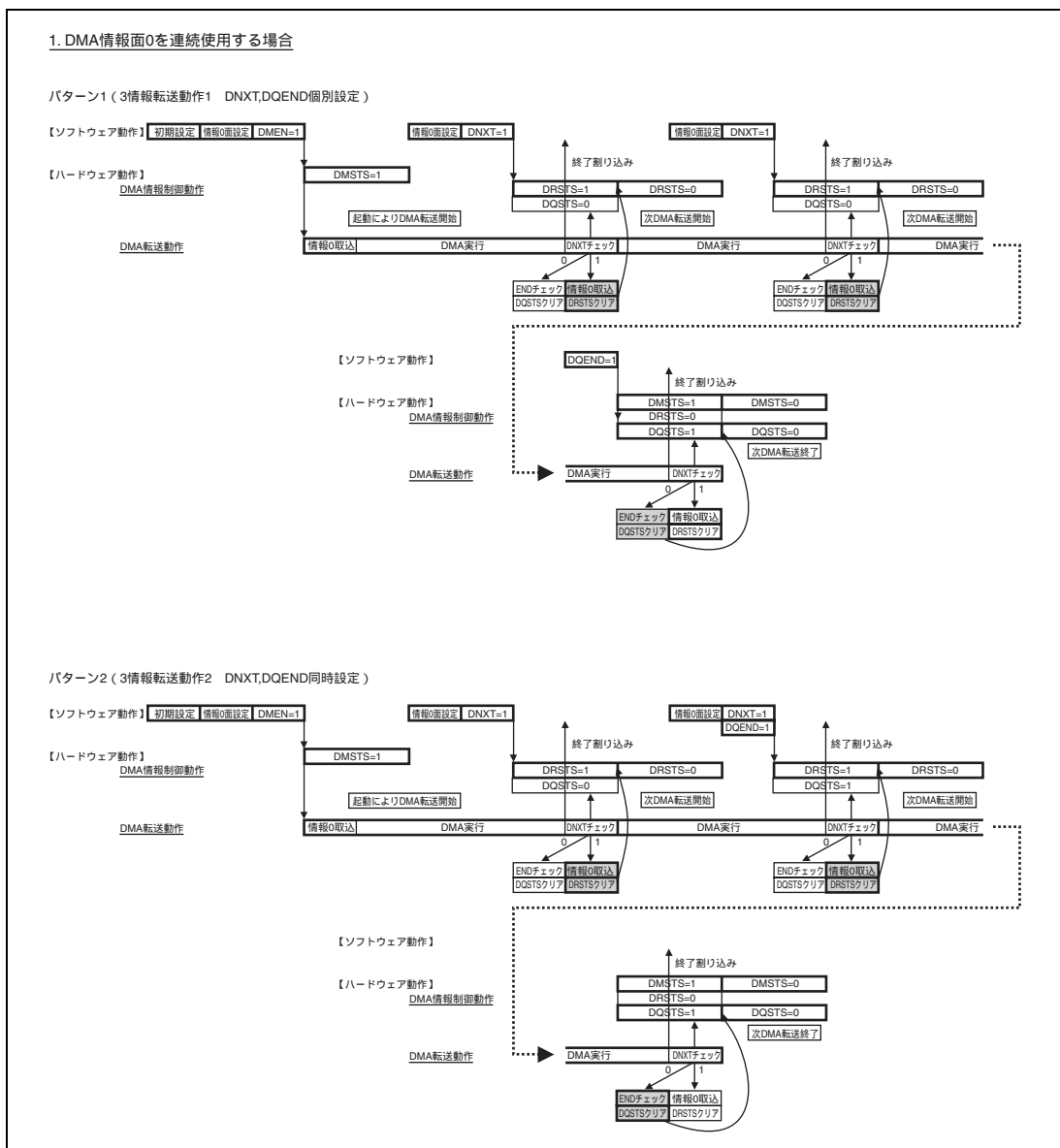


図 17.3 DMA 情報面 0 を連続使用する場合 (1)

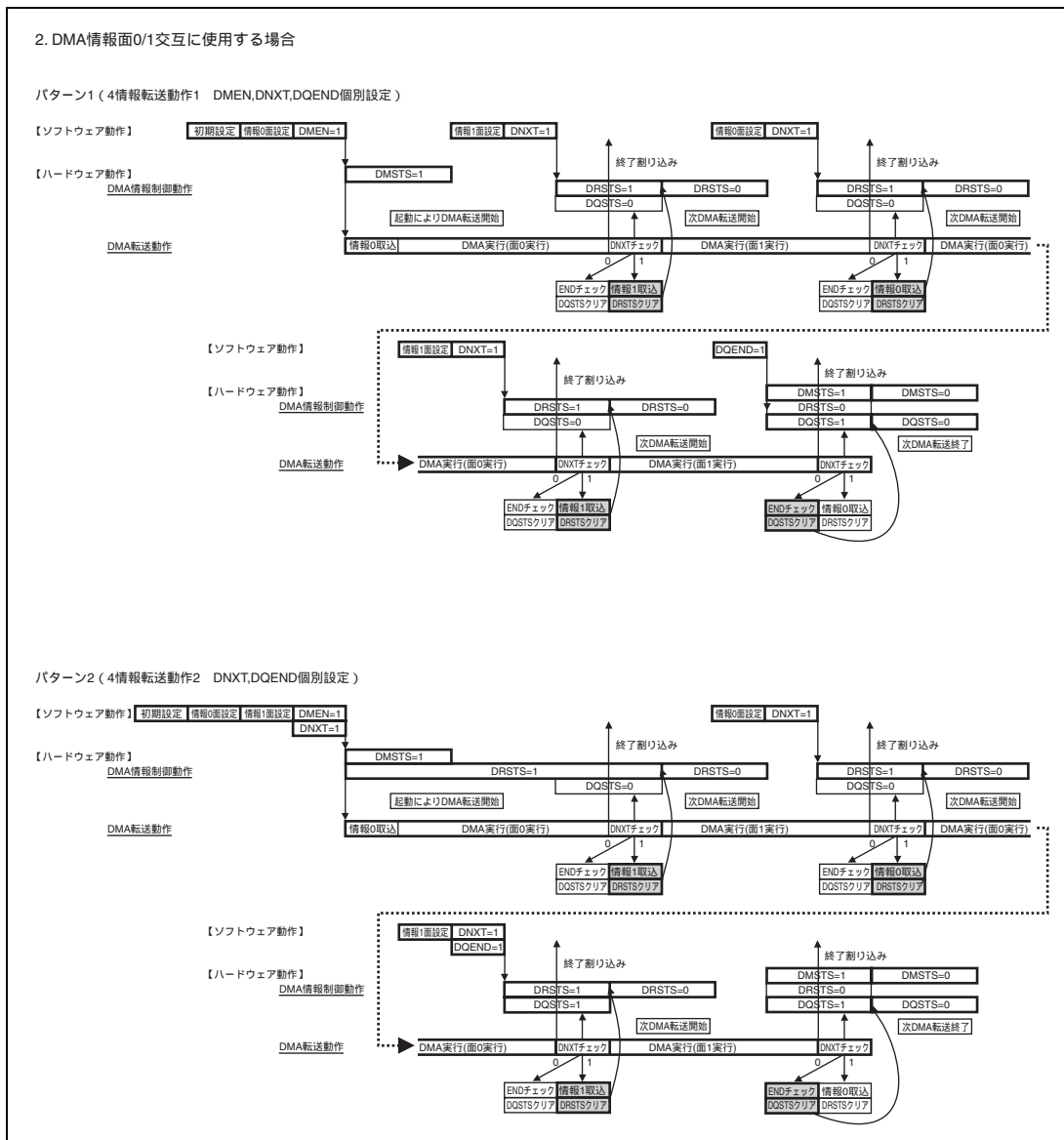


図 17.4 DMA 情報面 0 / 1 を交互に使用する場合 (1)

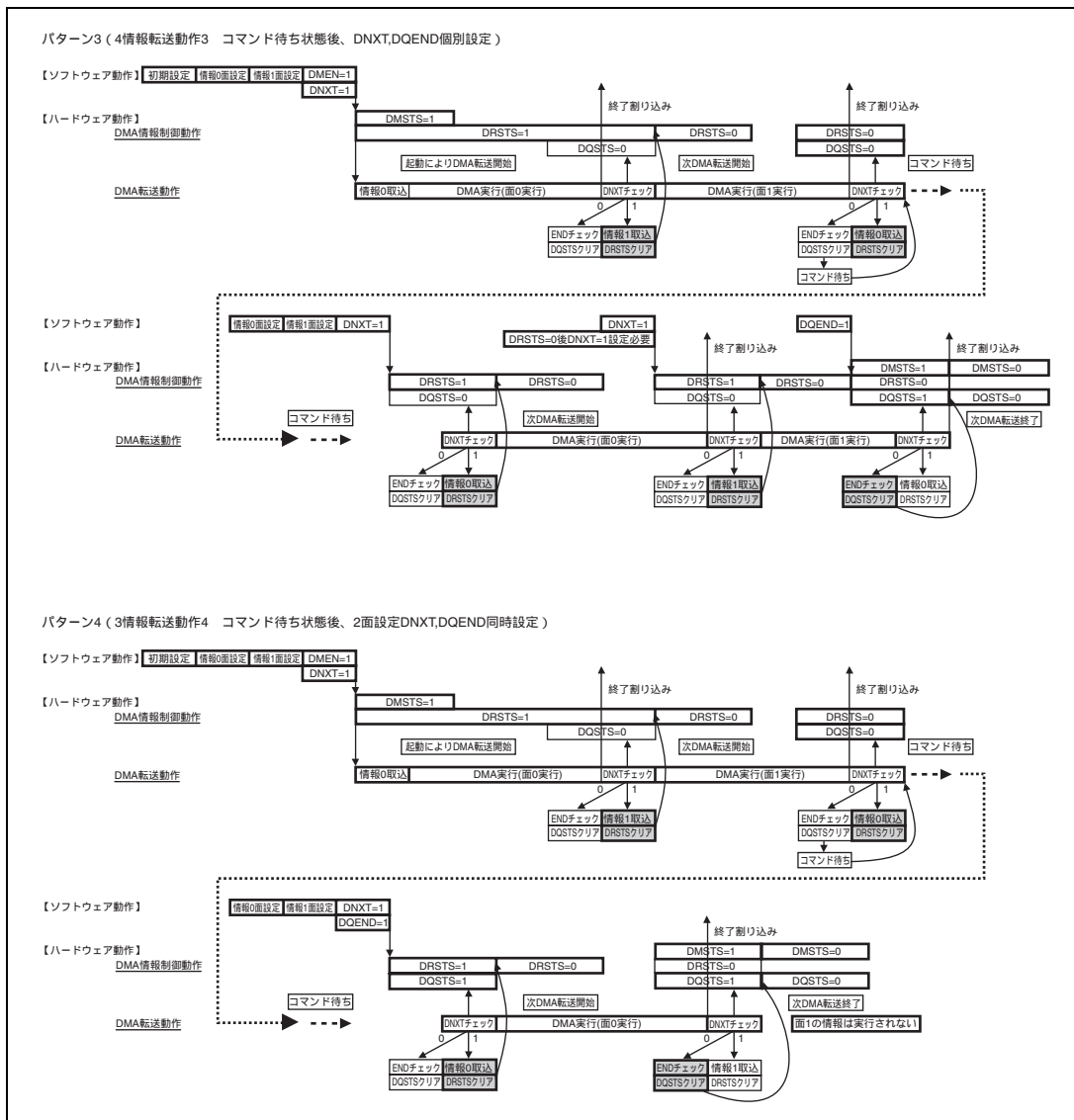


図 17.4 DMA 情報面 0 / 1 を交互に使用する場合 (2)

17.5.3 Peripheral からのリードデータパッキング機能

通常時の DMA 起動手順における DMA コントロールレジスタ (DCR) 設定時に、DCR の PKMD ビットに'1'をライトすることで Peripheral 側からのリードデータをパッキングしてメモリ (SuperHyway) 側へライト転送する機能を有効にすることができます。パッキング指定サイズは、DCR の SWMD ビットによって 4 または “DCR レジスタ【注】1 に示す” バイト単位を選択することが可能ですが、SuperHyway 側の転送の宛先がメモリ (DDR3-SDRAM) である場合は、“DCR レジスタ【注】1 に示す” バイト単位でパッキング指定することがメモリや SuperHyway バスをより効率良く使用することができるため推奨されます。HPB-DMAC にとって、SuperHyway 側の転送の宛先が 32byte アクセス可能である場合は、そのデバイスが SRAM 等であれば、DCR レジスタ SWMD : 0 設定時アクセスサイズの転送は可能となります。

パッキング動作では、DMAC が指定された回数の転送を終えた時点で DMAC 内に存在するデータがパッキング指定サイズ以下であった場合、取り込んだバイト数のデータライトを 1 回行い、DMA 転送終了割り込み表示レジスタ (DINTSR) : DTE[n]にて DMA 転送終了を示します。一方、指定された回数の転送を終えていない時に、Peripheral の DMA 要求が完了した場合、DMA コマンドレジスタ (DCMDR) : BDOUT ビットへ 1 ライトすることにより転送を終了することができますが、そのときに、DMAC にパッキング途中のデータが残っている場合は、そのデータをメモリ (SuperHyway) 側に書き込み、DMA 転送終了割り込み表示レジスタ (DINTSR) : DTE[n] に終了表示が立ち、終了割り込みを発生します。なお、メモリライト時は 0 パディングは生じません。DMAC にデータが残っていない場合では、メモリへのアクセスを行わず転送終了となり、データが残っている場合と同様に終了割り込みが発生します。

連続転送モード時に BDOUT ビットにより終了した場合は、次 DMA 情報転送要求を DMA コマンドレジスタ (DCMDR) : DNXT ビットにて予め指定していれば次 DMA 情報転送を行い、連続転送モードの終了手順に従って DMA 転送終了となります。

同モードの場合、BDOUT ビットへの 1 ライトから終了割り込み発生の間、Peripheral からの DMA 要求 (dreq) はマスクされます (DMA 要求を受け付けません)。

17.5.4 Peripheral からのリードデータパッキング機能に関する制限事項

- DMACの転送回数は、DMAトランスファカウントレジスタ0、1 (DTCR0、DTCR1) にて指定された値となります。
- 指定された転送回数に達しない状態で、Peripheral側のDMA転送が完了すると、転送中なのか転送完了なのかの区別がつかないので、DMAC内部のバッファにパッキングサイズに満たないデータが残ることがあります。ちょうど、パッキングサイズ指定と同じバイト数の場合は、メモリに転送されます。
- DMAC内部のバッファに残っていても、DMAコマンドレジスタ (DCMDR) のBDOUTビットにより強制ライトを実行すると、メモリに転送されます。(転送先がメモリなので0パディングはしません。例えば、メモリに未転送データが3バイトDMAC内にある場合、その3バイトのデータをメモリへライトを行います。)
- 強制ライト実行のきっかけとしては、Peripheralからの転送完了割り込みがあります。しかし、転送完了割り込みが上がったときに、PeripheralからのDMAC転送が完了しているかは、Peripheralの仕様に依存します。そのため、強制ライト実行にあたっては、Peripheralの仕様を確認してください。

17.5.5 DMA 転送終了通知

DMAC は、単転送モード時、DMA 転送情報の転送回数終了時、INTC 経由で CPU に対し終了割り込み信号（レベル信号）を出力し、転送終了を通知します。また連続転送モード時、1 つの DMA 転送情報の指定転送回数終了の度に毎回 CPU に対し終了割り込み信号を出力します。DMA 転送終了による割り込み信号は、DMA 転送終了割り込みイネーブルレジスタ（DINTMR）により制御されます。また、DMA 転送表示クリアレジスタへの 1 ライトにより、DMA 転送終了信号をクリアします。

17.5.6 DMA 転送停止、再開手順

DMA 転送停止、再開手順を以下に示します。

DMA 動作中に DMA を停止（キャンセル）させる場合			
手順	手順概要	レジスタ操作内容	レジスタライト後の動き
1	DMAC に強制停止を設定	DMAC (DSTPR [DMSTP]) フィールドに 1 ライト	DMAC は、現在実行中の DMA バスサイクルが終了次第、DMA を停止させ、アイドルへ移行。 バッファ内の転送未完了データは破棄。 レジスタ値は残る。終了割り込み出力はなし。
2	DMAC アイドル状態移行の確認	DMAC (DSTSR [DMSTS]) が 0 となればアイドル状態	
3	Peripheral に強制終了を設定	(Peripheral 依存)	Peripheral は DMA 要求を停止

【注】 * 手順 2 は手順 3 の後での実施でも可。

DMA動作中にDMAを一時停止(ポーズ)させ、その後再開させる場合			
手順	手順概要	レジスタ操作内容	レジスタライト後の動き
1	DMAC に一時停止を設定	DMAC (DCMDR [DMSPD]) フィールドに 1 ライト	現在実行中の DMA バスサイクルが終了次第、DMA を一時停止。 DMAC 内部状態はバッファ内の転送未完了データも含めそのまま保存される。
2	DMAC 一時停止状態 移行の確認	DMAC (DSTSR [DMSPS]) が 1 となれば 一時停止状態	
3	任意時間の経過		
4	DMAC に一時停止再開を設定	DMAC (DCMDR [DMSPC]) フィールドに 1 ライト	ポーズ状態が解除され DMAC が検出していた DREQ に対する DMA 動作から再開する。

【注】 * 手順 2 は手順 3 と 4 の間での実施でも可。

DMA動作中にDMAを一時停止(ポーズ)させ、その後停止(キャンセル)させる場合			
手順	手順概要	レジスタ操作内容	レジスタライト後の動き
1	DMAC に一時停止を設定	DMAC (DCMDR [DMSPD]) フィールドに 1 ライト	現在実行中の DMA バスサイクルが終了次第、DMA を一時停止。 DMAC 内部状態はバッファ内の転送未完了データも含めそのまま保存される。
2	DMAC 一時停止状態 移行の確認	DMAC (DSTSR [DMSPS]) が 1 となれば一時停止状態	
3	任意時間の経過		
4	DMAC に強制停止を設定	DMAC (DSTPR [DMSTP]) フィールドに 1 ライト	DMAC は、一時停止状態からアイドル状態へ移行。 バッファ内の転送未完了データは破棄。 レジスタ値は残る。終了割り込みはなし。
5	DMAC アイドル状態移行の確認	DMAC (DSTSR [DMSTS]) が 0 となればアイドル状態	
6	peripheral に強制終了を設定	(peripheral 依存)	peripheral は DMA 要求を停止

【注】 * 手順 2 は手順 3 と 4 の間での実施でも可。

手順 5 は手順 6 の後での実施でも可。

17.5.7 SuperHyway バスインタフェースにおけるデータアライメント

SuperHyway バス側アクセスは、常にアクセス要求～要求許可によるハンドシェイクにより行います。また、SuperHyway バスを介したメモリへのアクセスにおけるリード/ライトデータのデータアライメント変換を行います。

データアライメント変換は、DMA コントロールレジスタ (DCR) DTAMD=0 のとき、エンディアンモード信号 (DMAC 入力信号 : little) と Peripheral データバス幅 (DMAC コントロールレジスタ (DCR) SPDS[1:0]または、DPDS[1:0])により SuperHyway バスデータアライメント変換を行い、DMA コントロールレジスタ (DCR) DTAMD=1 のとき、DMA コントロールレジスタ (DCR) DTAC、DTAU、DTAU1 ビットにて設定された値により SuperHyway バスデータアライメント変換を行います。DMA コントロールレジスタ (DCR) DTAMD、エンディアンモード信号 (DMAC 入力信号 : little)、Peripheral データバス幅 (DMAC コントロールレジスタ (DCR) SPDS ビット[1:0]または、DPDS ビット[1:0])、DMA コントロールレジスタ (DCR)DTAC、DTAU、DTAU1 ビットと、SuperHyway バスデータアライメント制御との対応を下記表に示します。

表 17.3 データアライメント制御信号対応表

番号	DTA MD	Little (MD[8])	PDS [1:0]	DT AC	DT AU	DT AU1	4バイトに対するデータアライメント有無	4バイトに対するデータアライメント単位	8バイトに対する4バイトデータアライメント有無	変換パターン	備考
1	0	0	00(8bit)	*	*	*	行わない	8bit	行わない	CP1	標準的な変換 (ソフトは PDS[1:0]のみを 意識)
2	0	0	01(16bit)	*	*	*	行わない	16bit	行わない	CP2	
3	0	0	10(32bit)	*	*	*	行わない	8bit	行わない	CP3	
4	0	1	00(8bit)	*	*	*	行う	8bit	行う	CP1	
5	0	1	01(16bit)	*	*	*	行う	16bit	行う	CP2	
6	0	1	10(32bit)	*	*	*	行わない	8bit	行う	CP3	
7	1	*	*	0	0	0	行わない	8bit	行わない	CP1	変則的な変換 (ソフトにて アライメントの 形式を意識)
8	1	*	*	0	0	1	行わない	8bit	行う	CP3	
9	1	*	*	0	1	0	行わない	16bit	行わない	CP2	
10	1	*	*	0	1	1	行わない	16bit	行う	CP3	
11	1	*	*	1	0	0	行う	8bit	行わない	CP1	
12	1	*	*	1	0	1	行う	8bit	行う	CP1	
13	1	*	*	1	1	0	行う	16bit	行わない	CP2	
14	1	*	*	1	1	1	行う	16bit	行う	CP2	

【記号説明】

* : Don't care

DMAC で行うデータアライメント変換動作を以下に示します。表 17.3 の変換パターン番号は図 17.5 の変換動作番号になります。

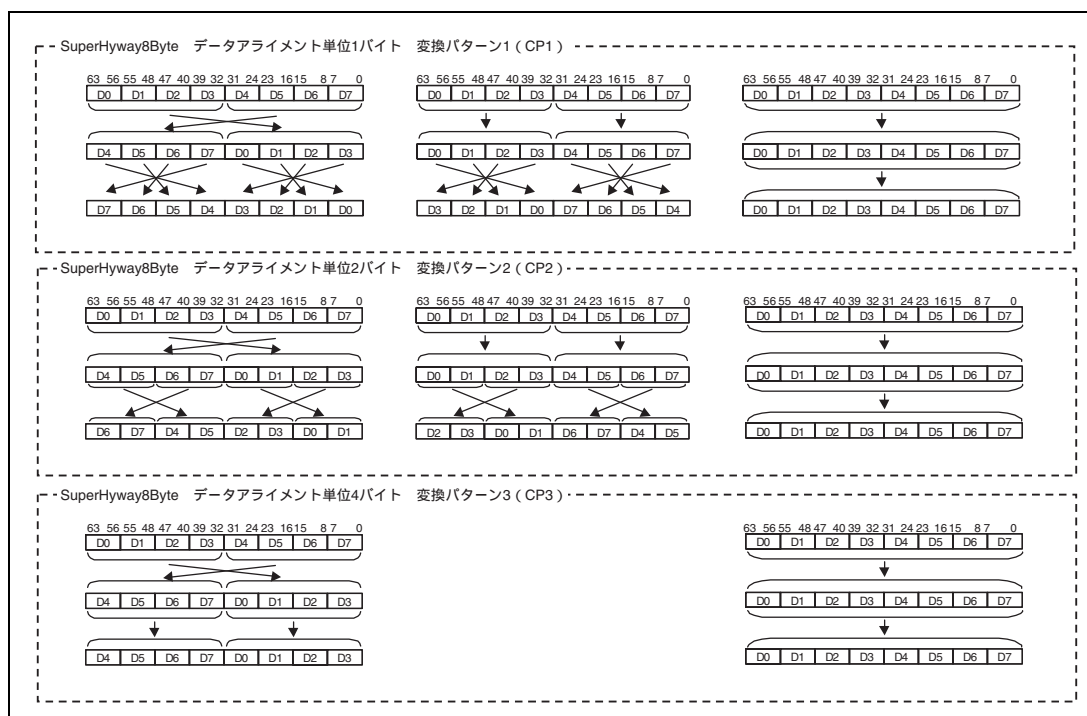


図 17.5 データアライメント動作

17.5.8 HPB バスインタフェースにおけるデータアライメント

HPB バス側アクセスは、データバス幅は、DMA コントロールレジスタ (DCR) の SPDS、DPDS ビットで設定されたバス幅でアクセスされ、エンディアンはビッグエンディアン固定となります。

17.6 使用上の注意事項

本 HPB-DMAC を使用する際は、以下のことを注意してください。

17.6.1 周波数変更について

本 DMA 動作中に、CPG のレジスタ設定による周波数変更を行わないでください。

周波数変更する場合、DMA ステータスレジスタ (DSTS) の DMSTS (ビット 0) が 0 であることを確認後、実行してください。

処理を再開する場合は、「17.5.1 DMA 転送手順」に従い処理を再開してください。

18. クロック発振器 (CPG)

クロック発振器 (CPG) は SH7786 の内部および外部バスインタフェースに供給するクロックの生成と低消費電力の制御を行います。クロック発振器は、水晶発振回路、PLL 回路、分周器および制御部で構成されます。

18.1 特長

- SH7786内部用のクロックを生成*
CPU、FPU、キャッシュ、TLBで使用するCPUクロック (Ick) と、SuperHywayで使用するSuperHywayクロック (SHck)、ディスプレイユニットで使用するDUクロック (DUck)、およびその他の内蔵周辺モジュールとのインタフェースで使用する周辺クロック (Pck) を生成します。
- SH7786外部用のクロックを生成
外部バスインタフェースで使用するバスクロック (Bck) とDDR3-SDRAMインタフェースで使用するメモリクロックとしてDDRクロック (DDRck) を生成します。
- クロック動作モード
CPGへのクロック入力について水晶発振子入力か外部クロック入力かを選択します。
- 低消費電力モードの制御
スリープモードでのCPUの停止、モジュールスタンバイ機能での特定モジュールの停止が可能です。
詳細は、「第20章 低消費電力モード」を参照してください。

図 18.1 に CPG のブロック図を示します。

【注】 * 各モジュールで使用しているクロックは、各モジュールの章を参照ください。

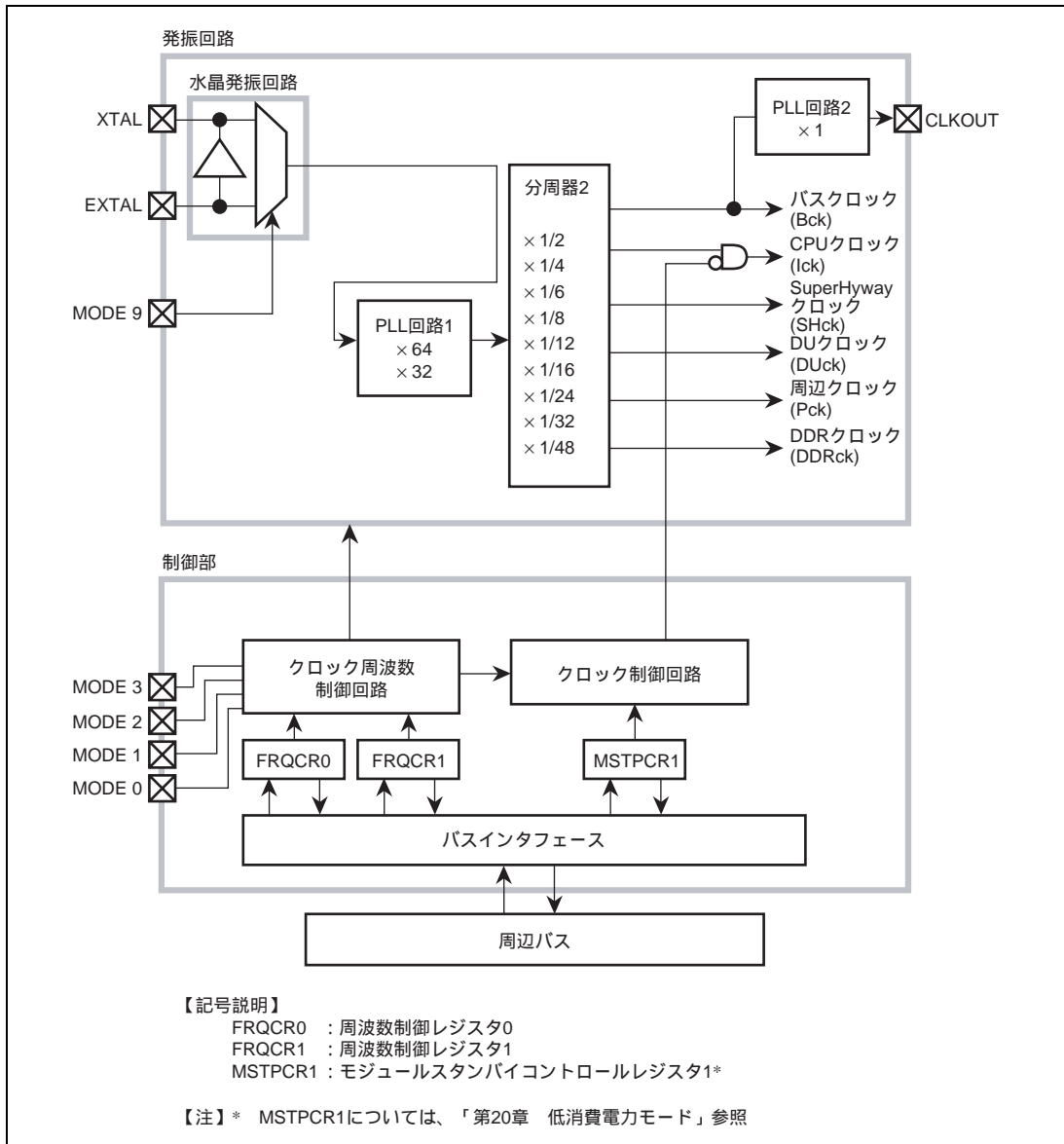


図 18.1 CPG ブロック図

CPG の各ブロックは次のように機能します。

1. PLL回路1

PLL回路1は、PLL回路1の入力クロック周波数を32倍または64倍に通倍する機能を持ちます。

2. PLL回路2

PLL回路2は、バスクロック (Bck) と、ローカルバスで使用するCLKOUTのクロックの位相を合わせる機能を持ちます。

3. 水晶発振回路

XTAL、EXTAL端子に水晶発振子を接続して使用する場合の発振回路です。

水晶発振子はモード端子MODE9の設定により使用可能となります。

4. 分周器2

分周器2は、CPUクロック (Ick)、SuperHywayクロック (SHck)、DUクロック (DUck)、周辺クロック (Pck)、DDRクロック (DDRck)、およびバスクロック (Bck) を生成します。

分周率は、モード端子MODE0、MODE1、MODE2およびMODE3の組み合わせにより設定します。

18.2 入出力端子

CPG の端子構成を表 18.1 に示します。

表 18.1 CPG の端子構成と機能

端子名	機能	入出力	説明
MODE0 MODE1 MODE2 MODE3	モード端子 0、1、2、3 クロック動作モード*	入力	クロック動作モードを設定します。 MODE0 端子は、SCIF0_TXD (SCIF チャネル 0)、 $\overline{\text{IRL4}}$ (INTC)、SDIF0D0 (SDIF チャネル 0)、PH0 (GPIO) 端子と、 MODE1 端子は、SCIF0_RXD (SCIF チャネル 0)、 $\overline{\text{IRL5}}$ (INTC)、SDIF0D1 (SDIF チャネル 0)、PH1 (GPIO) 端子と、 MODE2 端子は、SCIF0_SCK (SCIF チャネル 0)、 $\overline{\text{IRL6}}$ (INTC)、SDIF0D2 (SDIF チャネル 0)、PH2 (GPIO) 端子と、 MODE3 端子は、 $\overline{\text{SCIF0_RTS}}$ (SCIF チャネル 0)、 $\overline{\text{IRL7}}$ (INTC)、SDIF0D3 (SDIF チャネル 0)、PH3 (GPIO) 端子と、それぞれマルチプレクスされています。
MODE9	モード端子 9 クロック入力モード*	入力	水晶発振子の使用 / 不使用を設定します。 MODE9 がローレベルのとき、EXTAL から外部クロックを入力します。 MODE9 がハイレベルのとき、EXTAL、XTAL に水晶発振子を接続します。 SCIF4_RXD (SCIF チャネル 4)、DRAK1 (DMAC)、SSI3_SDATA (SSI チャネル 3)、PJ2 (GPIO) 端子とマルチプレクスされています。
XTAL	クロック端子	出力	水晶発振子を接続します。
EXTAL		入力	水晶発振子を接続します。 または外部クロック入力端子として使用します。
CLKOUT		出力	ローカルバスクロック出力端子として使用します
CLKOUTENB	クロック出力イネーブル	出力	CLKOUT 出力クロックが不安定な時にローレベルを出力します。 $\overline{\text{PRESET}}$ 端子入力がローレベルのときは、CLKOUT 出力クロックの状態に関係なくハイレベルを出力します。

【注】 * $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時に、モード端子の状態を取り込み、クロック動作モード、およびクロック入力モードが決まります。

18.3 クロック動作モード

モード端子 (MODE3、MODE2、MODE1、MODE0) の組み合わせとクロック動作モードの関係を表 18.2 に示します。

表 18.2 クロック動作モードと分周器および PLL の動作

クロック 動作モード	モード制御端子組み合わせ ^{*1*2}				PLL1	PLL2
	MODE3	MODE2	MODE1	MODE0		
0	L	L	L	L	On (× 64)	On
1	L	L	L	H	On (× 64)	On
2	L	L	H	L	On (× 64)	On
3	L	L	H	H	On (× 32)	On
4	L	H	L	L	On (× 32)	On
5	L	H	L	H	On (× 32)	On

【注】 *1 上記以外のモード端子 (MODE3、MODE2、MODE1、MODE0) の組み合わせは設定禁止です。

*2 L はローレベル、H はハイレベルです。

表 18.3 クロック動作モードと各クロックの周波数逡倍率

クロック動作 モード	FRQMR1 初期値	周波数逡倍率 (対入力クロック)					
		CPU クロック lck	SuperHyway クロック SHck	DU クロック DUck	バスクロック Bck	周辺クロック Pck	DDR クロック DDRck
0	H'1F25 1F48	× 32	× 16	× 8	× 16/3	× 8/3	× 32
1	H'1F26 1F46	× 32	× 16	× 8	× 4	× 4	× 32
2	H'1F29 1F49	× 32	× 16	× 8	× 2	× 2	× 32
3	H'1F25 1F48	× 16	× 8	× 4	× 8/3	× 4/3	× 16
4	H'1F26 1F46	× 16	× 8	× 4	× 2	× 2	× 16
5	H'1F29 1F49	× 16	× 8	× 4	× 1	× 1	× 16

18.4 レジスタの説明

表 18.4 にレジスタ一覧を示します。また、各処理モードにおけるレジスタの状態を表 18.5 に示します。

表 18.4 レジスタ構成

名 称	略 称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	同期 クロック
周波数制御レジスタ 0	FRQCR0	R/W	H'FFC4 0000	H'1FC4 0000	32	Pck
周波数制御レジスタ 1	FRQCR1	R/W	H'FFC4 0004	H'1FC4 0004	32	Pck
周波数表示レジスタ 1	FRQMR1	R	H'FFC4 0014	H'1FC4 0014	32	Pck
PLL コントロールレジスタ	PLLCR	R/W	H'FFC4 0024	H'1FC4 0024	32	Pck
スタンバイコントロールレジスタ 0*	MSTPCR0	R/W	H'FFC4 0030	H'1FC4 0030	32	Pck
スタンバイコントロールレジスタ 1*	MSTPCR1	R/W	H'FFC4 0034	H'1FC4 0034	32	Pck
スタンバイ表示レジスタ*	MSTPMR	R	H'FFC4 0044	H'1FC4 0044	32	Pck

【注】 * スタンバイコントロールレジスタについては、「第 20 章 低消費電力モード」を参照してください。

表 18.5 各処理状態におけるレジスタの状態

名 称	略 称	パワーオン リセット	マニュアル リセット	スリープ/ ライトスリープ
		PRESET 端子 / WDT / H-UDI による	WDT / 多重例外による	SLEEP 命令による
周波数制御レジスタ 0	FRQCR0	H'0000 0000	保持	保持
周波数制御レジスタ 1	FRQCR1	H'0000 0000	保持	保持
周波数表示レジスタ 1	FRQMR1	H'1F2x 1F4x* ²	保持	保持
PLL コントロールレジスタ	PLLCR	H'0000 0000	保持	保持
スタンバイコントロールレジスタ 0* ¹	MSTPCR0	H'0000 0000	保持	保持
スタンバイコントロールレジスタ 1* ¹	MSTPCR1	H'0000 0000	保持	保持
スタンバイ表示レジスタ* ¹	MSTPMR	H'00x8 0000* ³	保持	保持

【注】 *¹ スタンバイコントロールレジスタについては、「第 20 章 低消費電力モード」を参照してください。

*² PRESET 端子によるパワーオンリセット時に取り込んだモード端子 MODE0、MODE1、MODE2、MODE3 の組み合わせにより決まります。表 18.2 または表 18.3 を参照してください。

*³ PRESET 端子によるパワーオンリセット時に取り込んだモード端子 MPMD により決まります。

18.4.1 周波数制御レジスタ 0 (FRQCR0)

FRQCR0 は、読み出しと一部分書き込み可能な 32 ビットのレジスタで、各クロックの周波数を変更するためのシーケンスを実行するためのレジスタです。シーケンスを実行した後、自動的に 0 にクリアされます。FRQCR0 はロングワードアクセスのみ可能です。

FRQCR0 への書き込みは上位バイトをコード値 (H'CF) にしてロングワードサイズで行ってください。これ以外のコード値での書き込みは無効です。コード値を読み出すと常に 0 が読み出されます。

本レジスタは $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時、WDT オーバフローによるパワーオンリセット時、H-UDI によるパワーオンリセット時のみリセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値(H'CF)								—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FRQE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~24		すべて 0	R/W	コード値 (H'CF) 読み出すと常に 0 が読み出されます。本レジスタへの書き込み時は H'CF を書き込んでください。
23~1		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	FRQE	0	R/W	周波数変更シーケンスイネーブル FRQCR1 に設定した値に従い各クロックの周波数を変更するためのシーケンス実行を許可します。シーケンス実行後、本ビットは自動的に 0 にクリアされます。 0: 周波数を変更するためのシーケンス実行を禁止 1: 周波数を変更するためのシーケンス実行を許可 【注】設定禁止の分周比の組み合わせがありますので、表 18.7、表 18.8 以外の値を FRQCR1 に設定した状態では、FRQE に 1 をセットしないでください。

18.4.2 周波数制御レジスタ 1 (FRQCR1)

FRQCR1 は、読み出しと書き込み可能な 32 ビットのレジスタで、CPU クロック (Ick)、周辺クロック (Pck)、バスクロック (Bck) の分周器 2 の分周率の設定が可能です。各クロックの分周器 2 での分周率を確認するには、FRQMR1 を読み出ししてください。FRQCR1 はロングワードアクセスのみ可能です。

H'0 以外の値を書き込んだクロックの分周率を変更するので、分周率を変更したいクロックに対応するビットにのみ H'0 以外の値を設定してください。それ以外のビットには、H'0 を設定してください。

各クロックを FRQCR1 に設定した分周率に変更するためには、FRQCR0 の FRQE ビットに 1 をセットして、周波数を変更するためのシーケンスを実行する必要があります。シーケンスを実行した後、本レジスタは自動的に H'0000 0000 にクリアします。

本レジスタは $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時および WDT オーバフローによるパワーオンリセット時のみリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IFC3	IFC2	IFC1	IFC0	—	—	—	—	—	—	—	—	BFC3	BFC2	BFC1	BFC0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PFC3	PFC2	PFC1	PFC0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	IFC3	0	R/W	CPU クロック (Ick) 周波数の分周率 0000: 変更しない 0010: × 1/4 倍 0001: × 1/2 倍 上記以外: 設定しないでください
30	IFC2	0	R/W	
29	IFC1	0	R/W	
28	IFC0	0	R/W	
27~20		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19	BFC3	0	R/W	バスクロック (Bck) 周波数の分周率 0000: 変更しない 0101: × 1/12 倍 1000: × 1/24 倍 0110: × 1/16 倍 1001: × 1/32 倍 上記以外: 設定しないでください
18	BFC2	0	R/W	
17	BFC1	0	R/W	
16	BFC0	0	R/W	
15~4		すべて 0	R	
3	PFC3	0	R/W	周辺クロック (Pck) 周波数の分周率

ビット	ビット名	初期値	R/W	説 明
2	PFC2	0	R/W	0000: 変更しない
1	PFC1	0	R/W	1000: ×1/24 倍
0	PFC0	0	R/W	0110: ×1/16 倍 1001: ×1/32 倍 1011: ×1/48 倍 上記以外: 設定しないでください

18.4.3 周波数表示レジスタ 1 (FRQMR1)

FRQMR1 は、読み出し可能な 32 ビットのレジスタで、CPU クロック (Ick)、SuperHyway クロック (SHck)、周辺クロック (Pck)、DDR クロック (DDRck)、バスクロック (Bck)、および DU クロック (DUck) の分周器 2 での分周率を読み出すことが可能です。FRQMR1 はロングワードアクセスのみ可能です。

本レジスタは $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時、WDT オーバフローによるパワーオンリセット時および H-UDI によるパワーオンリセット時のみリセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IFST3	IFST2	IFST1	IFST0	—	—	—	—	SFST3	SFST2	SFST1	SFST0	BFST3	BFST2	BFST1	BFST0
初期値:	0	0	0	1	1	1	1	1	0	0	1	0	x	x	x	x
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DFST3	DFST2	DFST1	DFST0	—	—	—	—	S3FST3	S3FST2	S3FST1	S3FST0	PFST3	PFST2	PFST1	PFST0
初期値:	0	0	0	1	1	1	1	1	0	1	0	0	x	x	x	x
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 初期値 (x:不定値のビット)は、 $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時に取り込んだモード端子 MODE0、MODE1、MODE2、MODE3 の組み合わせにより決まります。表 18.3 を参照してください。

ビット	ビット名	初期値	R/W	説明
31	IFST3	0	R	CPU クロック (Ick) 周波数の分周率 0001: × 1/2 倍 0010: × 1/4 倍
30	IFST2	0	R	
29	IFST1	0	R	
28	IFST0	1	R	
27~24		すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。
23	SFST3	0	R	SuperHyway クロック (SHck) 周波数の分周率 0010: × 1/4 倍
22	SFST2	0	R	
21	SFST1	1	R	
20	SFST0	0	R	
19	BFST3	x	R	バスクロック (Bck) 周波数の分周率 0101: × 1/12 倍 1000: × 1/24 倍 0110: × 1/16 倍 1001: × 1/32 倍
18	BFST2	x	R	
17	BFST1	x	R	
16	BFST0	x	R	

ビット	ビット名	初期値	R/W	説明
15	DFST3	0	R	DDR クロック (DDRck) 周波数の分周率 0001: $\times 1/2$ 倍
14	DFST2	0	R	
13	DFST1	0	R	
12	DFST0	1	R	
11~8		すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。
7	S3FST3	0	R	DU クロック (Duck) 周波数の分周率 0100: $\times 1/8$ 倍
6	S3FST2	1	R	
5	S3FST1	0	R	
4	S3FST0	0	R	
3	PFST3	x	R	周辺クロック (Pck) 周波数の分周率 0110: $\times 1/16$ 倍 1001: $\times 1/32$ 倍 1000: $\times 1/24$ 倍 1011: $\times 1/48$ 倍
2	PFST2	x	R	
1	PFST1	x	R	
0	PFST0	x	R	

18.4.4 PLL コントロールレジスタ (PLLCR)

PLLCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、CLKOUT 端子からのクロック出力の有無の指定を行います。PLLCR はロングワードアクセスのみ可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CKOFF	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	説明
31~24		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16		すべて 0	R/W	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。0 以外の値を書き込んだ場合、動作は保障しません。
15~2		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	CKOFF	0	R/W	CLKOUT 出力イネーブル 0: CLKOUT 端子からクロックを出力します。 1: CLKOUT 端子をハイインピーダンス状態にします。
0		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

18.5 周波数の算出方法

周波数制御レジスタ FRQCR1、周波数表示レジスタ FRQMR1 で記載した分周器 2 の分周率と、EXTAL 入力との関係を表 18.6 に示します。

表 18.6 分周器 2 の分周率と周波数との関係

分周器 2 の分周率	周波数 (対入力クロック)	
	クロック動作モード 0~2	クロック動作モード 3~5
× 1/2 倍	32 通倍	16 通倍
× 1/4 倍	16 通倍	8 通倍
× 1/8 倍	8 通倍	4 通倍
× 1/12 倍	16/3 通倍	8/3 通倍
× 1/16 倍	4 通倍	2 通倍
× 1/24 倍	8/3 通倍	4/3 通倍
× 1/32 倍	2 通倍	1 通倍
× 1/48 倍	4/3 通倍	2/3 通倍

18.6 周波数の変更方法

内部クロックおよびローカルバスクロック CLKOUT の周波数をソフトウェアにより変更するためには、以下の手順で周波数制御レジスタ FRQCR0、FRQCR1 を設定してください。表 18.7、表 18.8 に設定可能な周波数の組み合わせを示します。

18.6.1 バスクロック以外のクロックの周波数変更

バスクロック以外のクロックの周波数を変更する場合は、WDT によるカウントアップは行いません。周波数変更の手順を以下に示します。

1. FRQCR1レジスタで分周率を変更したいクロックに対応するビットに目的とする値(H'0以外)を設定します。
2. FRQCR0レジスタにH'CF000001を設定し、周波数変更シーケンスの実行を許可します。この書き込みにより、周波数変更シーケンスを開始します。
3. FRQCR0レジスタからH'00000000が読み出せた時点で周波数変更シーケンスは終了しており、内部クロックは設定された分周率のクロックに切り替わっています。

18.6.2 バスクロックの周波数変更

バスクロックの周波数を変更する場合は、PLL 回路 2 の発振安定後に WDT によるカウントアップを行います。WDT のカウントオーバーフロー後に本 LSI は動作を再開します。

図 18.2 と図 18.3 にバスクロックの周波数変更時の CLKOUT 端子と CLKOUTENB 端子のタイミングを示します。

また、周波数変更の手順を以下に示します。

1. WDTCSRのTMEビットに0を書き込んで、WDTを停止します。
2. WDTBSTにPLL回路2の発振安定後に、本LSIが動作を再開するまでの時間を設定します。H'55000001を書き込んだ時が最小で、H'55000000を書き込んだ時が最大となります。
3. FRQCR1レジスタで分周率を変更したいクロックに対応するビットに目的とする値(H'0以外)を設定します。
4. FRQCR0レジスタにH'CF000001を設定し、周波数変更シーケンスの実行を許可します。この書き込みにより、周波数変更シーケンスを開始します。
5. CLKOUTENB端子出力がローレベルになり、周辺クロック (Pck) 周期で10サイクル後にCLKOUT端子に不安定なクロックが出力されます。
6. PLL回路2の発振安定後、周辺クロック (Pck) 周期で24サイクル後にCLKOUTENB端子にハイレベルを出力します。
7. WDTのカウントアップを開始し、WDTBCNTの値がWDTBSTの値と等しくなると、本LSIは動作を再開します。
8. FRQCR0レジスタからH'00000000が読み出せた時点で周波数変更シーケンスは終了しており、内部クロックは設定された分周率のクロックに切り替わっています。

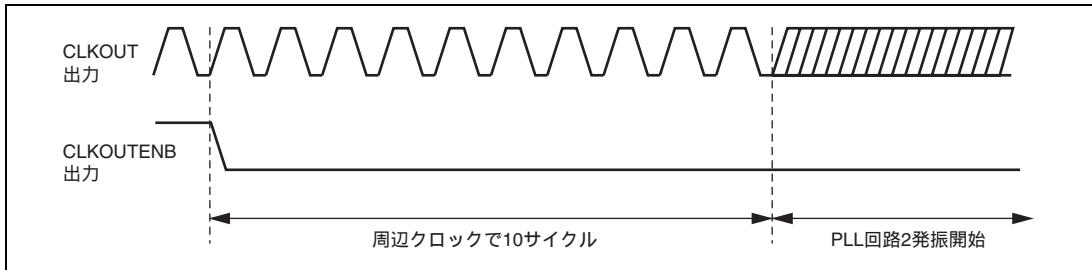


図 18.2 バスクロックの周波数変更開始時

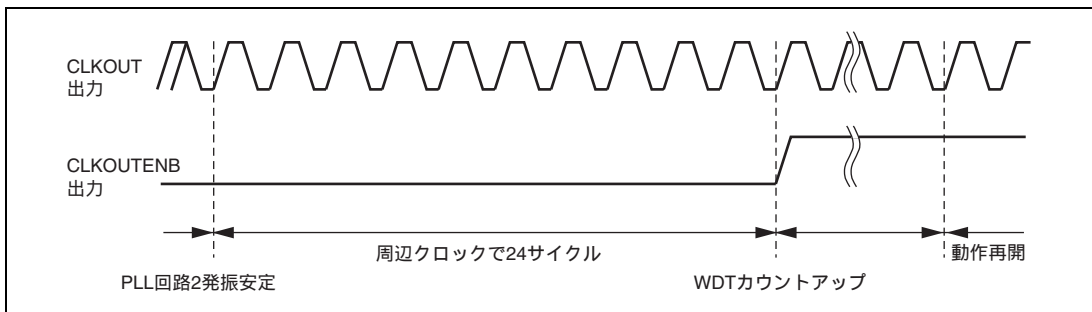


図 18.3 バスクロックの周波数変更終了時

表 18.7 設定可能なクロック周波数の組み合わせ
(CPU クロック $\times 1/2$ 倍、DDR クロック $\times 1/2$ 倍)

FRQMR1 読み出し値	分周器 2 の分周率					
	CPU クロック lck	SuperHyway クロック SHck	DU クロック DUck	バスクロック Bck	周辺クロック Pck	DDR クロック DDRck
H'1F25 1F48	$\times 1/2$	$\times 1/4$	$\times 1/8$	$\times 1/12$	$\times 1/24$	$\times 1/2$
H'1F25 1F4B	$\times 1/2$	$\times 1/4$	$\times 1/8$	$\times 1/12$	$\times 1/48$	$\times 1/2$
H'1F26 1F46	$\times 1/2$	$\times 1/4$	$\times 1/8$	$\times 1/16$	$\times 1/16$	$\times 1/2$
H'1F26 1F49	$\times 1/2$	$\times 1/4$	$\times 1/8$	$\times 1/16$	$\times 1/32$	$\times 1/2$
H'1F26 1F4B	$\times 1/2$	$\times 1/4$	$\times 1/8$	$\times 1/16$	$\times 1/48$	$\times 1/2$
H'1F28 1F48	$\times 1/2$	$\times 1/4$	$\times 1/8$	$\times 1/24$	$\times 1/24$	$\times 1/2$
H'1F28 1F4B	$\times 1/2$	$\times 1/4$	$\times 1/8$	$\times 1/24$	$\times 1/48$	$\times 1/2$
H'1F29 1F49	$\times 1/2$	$\times 1/4$	$\times 1/8$	$\times 1/32$	$\times 1/32$	$\times 1/2$

表 18.8 設定可能なクロック周波数の組み合わせ (CPU クロック $\times 1/4$ 倍、DDR クロック $\times 1/2$ 倍)

FRQMR1 読み出し値	分周器 2 の分周率					
	CPU クロック lck	SuperHyway クロック SHck	DU クロック DUck	バスクロック Bck	周辺クロック Pck	DDR クロック DDRck
H'2F25 1F48	$\times 1/4$	$\times 1/4$	$\times 1/8$	$\times 1/12$	$\times 1/24$	$\times 1/2$
H'2F25 1F4b	$\times 1/4$	$\times 1/4$	$\times 1/8$	$\times 1/12$	$\times 1/48$	$\times 1/2$
H'2F26 1F46	$\times 1/4$	$\times 1/4$	$\times 1/8$	$\times 1/16$	$\times 1/16$	$\times 1/2$
H'2F26 1F49	$\times 1/4$	$\times 1/4$	$\times 1/8$	$\times 1/16$	$\times 1/32$	$\times 1/2$
H'2F26 1F4b	$\times 1/4$	$\times 1/4$	$\times 1/8$	$\times 1/16$	$\times 1/48$	$\times 1/2$
H'2F28 1F48	$\times 1/4$	$\times 1/4$	$\times 1/8$	$\times 1/24$	$\times 1/24$	$\times 1/2$
H'2F28 1F4b	$\times 1/4$	$\times 1/4$	$\times 1/8$	$\times 1/24$	$\times 1/48$	$\times 1/2$
H'2F29 1F49	$\times 1/4$	$\times 1/4$	$\times 1/8$	$\times 1/32$	$\times 1/32$	$\times 1/2$

18.7 ボード設計上の注意事項

(1) 水晶発振器使用時の注意

水晶発振器と容量はできるだけ EXTAL 端子および XTAL 端子の近くに置いてください。また、これらの端子の信号線に他の信号線を交差させないでください。誘導のために正しい発振ができなくなることがあります。

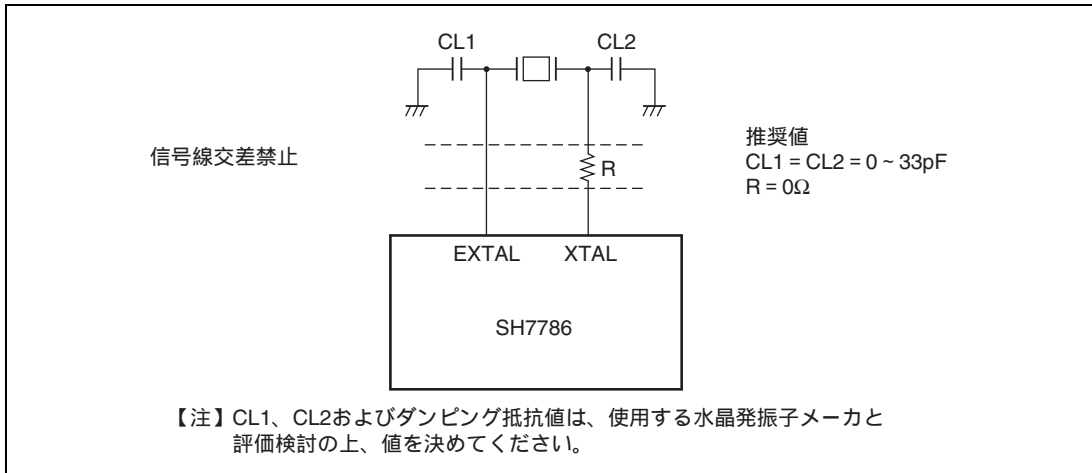


図 18.4 水晶発振器使用時の注意

(2) 外部クロックを EXTAL 端子から入力するときの注意

XTAL 端子には、何も接続しないでください。

(3) PLL 発振回路使用時の注意

VREFA、VSSA と VDDAI、VSSAI は、その他の VDD とはボードの電源供給元から分離し、端子の近くにノイズフィルタとして抵抗 RCB、バイパスコンデンサ CPB、CB を挿入してください。

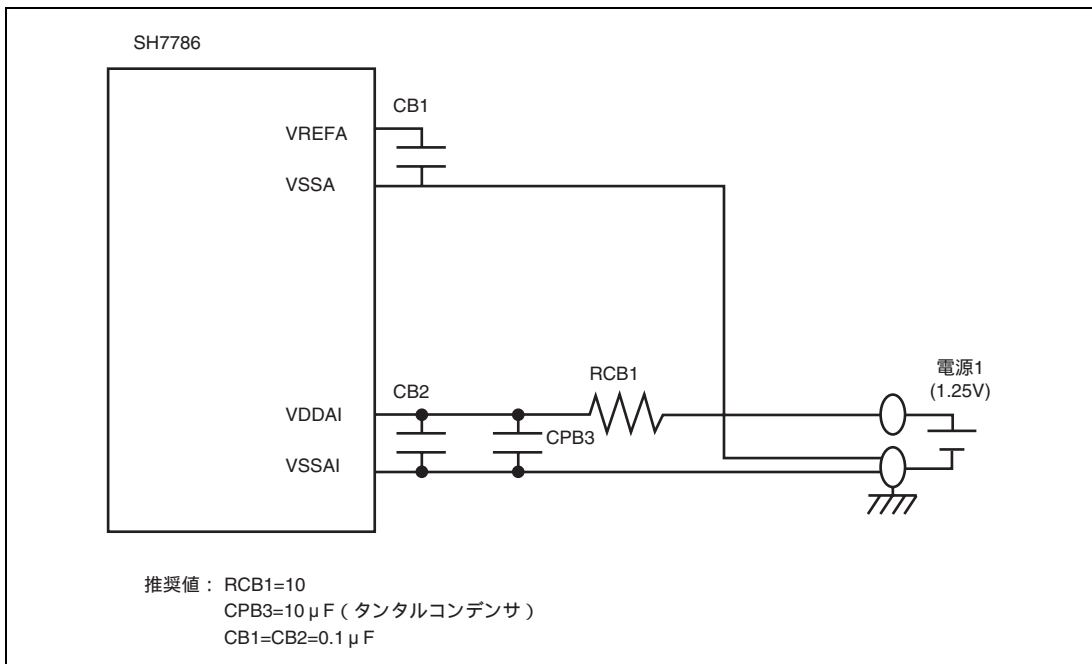


図 18.5 PLL 発振回路使用時の注意

19. リセット、ウォッチドッグタイマ (WDT、WDT (CPU0)、WDT (CPU1))

リセット、ウォッチドッグタイマ (WDT) は、リセット制御部とウォッチドッグタイマ制御部から構成され、パワーオンリセット時のシーケンス制御を行います。WDT は 1 チャンネルのタイマでありウォッチドッグタイマ (パワーオンリセットのみ発生) またはインターバルタイマとして使用可能です。

また、上記 WDT とは別に、各 CPU を個別にマニュアルリセットできるウォッチドッグタイマ WDT (CPU0)、WDT (CPU1) を搭載しています。

19.1 特長

19.1.1 WDT の特長

- 一定周期でカウントするタイマを使用して、システムの暴走を監視する機能を実現します。
- WDT には、カウンタオーバーフローにより内部をパワーオンリセットするウォッチドッグタイマモードと、割り込みを発生するインターバルタイマモードがあります。
- WDT のウォッチドッグタイマモード時、カウンタオーバーフローにより内部モジュールをパワーオンリセットします。
- WDT のインターバルタイマモード時、カウンタオーバーフローによりインターバルタイマ割り込みを発生します。
- WDT 関連のレジスタは、容易に書き換えられないように上位 8 ビットにコード値を設定しています。

19.1.2 WDT (CPU0)、WDT (CPU1) の特長

- 一定周期でカウントするタイマを使用して、システムの暴走を監視する機能を実現します。
- WDT (CPU0) はカウンタオーバーフローにより CPU0 に対するマニュアルリセットを発生します。
- WDT (CPU1) はカウンタオーバーフローにより CPU1 に対するマニュアルリセットを発生します。
- WDT (CPU0)、WDT (CPU1) 関連のレジスタは、容易に書き換えられないように上位 8 ビットにコード値を設定しています。

図 19.1 にリセット、ウォッチドッグタイマ (WDT) のブロック図を示します。

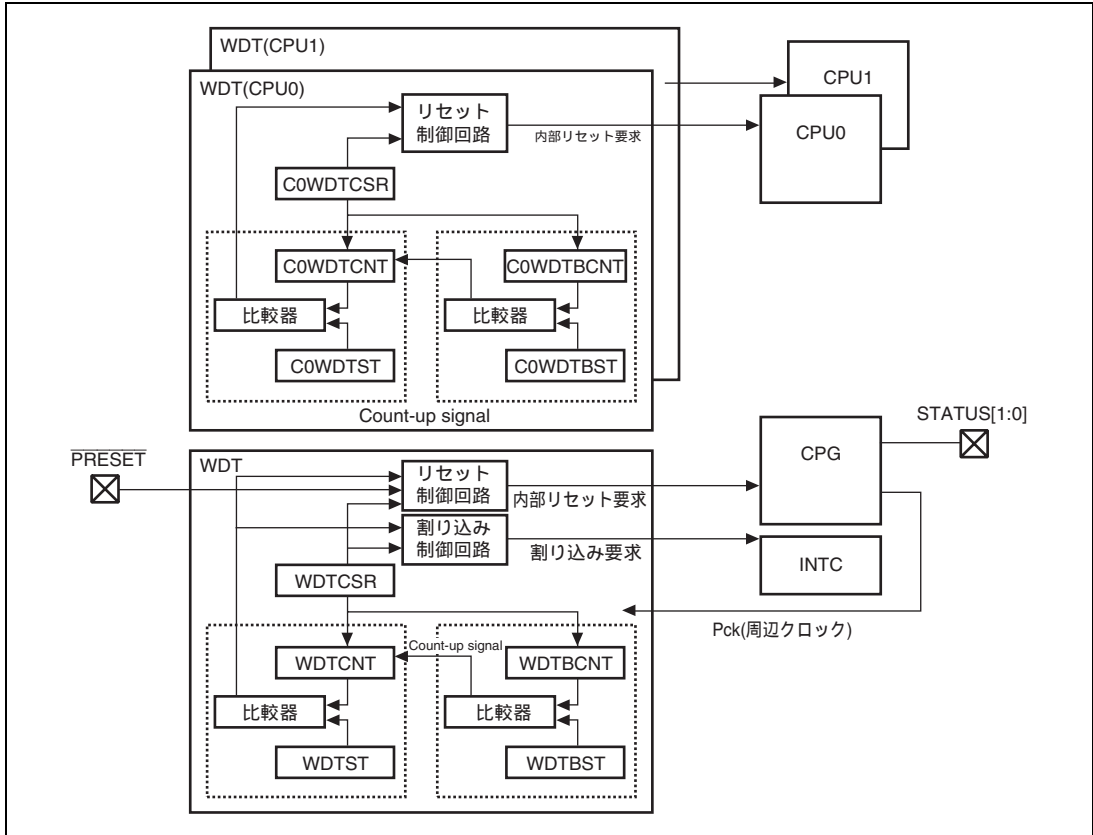


図 19.1 ブロック図

19.2 入出力端子

リセット、WDT の端子構成と機能を表 19.1 に示します。

表 19.1 リセット、WDT の端子構成と機能

端子名	機能	入出力	説明
PRESET	パワーオンリセット 入力端子	入力	端子にローレベルを入力することによりパワーオンリセット状態に遷移します。
STATUS[1:0]	ステータス出力	出力	<p>CPU0 の動作状態を表します。</p> <p>STATUS1[*] STATUS0[*] 動作状態</p> <p>H H : パワーオンリセット</p> <p>H L : スリープモード</p> <p>L L : 通常動作</p> <p>STATUS1 端子は、SSI2_CLK (SSI チャンネル 2) 端子と、 STATUS0 端子は、SSI3_CLK (SSI チャンネル 3) 端子と、 それぞれマルチプレクスされています。</p>

【注】 * L はローレベル、H はハイレベルです。

19.3 レジスタの説明

表 19.2 にレジスタ一覧を示します。また、各処理モードにおけるレジスタの状態を表 19.3 に示します。

表 19.2 レジスタ構成

名 称	略 称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ	同期 クロック
ウォッチドッグタイムストップタイム レジスタ	WDTST	R/W	H'FFC8 0000	H'1FC8 0000	32	Pck
ウォッチドッグタイムコントロール/ ステータスレジスタ	WDTCSR	R/W	H'FFC8 0004	H'1FC8 0004	32	Pck
ウォッチドッグタイムベースストップ タイムレジスタ	WDTBST	R/W	H'FFC8 0008	H'1FC8 0008	32	Pck
ウォッチドッグタイムカウンタ	WDTCNT	R	H'FFC8 0010	H'1FC8 0010	32	Pck
ウォッチドッグタイムベースカウンタ	WDTBCNT	R	H'FFC8 0018	H'1FC8 0018	32	Pck
CPU0 ウォッチドッグタイムストップ タイムレジスタ	C0WDTST	R/W	H'FE40 0080	H'1E40 0080	32	Pck
CPU0 ウォッチドッグタイムコントロ ール/ステータスレジスタ	C0WDTCSR	R/W	H'FE40 0084	H'1E40 0084	32	Pck
CPU0 ウォッチドッグタイムベースス トップタイムレジスタ	C0WDTBST	R/W	H'FE40 0088	H'1E40 0088	32	Pck
CPU0 ウォッチドッグタイムカウンタ	C0WDTCNT	R	H'FE40 0090	H'1E40 0090	32	Pck
CPU0 ウォッチドッグタイムベースカ ウンタ	C0WDTBCNT	R	H'FE40 0098	H'1E40 0098	32	Pck
CPU0 リセットベクタセットレジスタ	C0RESETVEC	R/W	H'FE40 0008	H'1E40 0008	32	Pck
CPU1 ウォッチドッグタイムストップ タイムレジスタ	C1WDTST	R/W	H'FE40 1080	H'1E40 1080	32	Pck
CPU1 ウォッチドッグタイムコントロ ール/ステータスレジスタ	C1WDTCSR	R/W	H'FE40 1084	H'1E40 1084	32	Pck
CPU1 ウォッチドッグタイムベース ストップタイムレジスタ	C1WDTBST	R/W	H'FE40 1088	H'1E40 1088	32	Pck
CPU1 ウォッチドッグタイムカウンタ	C1WDTCNT	R	H'FE40 1090	H'1E40 1090	32	Pck
CPU1 ウォッチドッグタイムベース カウンタ	C1WDTBCNT	R	H'FE40 1098	H'1E40 1098	32	Pck
CPU1 リセットベクタセットレジスタ	C1RESETVEC	R/W	H'FE40 1008	H'1E40 1008	32	Pck

表 19.3 各処理モードにおけるレジスタの状態

名 称	略 称	パワーオン リセット		マニュアル リセット	スリープ/ ライトスリープ
		PRESET 端子による	WDT/H-UDI による	CnWDTCNT (n=0、1)のオ ーパフロー/多重 例外による	SLEEP 命令 による
ウォッチドッグタイマストップタイム レジスタ	WDTST	H'0000 0000	保持	保持	保持
ウォッチドッグタイマコントロール/ ステータスレジスタ	WDTCSR	H'0000 0000	保持	保持	保持
ウォッチドッグタイムベースストップ タイムレジスタ	WDTBST	H'0000 0000	保持	保持	保持
ウォッチドッグタイマカウンタ	WDTCNT	H'0000 0000	H'0000 0000	保持	保持
ウォッチドッグタイムベースカウンタ	WDTBCNT	H'0000 0000	H'0000 0000	保持	保持
CPU0 ウォッチドッグタイマストップ タイムレジスタ	C0WDTST	H'0000 0000	保持	保持	保持
CPU0 ウォッチドッグタイマコントロ ール/ステータスレジスタ	C0WDTCSR	H'0000 0000	保持	保持	保持
CPU0 ウォッチドッグタイムベースス トップタイムレジスタ	C0WDTBST	H'0000 0000	保持	保持	保持
CPU0 ウォッチドッグタイマカウンタ	C0WDTCNT	H'0000 0000	保持	保持	保持
CPU0 ウォッチドッグタイムベースカ ウンタ	C0WDTBCNT	H'0000 0000	保持	保持	保持
CPU0 リセットベクタセットレジスタ	C0RESETVEC	H'A000 0000	保持	保持	保持
CPU1 ウォッチドッグタイマストップ タイムレジスタ	C1WDTST	H'0000 0000	保持	保持	保持
CPU1 ウォッチドッグタイマコントロ ール/ステータスレジスタ	C1WDTCSR	H'0000 0000	保持	保持	保持
CPU1 ウォッチドッグタイムベースス トップタイムレジスタ	C1WDTBST	H'0000 0000	保持	保持	保持
CPU1 ウォッチドッグタイマカウンタ	C1WDTCNT	H'0000 0000	保持	保持	保持
CPU1 ウォッチドッグタイムベースカ ウンタ	C1WDTBCNT	H'0000 0000	保持	保持	保持
CPU1 リセットベクタセットレジスタ	C1RESETVEC	H'A000 0000	保持	保持	保持

19.3.1 ウォッチドッグタイマストップタイムレジスタ (WDTST)

WDTST は、読み出し / 書き込み可能な 32 ビットのレジスタで、WDTCNT のオーバフロー値を設定します。H'5A00 0001 を設定したときがオーバフローまでの最小時間で、H'5A00 0000 を設定したときがオーバフローまでの最大時間になります。

WDTST への書き込みは上位バイトをコード値 (H'5A) にしてロングワードサイズで行ってください。コード値を読み出すと常に 0 が読み出されます。

本レジスタは $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時のみリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値(H'5A)								—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	WDTST											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 24	コード値	すべて 0	R/W	コード値 (H'5A) 読み出すと常に 0 が読み出されます。本レジスタへの書き込み時は H'5A を書き込んでください。
23 ~ 12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11 ~ 0	WDTST	すべて 0	R/W	タイマストップビット WDTCNT のオーバフロー値を設定します。 H'001 : オーバフローの最小値 H'000 : オーバフローの最大値

19.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WDTCSR)

WDTCSR は、読み出し / 書き込み可能な 32 ビットのレジスタで、タイマのモードを選択するビット、オーバフローフラグから成ります。

WDTCSR への書き込みは上位バイトをコード値 (H'A5) にしてロングワードサイズで行ってください。コード値を読み出すと常に 0 が読み出されます。

本レジスタは $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時のみリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値(H'A5)								—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TME	WT/IT	RSTS	WOVF	IOVF	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	コード値	すべて 0	R/W	コード値 (H'A5) 読み出すと常に 0 が読み出されます。本レジスタへの書き込み時は H'A5 を書き込んでください。
23~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	TME	0	R/W	タイマイネーブル タイマ動作の開始または停止を設定します。 0 : カウントアップ停止 1 : カウントアップ開始
6	WT/IT	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。なお、WDT の動作中に WT/IT を書き換えるとカウントアップが正しく行われない場合があります。 0 : インターバルタイマモード 1 : ウォッチドッグタイマモード
5	RSTS	0	R/W	リセットセレクト ウォッチドッグタイマモードで WDTCNT がオーバフローしたときのリセットの種類を指定します。インターバルタイマモードの場合、設定値は無視されます。 0 : パワーオンリセット 1 : 設定禁止

ビット	ビット名	初期値	R/W	説明
4	WOVF	0	R/W	ウォッチドッグタイマオーバーフロー ウォッチドッグタイマモードでWDTCNTがオーバーフローしたことを示します。インターバルタイマモードではセットされません。 0: オーバーフローなし 1: ウォッチドッグタイマモードでWDTCNTがオーバーフローした
3	IOVF	0	R/W	インターバルタイマオーバーフロー インターバルタイマモードでWDTCNTがオーバーフローしたことを示します。 ウォッチドッグタイマモードではセットされません。 0: オーバーフローなし 1: インターバルタイマモードでWDTCNTがオーバーフローした
2~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

19.3.3 ウォッチドッグタイマベースストップタイムレジスタ (WDTBST)

WDTBST は、読み出し / 書き込み可能な 32 ビットのレジスタで、バスクロックの周波数を変更した場合の WDTBCNT のオーバーフロー値を設定します。H'5500 0001 を設定したときがオーバーフローまでの最小時間で、H'5500 0000 を設定したときがオーバーフローまでの最大時間になります。

WDTBST への書き込みは上位バイトをコード値 (H'55) にしてロングワードサイズで行ってください。コード値を読み出すと常に 0 が読み出されます

本レジスタは $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時のみリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値(H'55)								—	—	—	—	—	—	WDTBST	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDTBST															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 24	コード値	すべて 0	R/W	コード値 (H'55) 読み出すと常に 0 が読み出されます。本レジスタへの書き込み時は H'55 を書き込んでください。
23 ~ 18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17 ~ 0	WDTBST	すべて 0	R/W	ベースタイムストップ WDTBCNT のオーバーフロー値を設定します。 H'00001 : オーバーフローの最小値 H'00000 : オーバーフローの最大値

19.3.4 ウォッチドッグタイマカウンタ (WDTCNT)

WDTCNT は、読み出し可能な 32 ビットのレジスタで、WDTBCNT のオーバーフローによりカウントアップします。WDTCNT がオーバーフローすると、ウォッチドッグタイマモードではパワーオンリセットが発生し、インターバルタイマモードでは割り込みが発生します。

本レジスタはパワーオンリセット時のみリセットされます。本レジスタへの書き込みは無効です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	WDTCNT											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ~ 12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11 ~ 0	WDTCNT	H'000	R	カウンタ値

19.3.5 ウォッチドッグタイマベースカウンタ (WDTBCNT)

WDTBCNT は、読み出し可能な 32 ビットのレジスタで、周辺クロック (Pck) によりカウントアップします。WDTBCNT がオーバーフローすると、WDTCNT のカウントアップを行い、WDTBCNT を H'0000 0000 にクリアします。

本レジスタはパワーオンリセット時のみリセットされます。本レジスタへの書き込みは無効です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WDTBCNT
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDTBCNT															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ~ 18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17 ~ 0	WDTBCNT	すべて 0	R	ベースカウンタ値

19.3.6 CPU_n ウォッチドッグタイマストップタイムレジスタ (CnWDTST) (n=0, 1)

CnWDTST は、読み出し / 書き込み可能な 32 ビットのレジスタで、CnWDTCNT のオーバフロー値を設定します。H'5A00 0001 を設定したときがオーバフローまでの最小時間で、H'5A00 0000 を設定したときがオーバフローまでの最大時間になります。

CnWDTST への書き込みは上位バイトをコード値 (H'5A) にしてロングワードサイズで行ってください。コード値を読み出すと常に 0 が読み出されます。

本レジスタは $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時のみリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値(H'5A)								—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	WDTST											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 24	コード値	すべて 0	R/W	コード値 (H'5A) 読み出すと常に 0 が読み出されます。本レジスタへの書き込み時は H'5A を書き込んでください。
23 ~ 12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11 ~ 0	WDTST	すべて 0	R/W	タイマストップビット CnWDTCNT のオーバフロー値を設定します。 H'001 : オーバフローの最小値 H'000 : オーバフローの最大値

19.3.7 CPU_n ウォッチドッグタイマコントロール/ステータスレジスタ (CnWDTCR) (n=0、1)

CnWDTCR は、読み出し/書き込み可能な 32 ビットのレジスタで、タイマの有効/無効を選択するビット、オーバーフローフラグから成ります。

CnWDTCR への書き込みは上位バイトをコード値 (H'A5) にしてロングワードサイズで行ってください。コード値を読み出すと常に 0 が読み出されます。

本レジスタは $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時のみリセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値(H'A5)								—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TME	—	—	WOVF	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	コード値	すべて 0	R/W	コード値 (H'A5) 読み出すと常に 0 が読み出されます。本レジスタへの書き込み時は H'A5 を書き込んでください。
23~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	TME	0	R/W	タイマネーブル タイマ動作の開始または停止を設定します。 0: カウントアップ停止 1: カウントアップ開始
6、5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	WOVF	0	R/W	ウォッチドッグタイマオーバーフロー ウォッチドッグタイマモードで WDTCNT がオーバーフローしたことを示します。インターバルタイマモードではセットされません。 0: オーバーフローなし 1: ウォッチドッグタイマモードで WDTCNT がオーバーフローした
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19.3.8 CnWDTBST ウォッチドッグタイマベースストップタイムレジスタ (CnWDTBST) (n=0、1)

CnWDTBST は、読み出し/書き込み可能な 32 ビットのレジスタで、CnWDTBCNT のオーバフロー値を設定します。H'5500 0001 を設定したときがオーバフローまでの最小時間で、H'5500 0000 を設定したときがオーバフローまでの最大時間になります。

CnWDTBST への書き込みは上位バイトをコード値 (H'55) にしてロングワードサイズで行ってください。コード値を読み出すと常に 0 が読み出されます

本レジスタは $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時のみリセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値(H'55)								WDTBST							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDTBST															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	コード値	すべて 0	R/W	コード値 (H'55) 読み出すと常に 0 が読み出されます。本レジスタへの書き込み時は H'55 を書き込んでください。
23~0	WDTBST	すべて 0	R/W	タイマストップ CnWDTBST のオーバフロー値を設定します。 H'00001 : オーバフローの最小値 H'00000 : オーバフローの最大値

19.3.9 CPU_n ウォッチドッグタイマカウンタ (CnWDTCNT) (n=0、1)

CnWDTCNT は、読み出し可能な 32 ビットのレジスタで、CnWDTBCNT のオーバーフローによりカウントアップします。CnWDTCNT がオーバーフローすると、CPU_n (n=0、1) に対するマニュアルリセットが発生します。

本レジスタはパワーオンリセット時のみリセットされます。本レジスタへの書き込みは無効です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	WDTCNT											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~12		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11~0	WDTCNT	すべて0	R	CnWDTCNT のカウンタ値

19.3.10 CPU_n ウォッチドッグタイマベースカウンタ (CnWDTBCNT) (n = 0、1)

CnWDTBCNT は、読み出し可能な 32 ビットのレジスタで、周辺クロック (Pck) によりカウントアップします。CnWDTBCNT がオーバーフローすると、CnWDTBCNT のカウントアップを行い、CnWDTBCNT を H'0000 0000 にクリアします。

本レジスタはパワーオンリセット時のみリセットされます。本レジスタへの書き込みは無効です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	WDTBCNT							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDTBCNT															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ~ 24		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23 ~ 0	WDTBCNT	すべて 0	R	CnWDTBCNT のベースカウンタ値

19.3.11 CPU_n リセットベクタセットレジスタ (CnRESETVEC) (n=0、1)

CnRESETVEC は、読み出し / 書き込み可能な 32 ビットのレジスタで、リセット (パワーオンリセット / マニュアルリセット) 発生時に、各 CPU が遷移するアドレス (リセットベクタ) を設定します。

本レジスタは $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時のみ、H'A000 0000 にリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RESTVEC[31:16]															
初期値 :	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RESTVEC[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	RESTVEC	H'A000 0000	R/W	CPU _n (n=0、1) のリセットベクタ

19.4 動作説明

19.4.1 リセット要求

リセットには、パワーオンリセットとマニュアルリセットがあります。それぞれの発生要因を説明します。

(1) パワーオンリセット

- 要因：

- $\overline{\text{PRESET}}$ 端子からローレベルを入力した場合
- WDTCSRのWT/ITビットが1かつWDTCSRのRSTSビットが0の状態、WDTCNTがオーバフローした場合
- H-UDIリセットが発生した場合

詳細は「第32章 ユーザデバッグインタフェース (H-UDI)」を参照してください。

- 遷移先アドレス：H'A000 0000

- 遷移時動作：

例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。

初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクレベル (IMASK3 ~ IMASK0) がB'1111にセットされます。

CPUおよび周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

電源投入時には必ず $\overline{\text{PRESET}}$ 端子にローレベルを入力してください。また、H-UDIを初期化するために、 $\overline{\text{TRST}}$ 端子にローレベルを入力する必要があります。

```
Power_on_reset()
{
    EXPEVT = H'0000 0000;
    VBR = H'0000 0000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.(I0-I3) = B'1111;
    SR.FD=0;
    Initialize_CPU();
    Initialize_Module(PowerOn);
    PC = H'A000 0000;
}
```

(2) マニュアルリセット

• 要因：

- SR の BL ビットが 1 のときユーザブレークを除く一般例外が発生した場合
- CnWDTCNT (n=0、1) がオーバーフローした場合

• 遷移先アドレス：CnRESETVEC (n=0、1) に設定されたアドレス

• 遷移時動作：

例外コードH'020をEXPEVTにセットします。VBR、SRの初期化を行い、CnRESETVEC (n=0、1) に設定されたアドレスに分岐します。

初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクレベル (IMASK3 ~ IMASK0) がB'1111にセットされます。

CPUの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

```
Manual_reset ()
{
    EXPEVT = H'0000 0020;
    VBR = H'0000 0000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.(I0-I3) = B'1111;
    SR.FD = 0;
    Initialize_CPU();
    PC = CnRESETVEC;
}
```

19.4.2 WDT、WDT (CPU0)、WDT (CPU1) でのウォッチドッグタイマモードの使用法

1. WDTST/CnWDTSTにWDTCNT/CnWDTCNTのオーバフロー時間を設定する。
2. WDTCSRのWT/ITビットに1、RSTSビットに0を設定する。
3. WDTCSR/CnWDTCSRのTMEビットに1を設定すると、WDTカウンタのカウントを開始します。
4. ウォッチドッグタイマモードでは、WDTCNT/CnWDTCNTがオーバフローしないように定期的にWDTCNT/CnWDTCNT、またはWDTBCNT/CnWDTBCNTをクリアしてください。クリア方法は「19.4.6 WDT、WDT (CPU0)、WDT (CPU1) カウンタのクリア方法」を参照してください。
5. WDTCNT/CnWDTCNTがオーバフローすると、WDTCSR/CnWDTCSRのWOVFフラグを1にセットし、パワーオンリセット/マニュアルリセットを発生します。リセット解除後、WDTCNT/CnWDTCNT、およびWDTBCNT/CnWDTBCNTはカウントを再開します。

19.4.3 WDT でのインターバルタイマモードの使用法

インターバルタイマモードでは、カウンタがオーバフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WDTSTにWDTCNTのオーバフロー時間を設定する。
2. WDTCSRのWT/ITビットに0を設定する。
3. WDTCSRのTMEビットに1を設定すると、WDTカウンタのカウントを開始します。
4. WDTCNTがオーバフローすると、WDTCSRのIOVFフラグを1にセットし、インターバルタイマ割り込み要求を発生します。このとき、WDTCNT、およびWDTBCNTはカウントを続行しています。

19.4.4 WDT オーバフロー発生までの時間

WDTCNT と WDTBCNT との関係を図 19.2 に示します。図はインターバルタイマモードの例で、WDTCNT のオーバフロー後もカウントアップを継続します。ウォッチドッグタイマモードでは、リセット解除後に WDTCNT、WDTBCNT を 0 にクリアしてカウントアップを再開します。

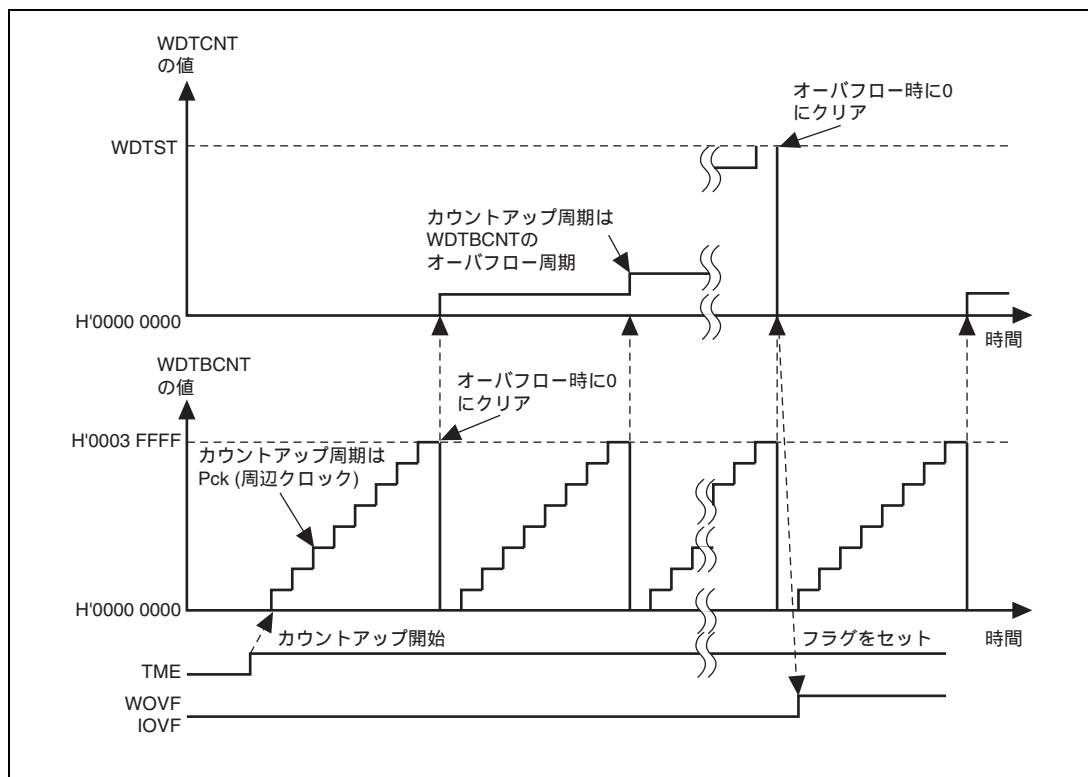


図 19.2 WDT のカウントアップ動作 (インターバルタイマモードの例)

WDTBCNT は 18 ビットのカウンタで、周辺クロックでカウントアップします。周辺クロック Pck の周期を tPck (ns) とすると、WDTBCNT のオーバーフロー周期は、

$$2^{18}[\text{bit}] \times \text{tPck}[\text{ns}] = 0.262 \times \text{tPck} [\text{ms}]$$

となります。

WDCNT は 12 ビットのカウンタで、WDTBCNT でオーバーフローが発生するとカウントアップします。WDTST の全ビットに 0 を書き込んだ場合がオーバーフローまでの最大時間になります。周辺クロック Pck の周期を tPck (ns) とすると、

WDCNT のオーバーフロー周期の最大時間は、

$$2^{12}[\text{bit}] \times (0.262 \times \text{tPck}) [\text{ms}] = 1.073 \times \text{tPck} [\text{s}]$$

また最小時間は、WDTST に H'5A00 0001 を書き込んだ場合で、WDTBCNT のオーバーフロー周期と等しくなります。

たとえば、周辺クロックが 66MHz の場合、tPck は 15ns となり

$$\text{WDTBCNT のオーバーフロー周期} : 0.262 \times 15 = 3.93[\text{ms}]$$

$$\text{WDCNT のオーバーフロー周期の最大時間} : 1.073 \times 15 = 16.10[\text{s}]$$

となります。

19.4.5 WDT (CPU0)、WDT (CPU1) オーバフロー発生までの時間

CnWDTCNT と CnWDTBCNT との関係を図 19.3 に示します。CnWDTCNT オーバフローによるマニュアルリセット解除後に CnWDTCNT、CnWDTBCNT を 0 にクリアしてカウントアップを再開します。

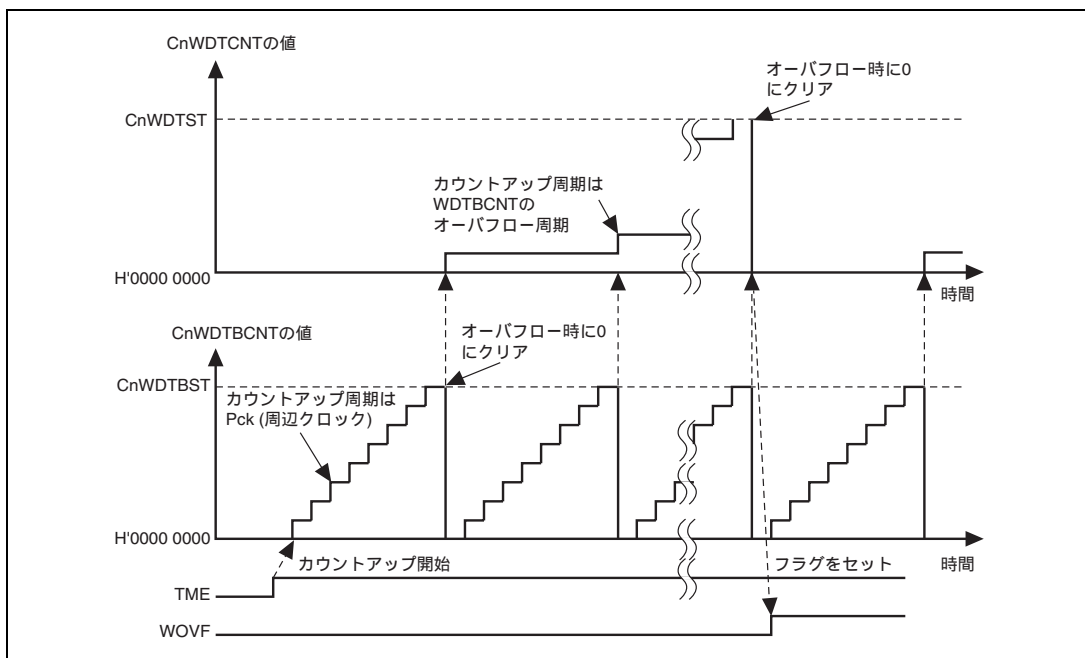


図 19.3 WDT (CPU0)、WDT (CPU1) のカウントアップ動作 (ウォッチドッグタイマモードのみ)

CnWDTBCNT は 24 ビットのカウンタで、周辺クロックでカウントアップします。CnWDTBST に H'5500 0000 を書き込んだ場合がオーバフローまでの最大時間になります。周辺クロック Pck の周期を tPck (ns) とすると、CnWDTBCNT のオーバフロー周期の最大時間は、

$$2^{24}[\text{bit}] \times tPck[\text{ns}] = 16.777 \times tPck [\text{ms}]$$

となります。

CnWDTCNT は 12 ビットのカウンタで、CnWDTBCNT でオーバフローが発生するとカウントアップします。CnWDTST の全ビットに 0 を書き込んだ場合がオーバフローまでの最大時間になります。周辺クロック Pck の周期を tPck (ns) とすると、

CnWDTCNT のオーバフロー周期の最大時間は、

$$2^{12}[\text{bit}] \times (16.777 \times tPck) [\text{ms}] = 68.718 \times tPck [\text{s}]$$

たとえば、周辺クロックが 66MHz の場合、tPck は 15ns となり

$$\text{CnWDTCNT のオーバフロー周期の最大時間} : 68.718 \times 15 = 1030[\text{s}]$$

となります。

19.4.6 WDT、WDT (CPU0)、WDT (CPU1) カウンタのクリア方法

WDTBST/CnWDTBST にコード値を書き込むことにより WDTBCNT/CnWDTBCNT が、WDTST/CnWDTST にオーバーフロー値を設定することにより WDCNT/CnWDCNT が、それぞれ 0 にクリアされます。

19.5 リセット中の端子タイミング

19.5.1 $\overline{\text{PRESET}}$ 端子によるパワーオンリセット

パワーオンリセットは、パワーオンリセット状態に遷移した際に PLL をリセットするため、PLL 発振安定時間を確保する必要があります。したがって、PLL 発振安定時間中に $\overline{\text{PRESET}}$ 端子にハイレベルを入力しないでください。PLL 発振安定時間は、PLL1 発振安定時間と PLL2 発振安定時間を合計した時間です。

$\overline{\text{PRESET}}$ 端子入力をローレベルからハイレベルに変化させた後、リセット保持時間を経過するまで LSI 内部でリセット状態を継続しています。リセット保持時間は、周辺クロック (Pck) 周期の 40 サイクル以上になります。

(1) 電源投入シーケンス

電源投入時は、必ず $\overline{\text{PRESET}}$ 端子にローレベルを入力してください。また、H-UDI を初期化するために、 $\overline{\text{TRST}}$ 端子にローレベルを入力する必要があります。

STATUS[1:0] がリセット状態を表示するタイミングは非同期になります。また、通常状態を表示するタイミングは周辺クロック (Pck) 同期であるため、EXTAL 端子入力、CLKOUT 端子出力とは非同期になります。

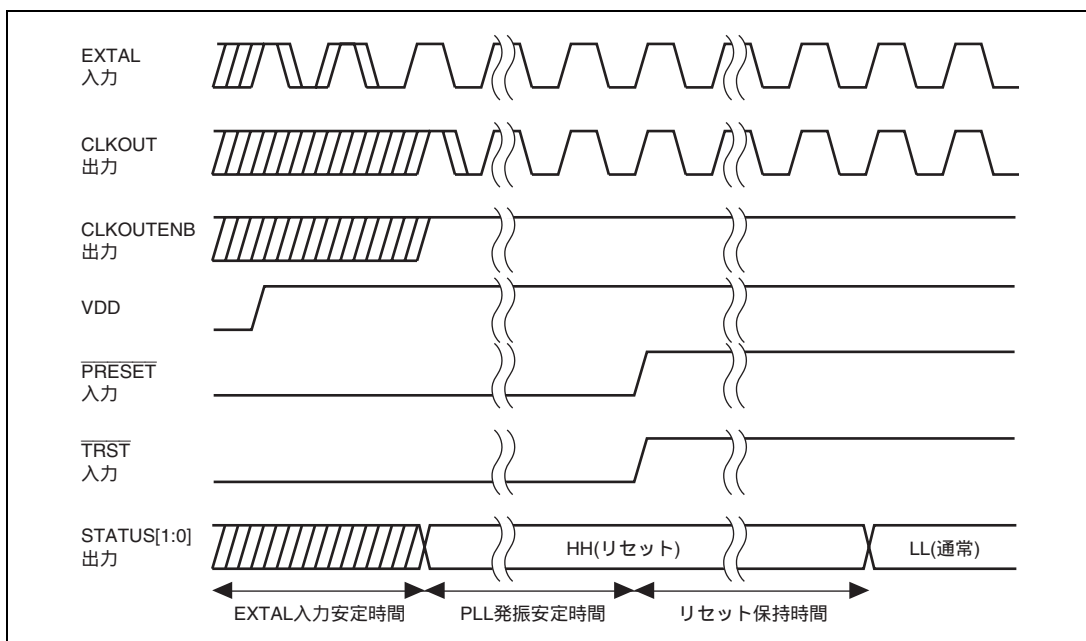


図 19.4 電源投入シーケンス

(2) 通常動作中に $\overline{\text{PRESET}}$ 端子からパワーオンリセットを発生させた場合

通常動作中に $\overline{\text{PRESET}}$ 端子にローレベルを入力してパワーオンリセットを発生させた場合、PLL 発振安定時間を確保する必要があります。

STATUS[1:0]がリセット状態を表示するタイミングは非同期になります。また、通常状態を表示するタイミングは周辺クロック (Pck) 同期であるため、EXTAL 端子入力、CLKOUT 端子出力とは非同期になります。

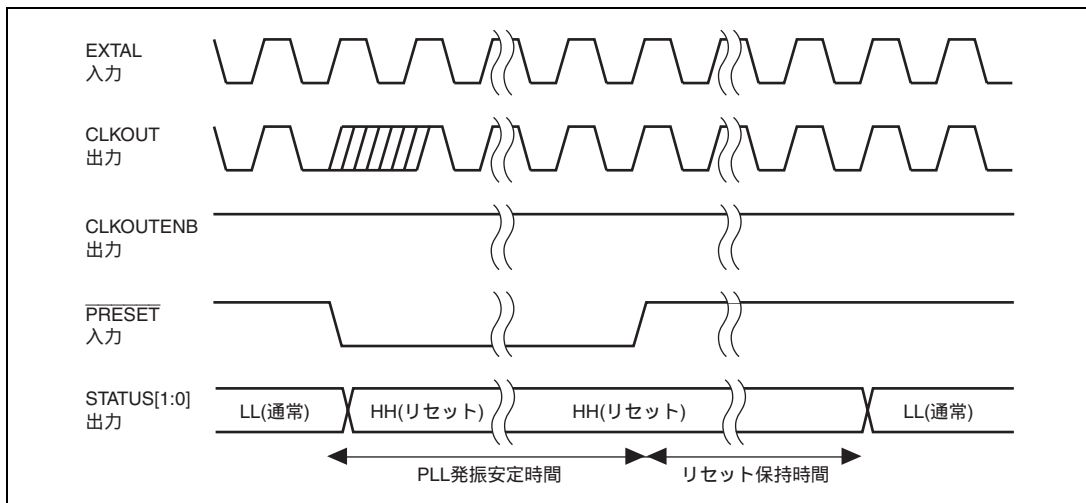


図 19.5 通常動作中の $\overline{\text{PRESET}}$ 端子によるパワーオンリセット

(3) スリープ中に $\overline{\text{PRESET}}$ 端子からパワーオンリセットを発生させた場合

スリープ中に $\overline{\text{PRESET}}$ 端子にローレベルを入力してパワーオンリセットを発生させた場合、PLL 発振安定時間を確保する必要があります。

STATUS[1:0]がリセット状態を表示するタイミングは非同期になります。また、通常状態を表示するタイミングは周辺クロック (Pck) 同期であるため、EXTAL 端子入力、CLKOUT 端子出力とは非同期になります。

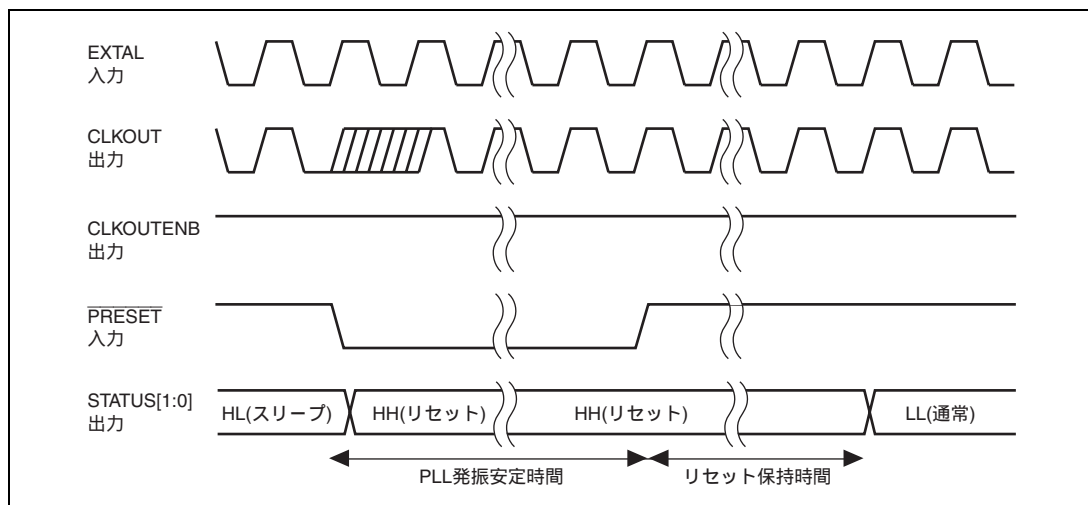


図 19.6 スリープ中の PRESET 端子によるパワーオンリセット

19.5.2 WDT オーバフローによるパワーオンリセット

WDT オーバフローによるパワーオンリセットの期間 (WDT リセット時間) は、周辺クロック (Pck) 周期の 40 サイクル以上になります。

また、WDT オーバフローからパワーオンリセット状態に移移するまでの時間 (WDT リセット要求時間) は、周辺クロック (Pck) 周期の 40 サイクル以上になります。

さらに、バスクロックの周波数を、初期値から変更していた場合には、PLL 回路 2 の発振安定時間 (PLL 発振安定時間)、本 LSI が動作を再開するまでの時間 (WDT カウントアップ) が必要になります。このときの、WDT リセット時間は周辺クロック (Pck) 周期の 2 クロック以上になります。

(1) 通常動作中に WDT オーバフローによりパワーオンリセットを発生させた場合

STATUS[1:0] がリセット状態、通常状態を表示するタイミングは周辺クロック (Pck) 同期であるため、EXTAL 端子入力、CLKOUT 端子出力とは非同期になります。

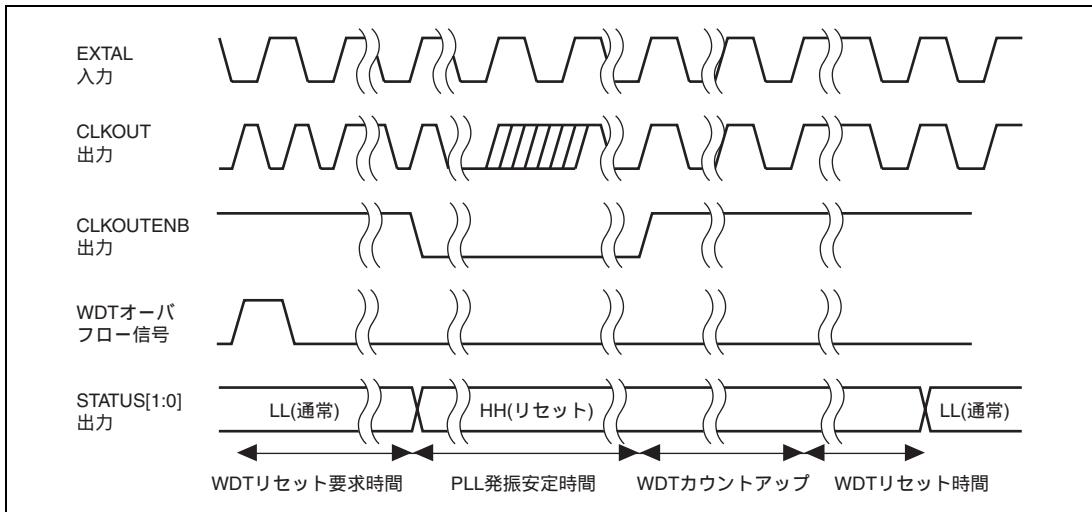


図 19.7 通常動作中の WDT オーバフローによるパワーオンリセット

(2) スリープ中に WDT オーバフローによりパワーオンリセットを発生させた場合

STATUS[1:0]がリセット状態、通常状態を表示するタイミングは周辺クロック (Pck) 同期であるため、EXTAL 端子入力、CLKOUT 端子出力とは非同期になります。

さらに、バスクロックの周波数を、初期値から変更していた場合には、PLL 回路 2 の発振安定時間 (PLL 発振安定時間)、本 LSI が動作を再開するまでの時間 (WDT カウントアップ) が必要になります。このときの、WDT リセット時間は周辺クロック (Pck) 周期の 2 クロック以上になります。

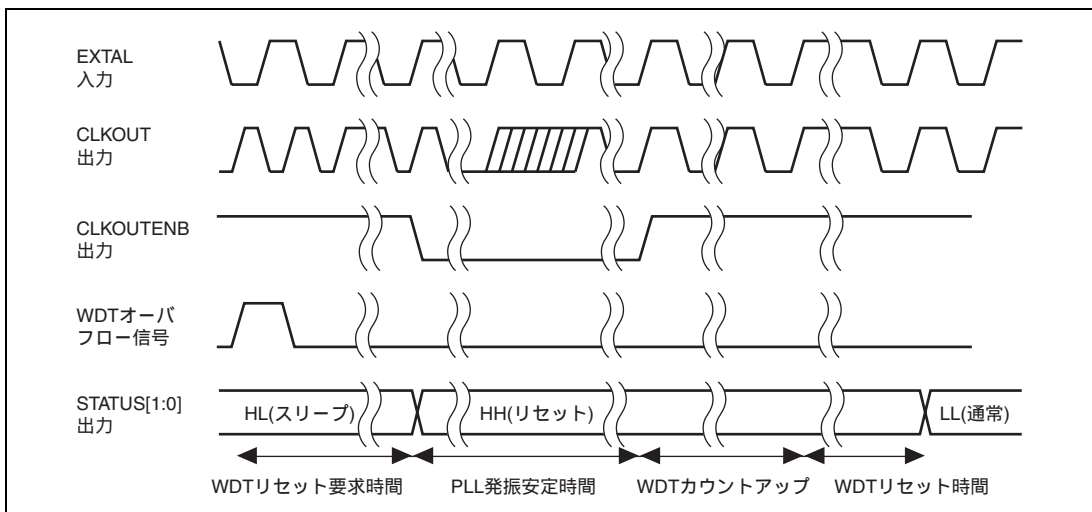


図 19.8 スリープ中の WDT オーバフローによるパワーオンリセット

20. 低消費電力モード

低消費電力モードでは、内蔵モジュールの一部と CPU が機能を停止します。これによって、消費電力を低減させることができます。

20.1 特長

- スリープモード/モジュールスタンバイモードのサポート。
- 1.8V系電源のみを保持し、他の電源をオフするDDR3-SDRAM電源バックアップモードのサポート。

20.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

- スリープモード
- ライトスリープモード
- モジュールスタンバイ機能
- DDR3-SDRAM電源バックアップ

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や内蔵モジュールなどの状態、各モードの解除方法を、表 20.1 に示します。

表 20.1 低消費電力モードの状態

低消費電力モード	遷移状態	状 態							解除方法
		CPG	CPU	内蔵メモリ	内蔵モジュール		端 子	DDR3-SDRAM	
					DMAC	その他			
スリープモード	CnSTBCR の LTSLP ビットが 0 の状態で SLEEP 命令を実行	動作	停止 (レジスタは保持)	保持	動作	動作	動作状態を保持	オートリフレッシュまたは、セルフリフレッシュ	(1) 割り込み (2) パワーオンリセット (3) マニュアルリセット
ライトスリープモード	CnSTBCR の LTSLP ビットが 1 の状態で SLEEP 命令を実行	動作	停止 (レジスタは保持)	動作	動作	動作	動作状態を保持	セルフリフレッシュ	(1) 割り込み (2) パワーオンリセット (3) マニュアルリセット

低消費電力モード	遷移状態	状態							解除方法
		CPG	CPU	内蔵メモリ	内蔵モジュール		端子	DDR3-SDRAM	
					DMAC	その他			
モジュールスタンバイ機能	スタンバイコントロールレジスタ MSTPCR0/MSTPCR1の該当ビットを1にする。 (20.3.1、20.3.2 参照)	動作	動作	保持	チャンネル0 ~5、6~11の6チャンネル単位で停止	指定モジュールが停止	動作状態を保持	オートリフレッシュまたは、セルフリフレッシュ	スタンバイコントロールレジスタ MSTPCR0/MSTPCR1の該当ビットを0にする。 (20.3.1、20.3.2 参照)
DDR3-SDRAM電源バックアップ	12.5.8 参照	停止	停止	不定	停止	停止	1.8V系端子であるMBKPRSTにローレベルを入力すると、MCKE端子にローレベルが出力されます。その他の端子は、電源オフ時と同じ。	セルフリフレッシュ	パワーオンリセット

【注】 * DDR3-SDRAM 電源バックアップ時は、1.5V 電源以外の電源（1.2V、3.3V 電源）は遮断されますので DDR3 インタフェースのパッド部分以外は DDR3 インタフェースの制御部を含め、すべて停止するとともにレジスタ情報も保持されません。

20.2 入出力端子

低消費電力モードに関連する端子を表 20.2 に示します。

表 20.2 端子構成

端子名	機能	入出力	説明
STATUS1	処理状態 1	出力	CPU0 の動作状態を表します。
STATUS0	処理状態 0		STATUS1* STATUS0* 動作状態 H H : パワーオンリセット H L : スリープモード L L : 通常動作 STATUS1 端子は、SSI2_CLK (SSI チャンネル 2) 端子と、STATUS0 端子は、SSI3_CLK (SSI チャンネル 3) 端子と、それぞれマルチプレクスされています。

【注】 * L はローレベル、H はハイレベルです。

20.3 レジスタの説明

表 20.3 にレジスタ一覧を示します。また、各処理モードにおけるレジスタの状態を表 20.4 に示します。

表 20.3 レジスタ構成

名 称	略 称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	同期 クロック
スタンバイコントロールレジスタ 0	MSTPCR0	R/W	H'FFC4 0030	H'1FC4 0030	32	Pck
スタンバイコントロールレジスタ 1	MSTPCR1	R/W	H'FFC4 0034	H'1FC4 0034	32	Pck
スタンバイ表示レジスタ	MSTPMR	R	H'FFC4 0044	H'1FC4 0044	32	Pck
CPU0 lck 周波数コントロールレジスタ	C0IFC	R/W	H'FE40 0000	H'1E40 0000	32	Sck2
CPU1 lck 周波数コントロールレジスタ	C1IFC	R/W	H'FE40 1000	H'1E40 1000	32	Sck2
CPU0 スタンバイコントロールレジスタ	C0STBCR	R/W	H'FE40 0004	H'1E40 0004	32	Sck2
CPU1 スタンバイコントロールレジスタ	C1STBCR	R/W	H'FE40 1004	H'1E40 1004	32	Sck2

表 20.4 各処理モードにおけるレジスタの状態

名 称	略 称	パワーオン リセット	マニュアル リセット	スリープ/ ライトスリープ
		PRESET 端子 /WDT/H-UDIによる	CnWDTCNT(n=0,1) のオーバーフロー/ 多重例外による	SLEEP 命令による
スタンバイコントロールレジスタ 0	MSTPCR0	H'0000 0000	保持	保持
スタンバイコントロールレジスタ 1	MSTPCR1	H'0000 0000	保持	保持
スタンバイ表示レジスタ	MSTPMR	H'00x8 0000*	保持	保持
CPU0 lck 周波数コントロールレジスタ	C0IFC	H'0000 0000	保持	保持
CPU1 lck 周波数コントロールレジスタ	C1IFC	H'0000 0000	保持	保持
CPU0 スタンバイコントロールレジスタ	C0STBCR	H'0000 0000	保持	保持
CPU1 スタンバイコントロールレジスタ	C1STBCR	H'0000 0001	保持	保持

【注】 * パワーオンリセット後の初期値は、モード端子 (MPMD) の入力レベルにより決まります。

MPMD にローレベルを入力した場合、H'0008 0000

MPMD にハイレベルを入力した場合、H'0088 0000

20.3.1 スタンバイコントロールレジスタ 0 (MSTPCR0)

MSTPCR0 は、読み出し / 書き込み可能な 32 ビットのレジスタで、周辺モジュールに対し、個別に動作、停止の指定ができます。MSTPCR0 は、ロングワードアクセスのみ可能です。

本レジスタは PRESET 端子によるパワーオンリセット時、WDT オーバフローによるパワーオンリセット時、および H-UDI リセット時のみリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	MSTP 29	MSTP 28	MSTP 27	MSTP 26	MSTP 25	MSTP 24	MSTP 23	MSTP 22	MSTP 21	MSTP 20	—	—	MSTP 17	MSTP 16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSTP 15	MSTP 14	—	—	MSTP 11	MSTP 10	MSTP 9	MSTP 8	—	—	MSTP 5	MSTP 4	—	MSTP 2	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R/W	R	R

ビット	ビット名	初期値	R/W	説 明
31, 30	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29 ~ 24	MSTP29 MSTP28 MSTP27 MSTP26 MSTP25 MSTP24	0 0 0 0 0 0	R/W R/W R/W R/W R/W R/W	モジュールストップビット 29 ~ 24 該当ビットのモジュールへのクロックの供給の停止を指定します。 [29]: SCIF チャネル 5、[28]: SCIF チャネル 4、[27]: SCIF チャネル 3、 [26]: SCIF チャネル 2、[25]: SCIF チャネル 1、[24]: SCIF チャネル 0 0 : 該当モジュールは動作 1 : 該当モジュールへのクロックの供給を停止
23 ~ 20	MSTP23 MSTP22 MSTP21 MSTP20	0 0 0 0	R/W R/W R/W R/W	モジュールストップビット 23、22、21、20 該当ビットのモジュールへのクロックの供給の停止を指定します。 [23]: SSI チャネル 3、[22]: SSI チャネル 2 [21]: SSI チャネル 1、[20]: SSI チャネル 0 0 : 該当モジュールは動作 1 : 該当モジュールへのクロックの供給を停止
19, 18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17, 16	MSTP17 MSTP16	0 0	R/W R/W	モジュールストップビット 17、16 該当ビットのモジュールへのクロックの供給の停止を指定します。 [17]: HAC チャネル 1、[16]: HAC チャネル 0 0 : 該当モジュールは動作 1 : 該当モジュールへのクロックの供給を停止

ビット	ビット名	初期値	R/W	説明
15、14	MSTP15 MSTP14	0 0	R/W R/W	モジュールストップビット 15、14 該当ビットのモジュールへのクロックの供給の停止を指定します。 [15]: I2C チャンネル 1、[14]: I2C チャンネル 0 0: 該当モジュールは動作 1: 該当モジュールへのクロックの供給を停止
13、12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~8	MSTP11 MSTP10 MSTP9 MSTP8	0 0 0 0	R/W R/W R/W R/W	モジュールストップビット 11、10、9、8 該当ビットのモジュールへのクロックの供給の停止を指定します。 [11]: TMU チャンネル 9~11、[10]: TMU チャンネル 6~8、[9]: TMU チャンネル 3~5、[8]: TMU チャンネル 0~2 0: 該当モジュールは動作 1: 該当モジュールへのクロックの供給を停止
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	MSTP5 MSTP4	0 0	R/W R/W	モジュールストップビット 5、4 該当ビットのモジュールへのクロックの供給の停止を指定します。 [5]: SDIF チャンネル 1、[4]: SDIF チャンネル 0 0: 該当モジュールは動作 1: 該当モジュールへのクロックの供給を停止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	MSTP2	0	R/W	モジュールストップビット 2 該当ビットのモジュールへのクロックの供給の停止を指定します。 [2]: HSPI 0: 該当モジュールは動作 1: 該当モジュールへのクロックの供給を停止
1、0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

20.3.2 スタンバイコントロールレジスタ 1 (MSTPCR1)

MSTPCR1 は、読み出し / 書き込み可能な 32 ビットのレジスタで、H-UDI/UBC/DMAC/GDTA モジュールに対し、個別に動作、停止の指定ができます。MSTPCR1 は、ロングワードアクセスのみ可能です。

本レジスタは PRESET 端子によるパワーオンリセット時、WDT オーバフローによるパワーオンリセット時および H-UDI リセット時のみリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	MSTP 112	—	MSTP 110	MSTP 109	MSTP 108	—	—	MSTP 105	MSTP 104	MSTP 103	MSTP 102	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	MSTP112	0	R/W	モジュールストップビット 112 USB モジュールへのクロックの供給の停止を指定します。 0 : USB 動作 1 : USB 停止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	MSTP110 MSTP109 MSTP108	0 0 0	R/W R/W R/W	モジュールストップビット 110、109、108 該当ビットのモジュールへのクロックの供給の停止を指定します。 [10]: PCI Express チャンネル 2、[9]: PCI Express チャンネル 1、 [8]: PCI Express チャンネル 0 0 : 該当モジュールは動作 1 : 該当モジュールへのクロックの供給を停止
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	MSTP105 MSTP104	0 0	R/W R/W	モジュールストップビット 105、104 該当ビットの DMAC チャンネルへのクロックの供給の停止を指定します。 [5]: DMAC チャンネル 11~6、[4]: DMAC チャンネル 5~0 0 : DMAC 動作 1 : DMAC 停止
3	MSTP103	0	R/W	モジュールストップビット 103 DU モジュールへのクロックの供給の停止を指定します。 0 : DU 動作 1 : DU 停止

ビット	ビット名	初期値	R/W	説明
2	MSTP102	0	R/W	モジュールストップビット 102 Ether モジュールへのクロックの供給の停止を指定します。 0 : Ether 動作 1 : Ether 停止
1, 0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

20.3.3 スタンバイ表示レジスタ (MSTPMR)

MSTPMR は、読み出し可能な 32 ビットのレジスタで、USB/PCI Express/DMAC/ディスプレイユニット (DU) /Ether MAC コントローラ (Ether) モジュールがモジュールスタンバイ状態かどうかを表示します。MSTPMR は、ロングワードアクセスのみ可能で、書き込みは無効です。

本レジスタは $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時、WDT オーバフローによるパワーオンリセット時および H-UDI リセット時のみリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	x	0	0	0	1	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	MSTP MUSB	—	MSTP MPCI2	MSTP MPCI1	MSTP MPCI0	—	—	MSTP M105	MSTP M104	MSTP MDU	MSTP METH	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	x	x	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 初期値 x (不定値) のビット (ビット 23) は、 $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時に取り込んだ MPMD 端子のレベルにより、初期値が決まります。すなわち、MPMD が H レベルのときビット 23 の初期値は 1、MPMD が L レベルのときビット 23 の初期値は 0 となります。

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
23	-	x	R	MPMD 端子に H レベルを入力した場合、読み出すと 1 が読み出されます。 MPMD 端子に L レベルを入力した場合、読み出すと 0 が読み出されます。
22~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
19	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。
18~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。

ビット	ビット名	初期値	R/W	説明
12	MSTPMUSB	0	R	モジュールストップ表示ビット USB USB モジュールへのクロックの供給の状態を表示します。 0 : USB 動作 1 : USB 停止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
10~8	MSTPMPCI2 MSTPMPCI1 MSTPMPCIO	0 0 0	R R R	モジュールストップ表示ビット PCI2、PCI1、PCIO 該当ビットの PCI Express チャンネルへのクロックの供給の状態を表示します。 [10]: PCI Express チャンネル 2、[9]: PCI Express チャンネル 1、 [8]: PCI Express チャンネル 0 0 : PCI Express 動作 1 : PCI Express 停止
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
5、4	MSTPM105 MSTPM104	0 0	R R	モジュールストップ表示ビット 105、104 該当ビットの DMAC チャンネルへのクロックの供給の状態を表示します。 [5]: DMAC チャンネル 11~6、[4]: DMAC チャンネル 5~0 0 : DMAC 動作 1 : DMAC 停止
3	MSTPMDU	x	R	モジュールストップ表示ビット DU DU モジュールへのクロックの供給の状態を表示します。MODE12、 MODE11 端子のどちらかにハイレベルを入力したときに、DU へのクロック 供給を停止します。 0 : DU 動作 1 : DU 停止
2	MSTPMETH	x	R	モジュールストップ表示ビット Ether Ether モジュールへのクロックの供給の状態を表示します。MODE12 端子に ローレベル、MODE11 端子にハイレベルを入力したときに、Ether へのクロ ック供給を行います。上記以外の設定では、Ether へのクロック供給を停止 します。 0 : Ether 動作 1 : Ether 停止
1、0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。

20.3.4 CPU0 Ick 周波数コントロールレジスタ (COIFC)

COIFC は、読み出し / 書き込み可能な 32 ビットのレジスタで、CPU コア 0 に供給されるクロックの比率を設定します。COIFC は、ロングワードアクセスのみ可能です。

本レジスタは PRESET 端子によるパワーオンリセット時、WDT オーバフローによるパワーオンリセット時および H-UDI リセット時のみリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	IIFC02	IIFC01	IIFC00
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	IIFC0[2:0]	000	R/W	CPU0 クロック分周比設定 FRQCR1 によって設定される CPU クロックと、実際に CPU に供給されるクロックの比を設定します。 000 : ×1 001 : ×1/2 010 : ×1/4(×1/3)* 上記以外 : 設定禁止 ただし、FRQCR1 によって設定される CPU クロック Ick と SuperHyway クロック SHck の周波数が等しい場合、010 は設定禁止です。

【注】 * CPU クロックと SuperHyway クロックの比が 1 : 3 もしくは 1 : 6 の場合は、周波数比は 1/3 もしくは 1/6 となります。

20.3.5 CPU1 Ick 周波数コントロールレジスタ (C1IFC)

C1IFC は、読み出し/書き込み可能な 32 ビットのレジスタで、CPU コア 1 に供給されるクロックの比率を設定します。C1IFC は、ロングワードアクセスのみ可能です。

本レジスタは PRESET 端子によるパワーオンリセット時、WDT オーバフローによるパワーオンリセット時および H-UDI リセット時のみリセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	IIFC12	IIFC11	IIFC10
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	IIFC1[2:0]	000	R/W	CPU1 クロック分周比設定 FRQCR1 によって設定される CPU クロックと、実際に CPU に供給されるクロックの比を設定します。 000 : ×1 001 : ×1/2 010 : ×1/4(×1/3)* 上記以外 : 設定禁止 ただし、FRQCR1 によって設定される CPU クロック Ick と SuperHyway クロック SHck の周波数が等しい場合、010 は設定禁止です。

【注】 * CPU クロックと SuperHyway クロックの比が 1 : 3 もしくは 1 : 6 の場合は、周波数比は 1/3 もしくは 1/6 となります。

20.3.6 CPU0 スタンバイコントロールレジスタ (COSTBCR)

COSTBCR は、読み出し/書き込み可能な 32 ビットのレジスタで、CPU コア 0 に対し、個別に動作、停止の指定ができます。COSTBCR は、ロングワードアクセスのみ可能です。

本レジスタは PRESET 端子によるパワーオンリセット時、WDT オーバフローによるパワーオンリセット時および H-UDI リセット時のみリセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LTSLP 0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	SLEEP 0	RESET 0	MSTP 0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	LTSLP0	0	R/W	ライトスリープビット CPU コア 0 にて SLEEP 命令の実行でライトスリープモードへ遷移するか、スリープモードへ遷移するかを選択します。 0: スリープモード 1: ライトスリープモード
30~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SLEEP0	0	R	スリープ表示ビット CPU コア 0 がスリープ/ライトスリープ状態であるかどうかを示します。 0: CPU コア 0 は通常動作 1: CPU コア 0 はスリープ/ライトスリープ状態
1	RESET0	0	R/W	リセットビット 詳細は「20.5.3 CPU コアのモジュールストップ制御について」を参照ください。 0: MSTP クリア時にパワーオンリセットを実行しない 1: MSTP クリア時にパワーオンリセットを実行する
0	MSTP0	0	R/W	モジュールストップビット CPU コア 0 がモジュールストップモードであることを示します。 詳細は「20.5.3 CPU コアのモジュールストップ制御について」を参照ください。 0: CPU コア 0 動作 1: CPU コア 0 モジュールストップ

20.3.7 CPU1 スタンバイコントロールレジスタ (C1STBCR)

C1STBCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、CPU コア 1 に対し、個別に動作、停止の指定ができます。C1STBCR は、ロングワードアクセスのみ可能です。

本レジスタは PRESET 端子によるパワーオンリセット時、WDT オーバフローによるパワーオンリセット時および H-UDI リセット時のみリセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LTSLP ₁	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	SLEEP ₁	RESET ₁	MSTP ₁
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	LTSLP1	0	R/W	ライトスリープビット CPU コア 1 にて SLEEP 命令の実行でライトスリープモードへ遷移するか、スリープモードへ遷移するかを選択します。 0: スリープモード 1: ライトスリープモード
30~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SLEEP1	0	R	スリープ表示ビット CPU コア 1 がスリープ / ライトスリープ状態であるかどうかを示します。 0: CPU コア 1 は通常動作 1: CPU コア 1 はスリープ / ライトスリープ状態
1	RESET1	0	R/W	リセットビット 詳細は「20.5.3 CPU コアのモジュールストップ制御について」を参照ください。 0: MSTP クリア時にパワーオンリセットを実行しない 1: MSTP クリア時にパワーオンリセットを実行する
0	MSTP1	1	R/W	モジュールストップビット CPU コア 1 がモジュールストップモードであることを示します。 詳細は「20.5.3 CPU コアのモジュールストップ制御について」を参照ください。 0: CPU コア 1 動作 1: CPU コア 1 モジュールストップ

20.4 スリープモード

20.4.1 スリープモードへの遷移

スリープモードへ移行する場合は、SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。

CPU 以外の内蔵モジュールは動作を続けます。また、CLKOUT 端子にはクロックが出力され続けます。

CPU0 のスリープモードでは、STATUS1 端子にハイレベルが、STATUS0 端子にローレベルが出力されます。

20.4.2 スリープモードの解除

スリープモードは、割り込み (NMI、 $\overline{\text{IRQ}}/\overline{\text{IRL}}[7:0]$ 、内蔵モジュール)、リセットにより解除されます。

スリープモード中は、SR レジスタの BL ビットが 1 でも、割り込みを受け付けます。必要ならば、SLEEP 命令実行前に SPC、SSR 等をスタックに退避してください。

(1) 割り込みによる解除

NMI、 $\overline{\text{IRQ}}/\overline{\text{IRL}}[7:0]$ 、内蔵モジュールの各割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。INTEVT レジスタには、割り込み要因に対応したコードがセットされます。

STATUS 端子の変化タイミングは、「20.6.2 スリープ解除の場合」を参照してください。

(2) リセットによる解除

$\overline{\text{PRESET}}$ 端子によるパワーオンリセットおよび、ウォッチドッグタイマオーバーフロー時に発生するパワーオンリセット、H-UDI リセット、マニュアルリセットにより、スリープモードは解除されます。STATUS 端子の変化タイミングは、「19.5 リセット中の端子タイミング」を参照してください。

20.5 モジュールスタンバイ機能

20.5.1 モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの各 MSTP ビット^{*1}に 1 をセットすることで、それぞれ対応した内蔵モジュールへのクロック供給を停止させることができます。^{*2}

モジュールスタンバイ状態にある各モジュールは、モジュールスタンバイ状態に遷移する直前の状態が保持され続けます。レジスタ設定値も停止前の状態を保持します。また、外部端子も停止前の状態を保持します。モジュールスタンバイ状態から復帰すると、停止前の状態から動作を開始します。

【注】 *1 スタンバイコントロールレジスタの各 MSTP ビットの説明は、20.3.1、20.3.2 を参照ください。

*2 モジュールの動作が完了してアイドル状態にあり、外部端子や他のモジュールからの起動要因もありえない状態で MSTP ビットに 1 をセットしてください。

20.5.2 モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、スタンバイコントロールレジスタの各 MSTP ビットを 0 にクリアするかまたはパワーオンリセットにより行います。

20.5.3 CPU コアのモジュールストップ制御について

CnSTBCR.MSTPn (n=0、1) への書き込みによる、CPU コアのモジュールストップ制御は、

- (1) パワーオンリセット後 (CnSTBCR.RESETn によるパワーオンリセットを除く) の初期設定
- (2) CPU コア異常動作時の停止・再起動処理

以外の目的で行わないでください。

(1) パワーオンリセット後 (CnSTBCR.RESETn によるパワーオンリセットを除く) の初期設定

パワーオンリセット解除直後は CPU コア 0 のみが動作し、CPU コア 1 はモジュールストップ状態になります。C1STBCR.RESET1 の値は CPU コア 1 モジュールストップ状態を解除する (C1STBCR.MSTP1 をクリアする) まで変更しないでください。

(2) CPU コア異常動作時の停止・再起動処理

CPU コアが異常動作していることを他 CPU コアで検知した場合、以下のフローに従うことにより、CPU コアを停止・再起動させることができます。ただし、停止させた CPU コアとエミュレータ間で通信状態にあった場合、通信が切断されることがあります。また、全ての CPU コアを停止させると再起動する手段を失いますので、全ての CPU コアを停止させないでください。

1. 停止させる CPU コアに対応する CnIFC.IIFC (n=0、1) を B'000 にしてください。
2. 停止させる CPU コアに対応する CnSTBCR.MSTPn に B'1 を書き込んでください。この時点で CPU コアは停止します。
3. 停止させた CPU コアに対応する CnSTBCR.RESETn に B'1 を書き込んでください。再起動させるためには CPU コアをパワーオンリセットさせなければなりません。
4. 停止させた CPU コアに対応する CnSTBCR.MSTPn に B'0 を書き込んでください。この時点で CPU コアは再起動します。後続処理を行う前に、CnSTBCR レジスタを一度リードしてください。

20.6 STATUS 端子の変化タイミング

20.6.1 リセットの場合

詳細は、「19.5 リセット中の端子タイミング」を参照してください。

20.6.2 スリープ解除の場合

(1) スリープ 割り込み

STATUS 端子の変化タイミングを図 20.1 に示します。

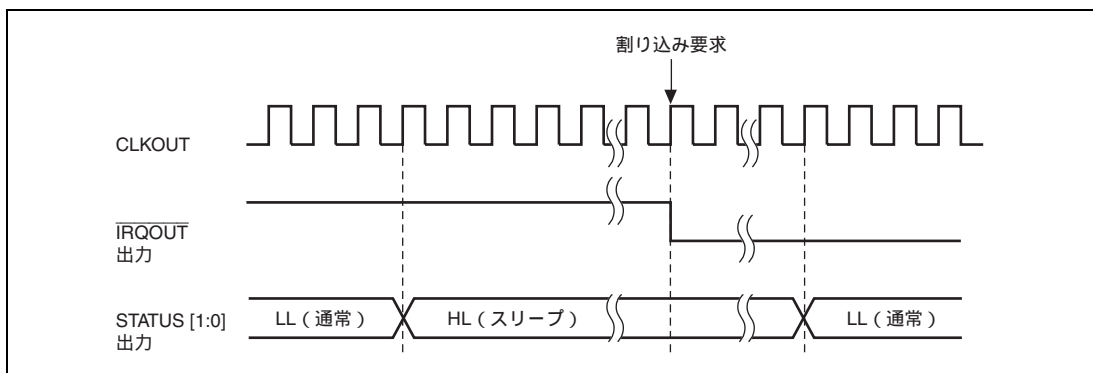


図 20.1 スリープ 割り込みの STATUS 出力

20.7 DDR3-SDRAM 電源バックアップ

詳細は、「12.5.8 SDRAM 電源バックアップ機能」を参照してください。

21. タイマユニット (TMU)

本 LSI は 12 チャンネル (チャンネル 0~11) の 32 ビットタイマにより構成される 32 ビットタイマユニット (TMU : TiMer Unit) を内蔵しています。

21.1 特長

TMU には次のような特長があります。

- 各チャンネルとも、オートリロード方式の32ビットダウンカウンタを搭載
- チャンネル2のみ、インプットキャプチャ機能を搭載
- チャンネル0、1、2のみ外部クロック選択時もしくはチャンネル2インプットキャプチャ機能使用時には、外部クロックの入力エッジとして立ち上がりエッジ / 立ち下がりエッジ選択可能
- 各チャンネルとも、任意の時点で読み出し / 書き込み可能なオートリロード用の32ビットタイマコンスタントレジスタおよび32ビットダウンカウンタを搭載
- チャンネル0~2は、6種類のカウンタ入力クロックを選択可能
- 外部クロック (TCLK)、周辺クロックを分周した5種類の内部クロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024) (ただし、Pckは周辺クロック)
- チャンネル3~11は、5種類のカウンタ入力クロックを選択可能
- 5種類の周辺クロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024)
- 2種類の割り込み要因
- アンダフロー×1要因 (各チャンネル)、インプットキャプチャ×1要因 (チャンネル2) があります。

図 21.1 に TMU のブロック図を示します。

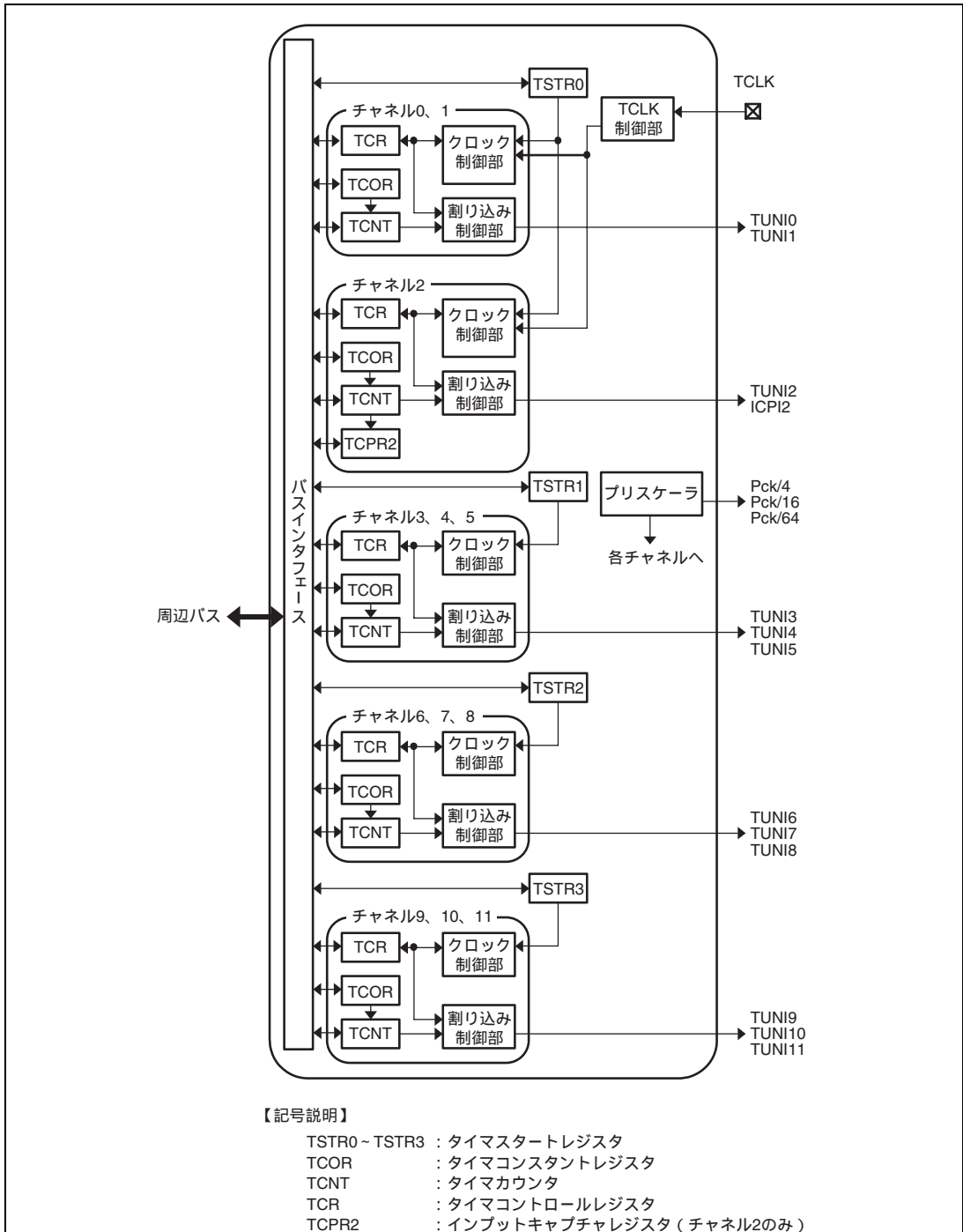


図 21.1 TMU のブロック図

21.2 入出力端子

表 21.1 に TMU の端子構成を示します。

表 21.1 端子構成

名称	略称	入出力	機能
クロック入力	TCLK	入力	チャンネル 0、1、2 外部クロック入力端子 / チャンネル 2 インプットキャプチャ制御入力端子

21.3 レジスタの説明

TMU には以下のレジスタがあります。

表 21.2 レジスタ構成 (1)

チャンネル	名称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ	同期 クロック
0、1、2 共通	タイマスタートレジスタ 0	TSTR0	R/W	H' FFD80004	H' 1FD80004	8	Pck
0	タイマコンスタントレジスタ 0	TCOR0	R/W	H' FFD80008	H' 1FD80008	32	Pck
	タイマカウンタ 0	TCNT0	R/W	H' FFD8000C	H' 1FD8000C	32	Pck
	タイマコントロールレジスタ 0	TCR0	R/W	H' FFD80010	H' 1FD80010	16	Pck
1	タイマコンスタントレジスタ 1	TCOR1	R/W	H' FFD80014	H' 1FD80014	32	Pck
	タイマカウンタ 1	TCNT1	R/W	H' FFD80018	H' 1FD80018	32	Pck
	タイマコントロールレジスタ 1	TCR1	R/W	H' FFD8001C	H' 1FD8001C	16	Pck
2	タイマコンスタントレジスタ 2	TCOR2	R/W	H' FFD80020	H' 1FD80020	32	Pck
	タイマカウンタ 2	TCNT2	R/W	H' FFD80024	H' 1FD80024	32	Pck
	タイマコントロールレジスタ 2	TCR2	R/W	H' FFD80028	H' 1FD80028	16	Pck
	インプットキャプチャレジスタ 2	TCPR2	R	H' FFD8002C	H' 1FD8002C	32	Pck
3、4、5 共通	タイマスタートレジスタ 1	TSTR1	R/W	H'FFDA0004	H'1FDA0004	8	Pck
3	タイマコンスタントレジスタ 3	TCOR3	R/W	H'FFDA0008	H'1FDA0008	32	Pck
	タイマカウンタ 3	TCNT3	R/W	H'FFDA000C	H'1FDA000C	32	Pck
	タイマコントロールレジスタ 3	TCR3	R/W	H'FFDA0010	H'1FDA0010	16	Pck
4	タイマコンスタントレジスタ 4	TCOR4	R/W	H'FFDA0014	H'1FDA0014	32	Pck
	タイマカウンタ 4	TCNT4	R/W	H'FFDA0018	H'1FDA0018	32	Pck
	タイマコントロールレジスタ 4	TCR4	R/W	H'FFDA001C	H'1FDA001C	16	Pck
5	タイマコンスタントレジスタ 5	TCOR5	R/W	H'FFDA0020	H'1FDA0020	32	Pck
	タイマカウンタ 5	TCNT5	R/W	H'FFDA0024	H'1FDA0024	32	Pck
	タイマコントロールレジスタ 5	TCR5	R/W	H'FFDA0028	H'1FDA0028	16	Pck

チャンネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	同期 クロック
6、7、8 共通	タイムスタートレジスタ 2	TSTR2	R/W	H'FFDC0004	H'1FDC0004	8	Pck
6	タイムコンスタントレジスタ 6	TCOR6	R/W	H'FFDC0008	H'1FDC0008	32	Pck
	タイムカウンタ 6	TCNT6	R/W	H'FFDC000C	H'1FDC000C	32	Pck
	タイムコントロールレジスタ 6	TCR6	R/W	H'FFDC0010	H'1FDC0010	16	Pck
7	タイムコンスタントレジスタ 7	TCOR7	R/W	H'FFDC0014	H'1FDC0014	32	Pck
	タイムカウンタ 7	TCNT7	R/W	H'FFDC0018	H'1FDC0018	32	Pck
	タイムコントロールレジスタ 7	TCR7	R/W	H'FFDC001C	H'1FDC001C	16	Pck
8	タイムコンスタントレジスタ 8	TCOR8	R/W	H'FFDC0020	H'1FDC0020	32	Pck
	タイムカウンタ 8	TCNT8	R/W	H'FFDC0024	H'1FDC0024	32	Pck
	タイムコントロールレジスタ 8	TCR8	R/W	H'FFDC0028	H'1FDC0028	16	Pck
9、10、11 共通	タイムスタートレジスタ 3	TSTR3	R/W	H'FFDE0004	H'1FDE0004	8	Pck
9	タイムコンスタントレジスタ 9	TCOR9	R/W	H'FFDE0008	H'1FDE0008	32	Pck
	タイムカウンタ 9	TCNT9	R/W	H'FFDE000C	H'1FDE000C	32	Pck
	タイムコントロールレジスタ 9	TCR9	R/W	H'FFDE0010	H'1FDE0010	16	Pck
10	タイムコンスタントレジスタ 10	TCOR10	R/W	H'FFDE0014	H'1FDE0014	32	Pck
	タイムカウンタ 10	TCNT10	R/W	H'FFDE0018	H'1FDE0018	32	Pck
	タイムコントロールレジスタ 10	TCR10	R/W	H'FFDE001C	H'1FDE001C	16	Pck
11	タイムコンスタントレジスタ 11	TCOR11	R/W	H'FFDE0020	H'1FDE0020	32	Pck
	タイムカウンタ 11	TCNT11	R/W	H'FFDE0024	H'1FDE0024	32	Pck
	タイムコントロールレジスタ 11	TCR11	R/W	H'FFDE0028	H'1FDE0028	16	Pck

表 21.2 レジスタ構成 (2)

チャンネル	名称	略称	パワーオン リセット PRESET 端子 /WDT /H-UDI による	マニュアル リセット WDT /多重例外 による	スリープ/ ライトスリ ープ Sleep 命令 による	モジュール スタンバイ
0、1、2 共通	タイマスタートレジスタ 0	TSTR0	H'00	保持	保持	保持
0	タイマコンスタントレジスタ 0	TCOR0	H'FFFF FFFF	保持	保持	保持
	タイマカウンタ 0	TCNT0	H'FFFF FFFF	保持	保持	保持
	タイマコントロールレジスタ 0	TCR0	H'0000	保持	保持	保持
1	タイマコンスタントレジスタ 1	TCOR1	H'FFFF FFFF	保持	保持	保持
	タイマカウンタ 1	TCNT1	H'FFFF FFFF	保持	保持	保持
	タイマコントロールレジスタ 1	TCR1	H'0000	保持	保持	保持
2	タイマコンスタントレジスタ 2	TCOR2	H'FFFF FFFF	保持	保持	保持
	タイマカウンタ 2	TCNT2	H'FFFF FFFF	保持	保持	保持
	タイマコントロールレジスタ 2	TCR2	H'0000	保持	保持	保持
	インプットキャプチャレジスタ 2	TCPR2	保持	保持	保持	保持
3、4、5 共通	タイマスタートレジスタ 1	TSTR1	H'00	保持	保持	保持
3	タイマコンスタントレジスタ 3	TCOR3	H'FFFF FFFF	保持	保持	保持
	タイマカウンタ 3	TCNT3	H'FFFF FFFF	保持	保持	保持
	タイマコントロールレジスタ 3	TCR3	H'0000	保持	保持	保持
4	タイマコンスタントレジスタ 4	TCOR4	H'FFFF FFFF	保持	保持	保持
	タイマカウンタ 4	TCNT4	H'FFFF FFFF	保持	保持	保持
	タイマコントロールレジスタ 4	TCR4	H'0000	保持	保持	保持
5	タイマコンスタントレジスタ 5	TCOR5	H'FFFF FFFF	保持	保持	保持
	タイマカウンタ 5	TCNT5	H'FFFF FFFF	保持	保持	保持
	タイマコントロールレジスタ 5	TCR5	H'0000	保持	保持	保持

チャネル	名称	略称	パワーオン リセット PRESET 端子 /WDT /H-UDI による	マニュアル リセット WDT /多重例外 による	スリープ/ ライトスリ ープ Sleep 命令 による	モジュール スタンバイ
6、7、8 共通	タイマスタートレジスタ 2	TSTR2	H'00	保持	保持	保持
6	タイマコンスタントレジスタ 6	TCOR6	H'FFFF FFFF	保持	保持	保持
	タイマカウンタ 6	TCNT6	H'FFFF FFFF	保持	保持	保持
	タイマコントロールレジスタ 6	TCR6	H'0000	保持	保持	保持
7	タイマコンスタントレジスタ 7	TCOR7	H'FFFF FFFF	保持	保持	保持
	タイマカウンタ 7	TCNT7	H'FFFF FFFF	保持	保持	保持
	タイマコントロールレジスタ 7	TCR7	H'0000	保持	保持	保持
8	タイマコンスタントレジスタ 8	TCOR8	H'FFFF FFFF	保持	保持	保持
	タイマカウンタ 8	TCNT8	H'FFFF FFFF	保持	保持	保持
	タイマコントロールレジスタ 8	TCR8	H'0000	保持	保持	保持
9、10、11 共通	タイマスタートレジスタ 3	TSTR3	H'00	保持	保持	保持
9	タイマコンスタントレジスタ 9	TCOR9	H'FFFF FFFF	保持	保持	保持
	タイマカウンタ 9	TCNT9	H'FFFF FFFF	保持	保持	保持
	タイマコントロールレジスタ 9	TCR9	H'0000	保持	保持	保持
10	タイマコンスタントレジスタ 10	TCOR10	H'FFFF FFFF	保持	保持	保持
	タイマカウンタ 10	TCNT10	H'FFFF FFFF	保持	保持	保持
	タイマコントロールレジスタ 10	TCR10	H'0000	保持	保持	保持
11	タイマコンスタントレジスタ 11	TCOR11	H'FFFF FFFF	保持	保持	保持
	タイマカウンタ 11	TCNT11	H'FFFF FFFF	保持	保持	保持
	タイマコントロールレジスタ 11	TCR11	H'0000	保持	保持	保持

21.3.1 タイマスタートレジスタ (TSTRn) (n = 0 ~ 3)

TSTR は、読み出し / 書き込み可能な 8 ビットのレジスタです。TCNT を動作させるか、停止させるかを選択します。

• TSTR0

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	STR2	STR1	STR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	STR2	0	R/W	カウンタスタート 2 TCNT2 を動作させるか、停止させるかを選択します。 0: TCNT2 のカウント動作は停止 1: TCNT2 はカウント動作する
1	STR1	0	R/W	カウンタスタート 1 TCNT1 を動作させるか、停止させるかを選択します。 0: TCNT1 のカウント動作は停止 1: TCNT1 はカウント動作する
0	STR0	0	R/W	カウンタスタート 0 TCNT0 を動作させるか、停止させるかを選択します。 0: TCNT0 のカウント動作は停止 1: TCNT0 はカウント動作する

• TSTR1

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	STR5	STR4	STR3
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	STR5	0	R/W	カウンタスタート 5 TCNT5 を動作させるか、停止させるかを選択します。 0: TCNT5 のカウント動作は停止 1: TCNT5 はカウント動作する

ビット	ビット名	初期値	R/W	説明
1	STR4	0	R/W	カウンタスタート 4 TCNT4 を動作させるか、停止させるかを選択します。 0 : TCNT4 のカウント動作は停止 1 : TCNT4 はカウント動作する
0	STR3	0	R/W	カウンタスタート 3 TCNT3 を動作させるか、停止させるかを選択します。 0 : TCNT3 のカウント動作は停止 1 : TCNT3 はカウント動作する

• TSTR2

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	STR8	STR7	STR6
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	STR8	0	R/W	カウンタスタート 8 TCNT8 を動作させるか、停止させるかを選択します。 0 : TCNT8 のカウント動作は停止 1 : TCNT8 はカウント動作する
1	STR7	0	R/W	カウンタスタート 7 TCNT7 を動作させるか、停止させるかを選択します。 0 : TCNT7 のカウント動作は停止 1 : TCNT7 はカウント動作する
0	STR6	0	R/W	カウンタスタート 6 TCNT6 を動作させるか、停止させるかを選択します。 0 : TCNT6 のカウント動作は停止 1 : TCNT6 はカウント動作する

• TSTR3

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	STR11	STR10	STR9
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	STR11	0	R/W	カウンタスタート 11 TCNT8 を動作させるか、停止させるかを選択します。 0: TCNT8 のカウント動作は停止 1: TCNT8 はカウント動作する
1	STR10	0	R/W	カウンタスタート 10 TCNT7 を動作させるか、停止させるかを選択します。 0: TCNT7 のカウント動作は停止 1: TCNT7 はカウント動作する
0	STR9	0	R/W	カウンタスタート 9 TCNT6 を動作させるか、停止させるかを選択します。 0: TCNT6 のカウント動作は停止 1: TCNT6 はカウント動作する

21.3.2 タイマコンスタントレジスタ (TCORn) (n = 0 ~ 11)

TCOR は、読み出し / 書き込み可能な 32 ビットレジスタです。TCNT のカウントダウンの結果、アンダフローが発生すると、この TCOR の値が TCNT にセットされ、TCNT はセットされた値からカウントダウンを続けます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

21.3.3 タイマカウンタ(TCNTn) (n = 0 ~ 11)

TCNT は、読み出し / 書き込み可能な 32 ビットレジスタです。TCNT は、TCR の TPSC2 ~ TPSC0 ビットにより選択した入力クロックにより、カウントダウン動作を行います。

TCNT のカウントダウン動作の結果、アンダフローが発生すると、対応するチャンネルの TCR の UNF が 1 にセットされます。また、同時に TCNT には、TCOR の値が設定され、設定された値からカウントダウン動作を続けます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

21.3.4 タイマコントロールレジスタ (TCRn) (n = 0 ~ 11)

TCR は、読み出し / 書き込み可能な 16 ビットレジスタです。カウントクロックの選択、外部クロック選択時のエッジの選択、TCNT のアンダフロー発生を示すフラグが 1 にセットされたときの割り込み発生制御を行います。また、チャンネル 2 の TCR はインプットキャプチャ機能の制御およびインプットキャプチャ時の割り込み発生制御を行います。

• TCR0、TCR1、TCR3 ~ TCR11

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	UNF	—	—	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

• TCR2

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ICPF	UNF	ICPE1	ICPE0	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15 ~ 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
9	ICPF* ¹	0	R/W	<p>インプットキャプチャ割り込みフラグ</p> <p>チャンネル2のみの機能で、インプットキャプチャの発生を示すステータスフラグです。</p> <p>0：インプットキャプチャが発生していないことを示します [クリア条件] ICPF に 0 を書き込んだとき 1：インプットキャプチャが発生したことを示します [セット条件] インプットキャプチャが発生したとき*²</p>
8	UNF	0	R/W	<p>アンドフローフラグ</p> <p>TCNT のアンドフローの発生を示すステータスフラグです。</p> <p>0：TCNT がアンドフローを起こしていないことを示します [クリア条件] UNF に 0 を書き込んだとき 1：TCNT がアンドフローを起こしたことを示します [セット条件] TCNT がアンドフローを起こしたとき*²</p>
7 6	ICPE1* ¹ ICPE0* ¹	0 0	R/W R/W	<p>インプットキャプチャ制御</p> <p>チャンネル2のみの機能で、インプットキャプチャ機能を使用するかどうかおよび使用時の割り込み発生を許可するかどうかを制御します。</p> <p>TCCLK 端子の立ち上がりエッジ / 立ち下がりエッジのいずれかを使って TCPR2 に TCNT2 の値をセットするかは、CKEG ビットで設定します。</p> <p>TCR2 の ICPF ビットが 0 のときのみ、TCNT2 の値が TCPR2 にセットされます。ICPF ビットが 1 のときは、インプットキャプチャが発生しても TCPR2 はセットされません。</p> <p>00：インプットキャプチャ機能を使用しないことを示します 01：リザーブ (設定禁止) 10：インプットキャプチャ機能を使用するが、インプットキャプチャによる割り込み (TICPI2) を許可しないことを示します。 11：インプットキャプチャ機能を使用し、またインプットキャプチャによる割り込み (TICPI2) を許可することを示します。</p>
5	UNIE	0	R/W	<p>アンドフロー割り込み制御</p> <p>TCNT のアンドフローの発生を示すステータスフラグ UNF が 1 にセットされたときに割り込み発生を許可するかどうかを制御します。</p> <p>0：アンドフローによる割り込み (TUNI) を許可しない 1：アンドフローによる割り込み (TUNI) を許可する</p>

ビット	ビット名	初期値	R/W	説明
4 3	CKEG1 CKEG0	0 0	R/W R/W	クロックエッジ 1、0 外部クロック選択時もしくはインプットキャプチャ機能使用時に、外部クロックの入力エッジを選択します。 00:立ち上がりエッジでカウント/インプットキャプチャレジスタセット 01:立ち下がりエッジでカウント/インプットキャプチャレジスタセット 1X:立ち上がり/立ち下がりの両エッジでカウント/インプットキャプチャレジスタセット
2 1 0	TPSC2 TPSC1 TPSC0	0 0 0	R/W R/W R/W	タイマプリスケアラ 2~0 TCNT のカウントクロックを選択します。 000: Pck/4 でカウント 001: Pck/16 でカウント 010: Pck/64 でカウント 011: Pck/256 でカウント 100: Pck/1024 でカウント 101: 設定禁止 110: 設定禁止 111: 外部クロック (TCLK) でカウント*3

【注】 X: Don't care

- *1 チャンネル 0、1、3、4、5 ではリザーブビットです (初期値 0、リードのみ)。
- *2 1 を書き込むと元の値が保持されます。
- *3 チャンネル 3、4、5 では設定禁止です。

21.3.5 インプットキャプチャレジスタ 2 (TCPR2)

TCPR2 は、チャンネル 2 のみに内蔵されているインプットキャプチャ機能用の読み出し専用の 32 ビットレジスタです。TCR2 の ICPE ビットおよび CKEG ビットによって、インプットキャプチャ機能を制御します。インプットキャプチャが発生すると、TCNT2 の値が TCPR2 にコピーされます。TCR2 の ICPF ビットが 0 のときのみ TCPR2 にセットします。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

21.4 動作説明

各チャンネルには、32ビットのタイマカウンタ (TCNT) と 32ビットのタイマコンスタントレジスタ (TCOR) があります。TCNT は、カウントダウン動作を行います。オートリロード機能によって周期カウント動作または外部イベントカウント動作が可能です。また、チャンネル2には、インプットキャプチャ機能があります。

21.4.1 カウンタの動作

TSTR0~TSTR3のSTR11~STR0ビットを1にセットすると、対応するチャンネルのTCNTはカウント動作を開始します。TCNTがアンダフローすると対応するTCRのUNFフラグが1にセットされます。このとき、TCRのUNIEビットが1ならば、CPUに割り込みを要求します。また、このときTCNTにはTCORから値がコピーされ、カウントダウン動作を継続します (オートリロード機能)。

(1) カウント動作の設定手順例

図 21.2 にカウント動作の設定手順例を示します。

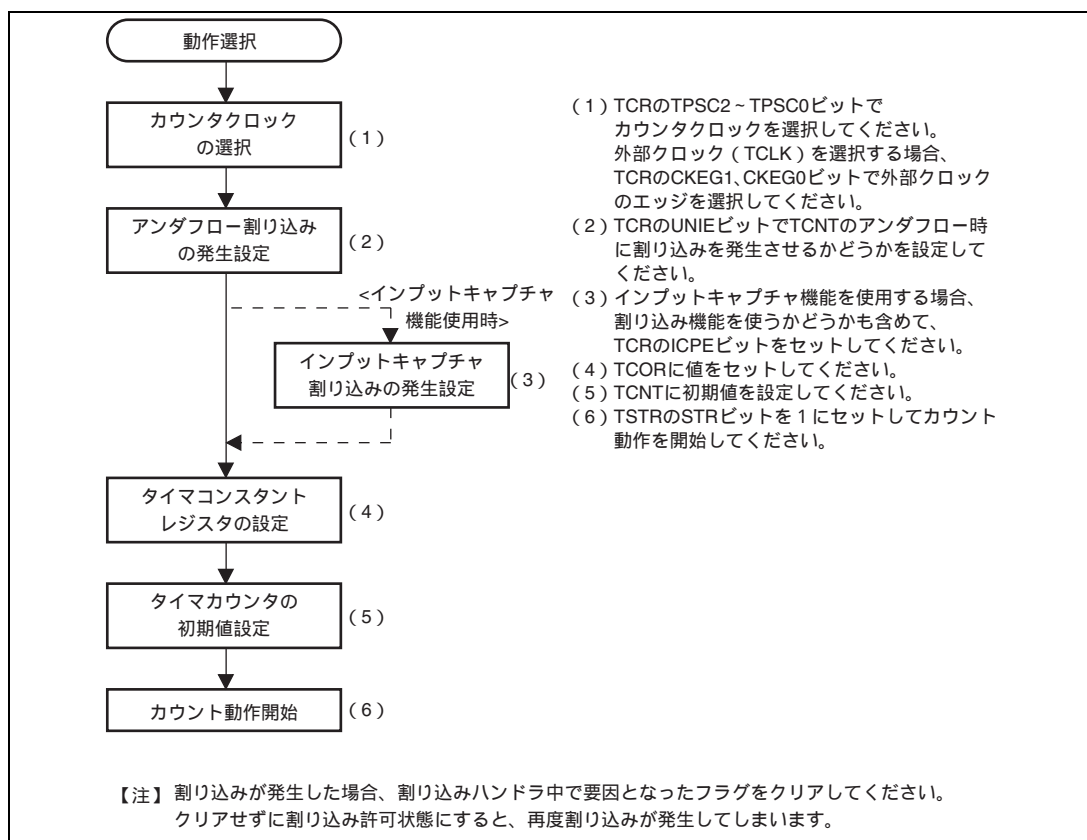


図 21.2 カウント動作設定手順例

(2) オートリロードカウント動作

図 21.3 に TCNT のオートリロード動作を示します。

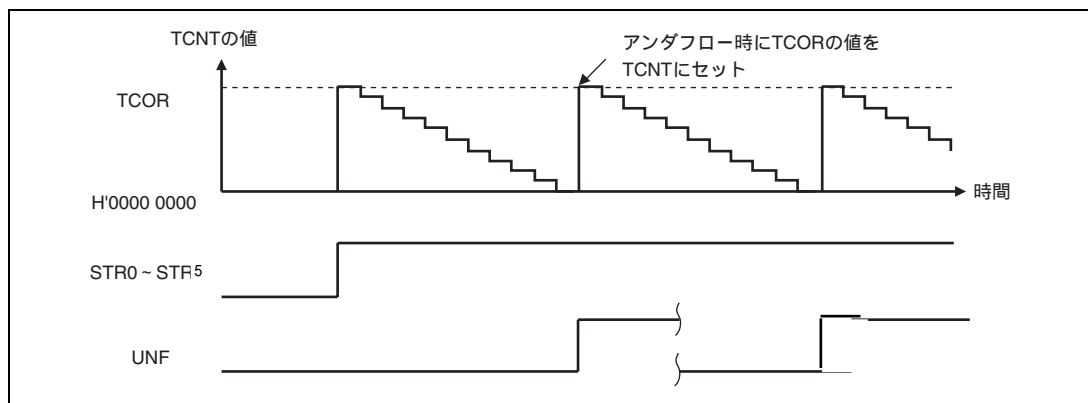


図 21.3 TCNT のオートリロード動作

(3) TCNT のカウントタイミング

- 内部クロック動作の場合

TCR の TPSC2 ~ TPSC0 ビットにより、カウントクロックとして周辺クロックを分周した 5 種類の内部クロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024) を選択できます。

このときのタイミングを図 21.4 に示します。

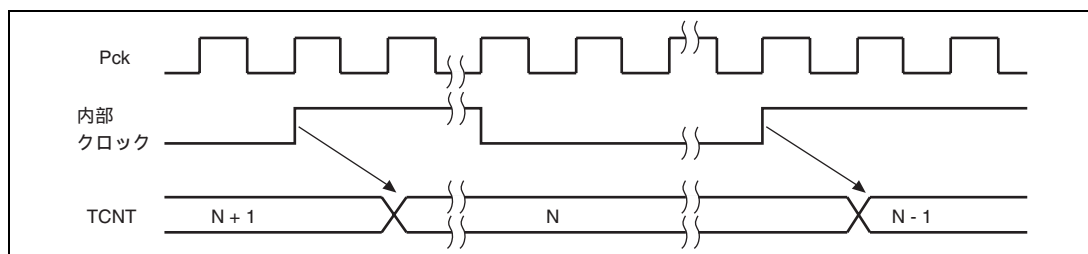


図 21.4 内部クロック動作時のカウントタイミング

- 外部クロック動作の場合

チャンネル 0、1、2 では、TCR の TPSC2 ~ TPSC0 ビットにより、タイマ用クロックとして外部クロック入力端子 (TCLK) からの入力を選択できます。また、TCR の CKEG1、CKEG0 ビットにより検出エッジを選択できます。外部クロックの検出は、立ち上がり / 立ち下がり / 両エッジの選択が可能です。

図 21.5 に両エッジ検出時のタイミングを示します。

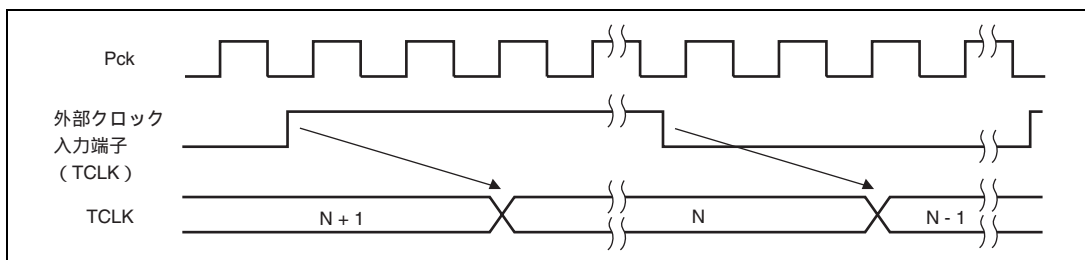


図 21.5 外部クロック入力動作時のカウントタイミング

21.4.2 インพุットキャプチャ機能

チャンネル 2 には、インพุットキャプチャ機能があります。

インพุットキャプチャ機能を使用する場合、

1. TCR2のTPSC2 ~ TPSC 0ビットでのタイマの動作クロックを内部クロックに設定します。
2. TCR2のICPE1、ICPE 0ビットでインพุットキャプチャ機能の使用および使用の際に割り込みを発生させるかを指定します。
3. TCR2のCKEG1、CKEG 0ビットでTCLK端子の立ち上がり / 立ち下がりなどのエッジを使用してTCPR2にTCNT2の値をセットするかを指定します。

インพุットキャプチャ発生時、TCR2 の ICPF ビットが 0 のときのみ、TCNT2 の値を TCPR2 にセットします。

図 21.6 にインพุットキャプチャ機能使用時の動作タイミングを示します (TCLK の立ち上がりエッジ使用)。

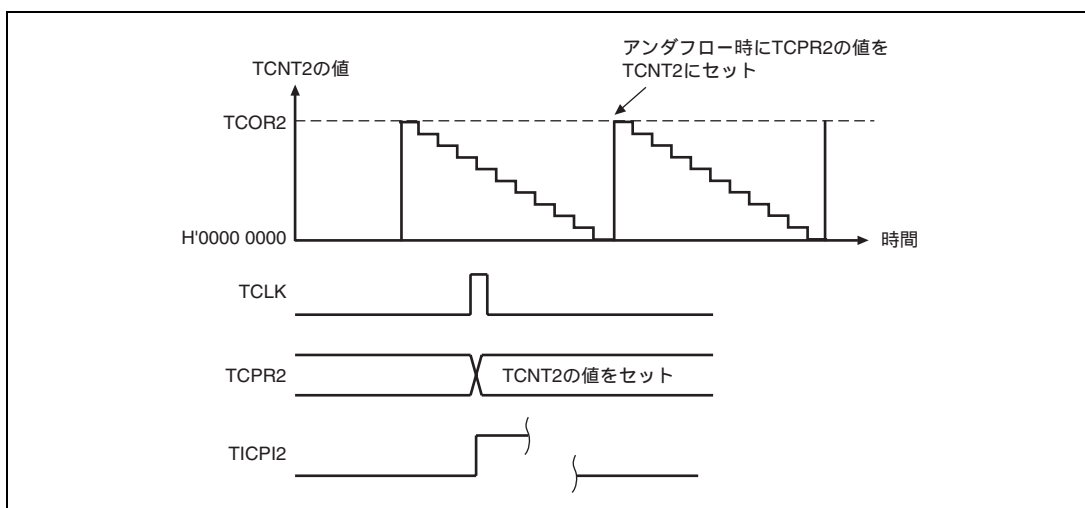


図 21.6 インพุットキャプチャ機能使用時の動作タイミング

21.5 割り込み

TMU の割り込み要因は、アンドフロー割り込みおよびインプットキャプチャ機能使用時のインプットキャプチャ割り込みです。アンドフロー割り込みは各チャンネルで、インプットキャプチャ割り込みはチャンネル 2 のみで発生します。

UNF ビットが 1 であり、そのチャンネルの割り込み許可ビットが 1 のとき、アンドフロー割り込み要求が発生します (チャンネルごと)。

インプットキャプチャ機能使用時、インプットキャプチャ要求が発生すると TCR2 の ICPF ビットが 1 で TCR2 のインプットキャプチャ制御ビット (ICPE1、ICPE0) が 11 の場合に割り込み要求が発生します。

表 21.3 に TMU の割り込み要因を示します。

表 21.3 TMU の割り込み要因

チャンネル	割り込み要因	内 容
0	TUNI0	アンドフロー割り込み 0
1	TUNI1	アンドフロー割り込み 1
2	TUNI2	アンドフロー割り込み 2
	TICPI2	インプットキャプチャ割り込み 2
3	TUNI3	アンドフロー割り込み 3
4	TUNI4	アンドフロー割り込み 4
5	TUNI5	アンドフロー割り込み 5
6	TUNI6	アンドフロー割り込み 6
7	TUNI7	アンドフロー割り込み 7
8	TUNI8	アンドフロー割り込み 8
9	TUNI9	アンドフロー割り込み 9
10	TUNI10	アンドフロー割り込み 10
11	TUNI11	アンドフロー割り込み 11

21.6 低消費電力モード

下記のモード・機能により低消費電力モードを実行する場合はカウンタ動作を停止させた後に実行させる場合があります。

(1) スリープモード

タイムユニット(TMU)は動作を継続します。

(2) ライトスリープモード

タイムユニット(TMU)は動作を継続します。

(3) モジュールスタンバイ

タイムユニット(TMU) へのクロック供給が停止します。モジュールスタンバイに遷移される場合には、すべてのカウンタ動作を停止するか、割り込み要求を禁止します。もしくは、モジュールスタンバイ解除後、カウンタ動作の再設定を行ってください。

(4) 周波数変更

カウンタ動作中の周波数変更を行った場合、動作を保証しません。周波数変更を行う前に、すべてのカウンタ動作を停止するか、割り込み要求を禁止します。もしくは、周波数変更のシーケンス終了後、カウンタ動作の再設定を行ってください。

21.7 使用上の注意事項

21.7.1 レジスタの書き込みについて

TMUのレジスタに書き込むときには、必ず TSTR の該当チャンネルのスタートビット (STR11 ~ STR0) をクリアして、タイマのカウント動作を停止させてください。

ただし、TSTR の書き込み、TCR の UNF、ICPF ビットのクリアは、カウント動作中に行うことができます。カウント動作中にフラグ (UNF、ICPF) をクリアする際は、クリアするビット以外は変更しないようにしてください。

21.7.2 TCNT レジスタの読み出しについて

TCNT レジスタの読み出し時に、タイマのカウント動作との同期処理を行っています。タイマカウント動作とレジスタの読み出し処理が同時に行われた場合は、同期処理により TCNT カウンタのカウントダウン動作前の値が読み出されます。

21.7.3 外部クロック周波数について

チャンネル 0、1、2 への外部クロック (TCLK) は Pclk/4 を超えないようにしてください。

22. Ethernet MAC コントローラ (Ether)

22.1 Ether 概要

Ether は IEEE802.3u の MAC 層規格に準拠した機能コアを内蔵する制御ユニットです。

22.1.1 Ether の特長

< IEEE802.3u MAC (Ether) の機能 >

- フレーム送受信
- 10/100Mbps転送対応
- IEEE802.3u準拠のMIIインタフェース
- マジックパケット検出
- フロー制御 (IEEE802.3x/バックプレッシャー方式)
- DMAコントローラを内蔵

22.1.2 論理構成

図 22.1 に Ether のブロック図を、表 22.1 に各ブロックの機能を示します。

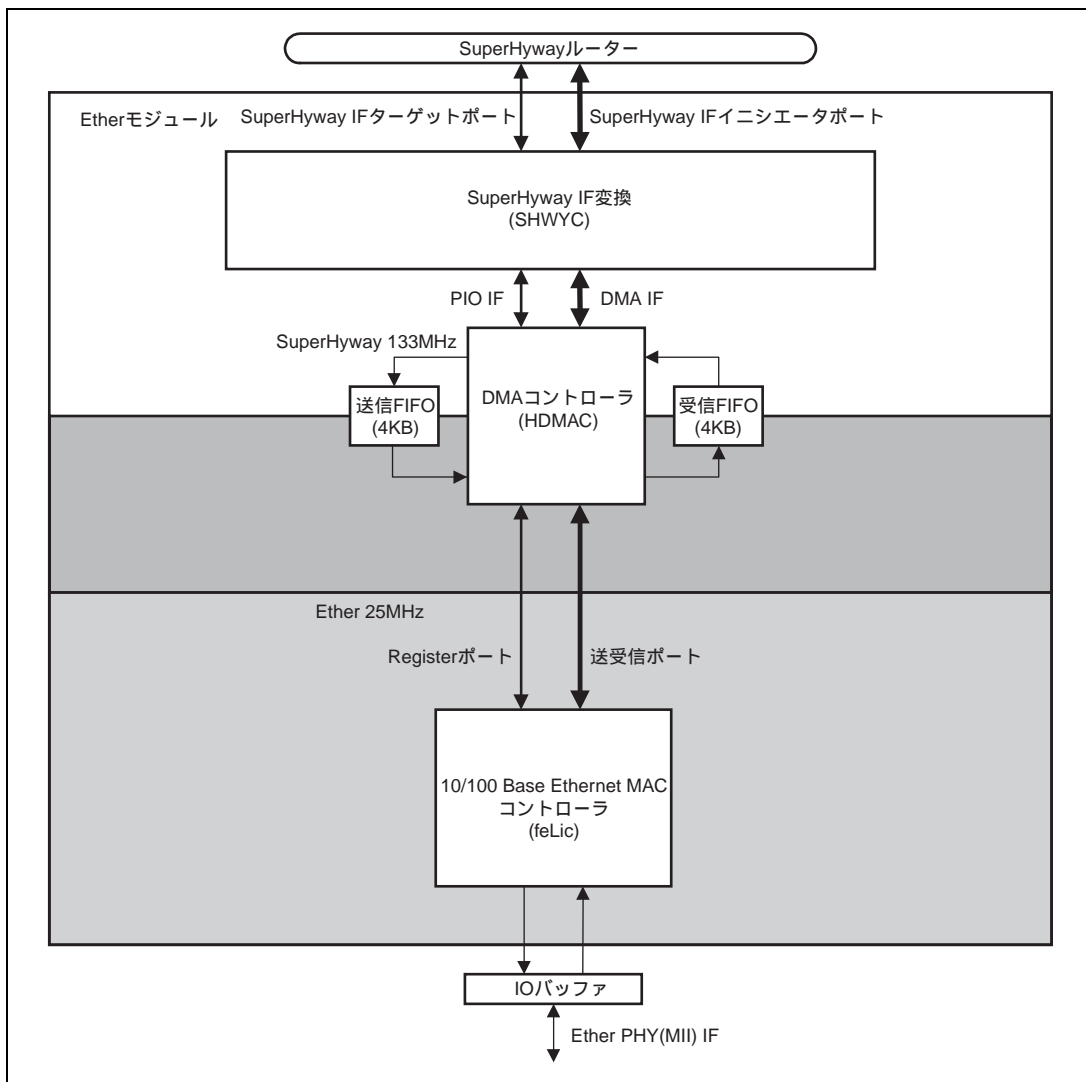


図 22.1 Ether ブロック図

表 22.1 各ブロックの機能

ブロック	機能
DMA コントローラ (HDMAC)	<ul style="list-style-type: none"> • 10/100Base Ethernet MAC コントローラの送信および受信データを、メモリ上の送受信バッファと内蔵 FIFO の間での DMA 転送 詳細は「22.8 HDMAC 機能仕様」を参照してください
10/100Base Ethernet MAC コントローラ (feLic)	<ul style="list-style-type: none"> • IEEE802.3u の MAC 層規格に準拠 • フレーム送受信 • 10/100Mbps 転送対応 • IEEE802.3u 準拠の MII インタフェース • マジックパケット検出 • フロー制御 (IEEE802.3x/バックプレッシャー方式) 詳細は「22.9 feLic 機能仕様」を参照してください
送信 / 受信 FIFO (TFIFO/RFIFO)	<ul style="list-style-type: none"> • DMA コントローラ用送信 / 受信 FIFO 送信 FIFO 容量 : 4K バイト 受信 FIFO 容量 : 4K バイト

22.2 端子定義

22.2.1 端子機能

外部端子機能を表 22.2 に示します。

表 22.2 外部端子機能

分類	端子名	極性	入出力	機能	端子数
Ether MII 他	ETH_TX_CLK	P	I	送信クロック	1
	ETH_TXD[3:0]	P	O	送信データ	4
	ETH_TX_EN	P	O	送信データイネーブル	1
	ETH_TX_ER	P	O	送信エラー	1
	ETH_CRFS	P	I	キャリアセンス	1
	ETH_COL	P	I	コリジョン検出	1
	ETH_RX_CLK	P	I	受信クロック	1
	ETH_RX_ER	P	I	受信エラー	1
	ETH_RX_DV	P	I	受信データバリッド	1
	ETH_RXD[3:0]	P	I	受信データ	4
	ETH_MDC	P	O	管理データクロック	1
	ETH_MDIO	P	I/O	管理データ	1
	ETH_LINK	P	I	PHY 出力の LINK 信号	1
	ETH_MAGIC	P	O	マジックパケット検出	1

22.3 エンディアン

Ether 内部は 32 ビットインタフェースです。SuperHyway の 64 ビットインタフェースとのエンディアンは、本 LSI のエンディアンモードと HDMAC の CXR0 レジスタ DE ビットにより Big、Little を合わせます。図 22.2 にデータ配置方法を示します。

ビッグエンディアンモード : CXR0.DE=0

リトルエンディアンモード : CXR0.DE=1

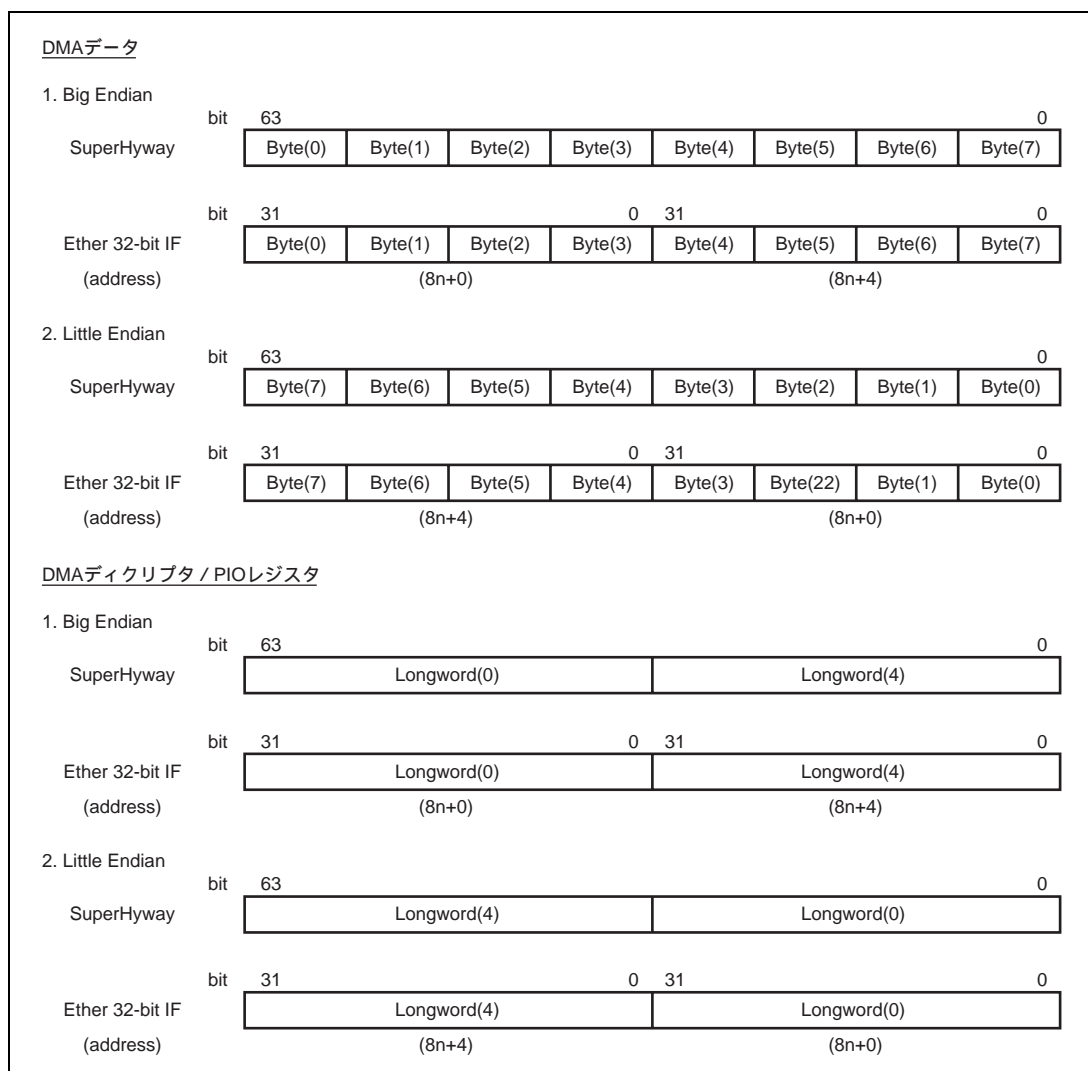


図 22.2 データ配置方法

Ether はリトルエンディアンモード時に HDMAC の CXR0 レジスタ設定により DMA データのエンディアンの変換が可能です。図 22.3 に DMA データのエンディアン変換を示します。

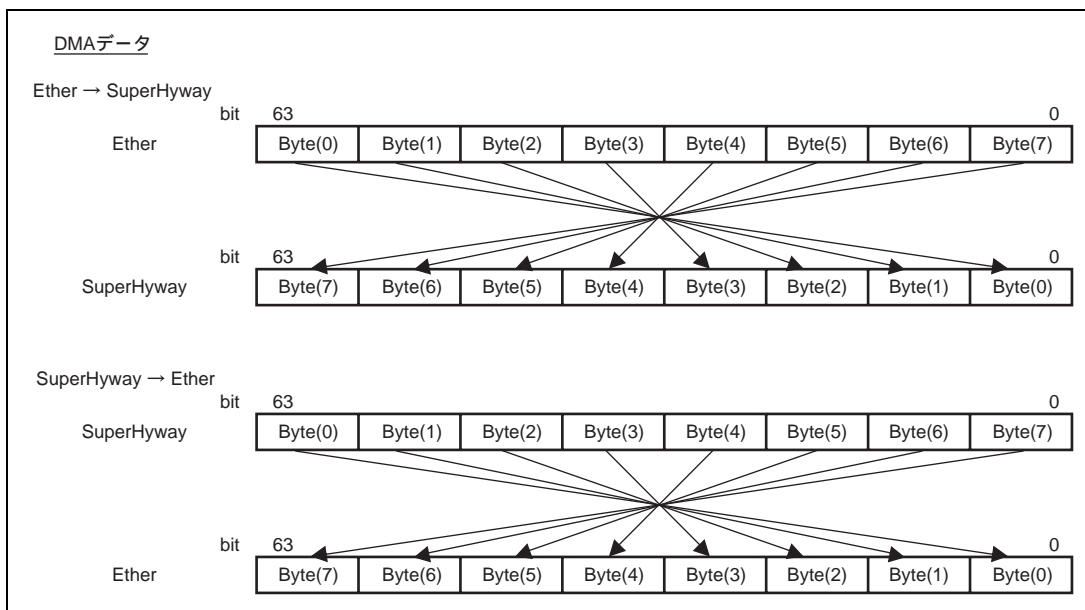


図 22.3 DMA データのエンディアン変換

22.4 レジスタの説明

22.4.1 レジスタアクセスにおける注意事項

上位ソフトウェアより本仕様書で定義するレジスタにアクセスする場合、下記の制限および注意事項を守ってください。

1. 本仕様書内各レジスタのビットで、明示的に定義していないビットについては、書き込み時の0を保証し、読み出し時には不定として扱ってください。
2. 各レジスタにおいてライト制限事項がない場合につきましても、未定義ビットは上述の制限に従ってください。
3. 各レジスタは32ビット長で、32ビット単位のアクセスを原則とします。したがって、部分書き込み、部分読み出しはできません。

22.4.2 レジスタの構成

表 22.3 と表 22.5 に HDMAC レジスタの構成、表 22.4 と表 22.6 に feLic レジスタの構成を示します。

表 22.3 HDMAC レジスタの構成

名称	略称	R/W	P4 アドレス*1	エリア 7 アドレス*1	アクセス サイズ	同期 クロック
HDMAC 動作モード設定レジスタ	CXR0	R/W*2	H'FEE00200	H'1EE00200	32	clks3
送信指示レジスタ	CXR1	R/W*2	H'FEE00208	H'1EE00208	32	clks3
受信指示レジスタ	CXR2	R/W	H'FEE00210	H'1EE00210	32	clks3
送信ディスクリプタ先頭アドレス設定レジスタ	CXR3	R/W*2	H'FEE00218	H'1EE00218	32	clks3
受信ディスクリプタ先頭アドレス設定レジスタ	CXR4	R/W*2	H'FEE00220	H'1EE00220	32	clks3
ステータス表示レジスタ	CXR5	R/W	H'FEE00228	H'1EE00228	32	clks3
割り込みマスク設定レジスタ	CXR6	R/W	H'FEE00230	H'1EE00230	32	clks3
エラーマスク設定レジスタ	CXR7	R/W	H'FEE00238	H'1EE00238	32	clks3
廃棄フレーム数カウントレジスタ	CXR8	R/W	H'FEE00240	H'1EE00240	32	clks3
送信 FIFO しきい値設定レジスタ	CXR9	R/W*2	H'FEE00248	H'1EE00248	32	clks3
外部 FIFO 容量値設定レジスタ	CXR10	R/W*2	H'FEE00250	H'1EE00250	32	clks3
受信起動リセット方法設定レジスタ	CXR11	R/W*2	H'FEE00258	H'1EE00258	32	clks3
(予約)	CXR12	-	H'FEE00260	H'1EE00260	32	clks3
送信 FIFO アンダフローカウントレジスタ	CXR13	R/W	H'FEE00264	H'1EE00264	32	clks3
受信 FIFO オーバフローカウントレジスタ	CXR14	R/W	H'FEE00268	H'1EE00268	32	clks3
(予約)	CXR15	-	H'FEE0026C	H'1EE0026C	32	clks3
受信 FIFO ビジー送しきい値設定レジスタ	CXR16	R/W	H'FEE00270	H'1EE00270	32	clks3
(予約)	CXR17	-	H'FEE00274	H'1EE00274	32	clks3
(予約)	CXRS2	-	H'FEE00278	H'1EE00278	32	clks3
送信割り込みモード設定レジスタ	CXR18	R/W	H'FEE0027C	H'1EE0027C	32	clks3
(予約)	CXR19	-	H'FEE00280	H'1EE00280	32	clks3
(予約)	CXRD0	-	H'FEE002C8	H'1EE002C8	32	clks3
(予約)	CXRD1	-	H'FEE002CC	H'1EE002CC	32	clks3
(予約)	CXRD2	-	H'FEE002D0	H'1EE002D0	32	clks3
(予約)	CXRD3	-	H'FEE002D4	H'1EE002D4	32	clks3
(予約)	CXRD4	-	H'FEE002D8	H'1EE002D8	32	clks3
(予約)	CXRD5	-	H'FEE002DC	H'1EE002DC	32	clks3
(予約)	CXRD6	-	H'FEE002E0	H'1EE002E0	32	clks3

【注】 *1 P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

*2 ライトアクセスに制約事項があります。

表 22.4 feLic レジスタの構成

名称	略称	R/W	P4 アドレス*1	エリア 7 アドレス*1	アクセスサイズ	同期クロック
feLic 動作モード設定レジスタ	CXR20	R/W*2	H'FEE00300	H'1EE00300	32	clks3
ロングフレーム長チェック値設定レジスタ	CXR2A	R/W*2	H'FEE00308	H'1EE00308	32	clks3
ステータス表示レジスタ	CXR21	R/W	H'FEE00310	H'1EE00310	32	clks3
割り込みマスク設定レジスタ	CXR22	R/W	H'FEE00318	H'1EE00318	32	clks3
MII 制御レジスタ	CXR23	R/W	H'FEE00320	H'1EE00320	32	clks3
PHY ステータス表示レジスタ	CXR2B	R	H'FEE00328	H'1EE00328	32	clks3
乱数生成カウンタ上限値設定レジスタ	CXR30	R/W	H'FEE00340	H'1EE00340	32	clks3
IPG カウンタ設定レジスタ	CXR70	R/W*2	H'FEE00350	H'1EE00350	32	clks3
Auto PAUSE パラメータ設定レジスタ	CXR71	R/W	H'FEE00354	H'1EE00354	32	clks3
Manual PAUSE パラメータ設定レジスタ	CXR72	W	H'FEE00358	H'1EE00358	32	clks3
受信 PAUSE フレームカウンタレジスタ	CXR80	R	H'FEE00360	H'1EE00360	32	clks3
PAUSE フレーム再送回数設定レジスタ	CXR81	R/W*2	H'FEE00364	H'1EE00364	32	clks3
PAUSE フレーム再送回数カウンタレジスタ	CXR82	R	H'FEE00368	H'1EE00368	32	clks3
(予約)	CXR83	-	H'FEE0036C	H'1EE0036C	32	clks3
MAC アドレス (上位) レジスタ	CXR24	R/W*2	H'FEE003C0	H'1EE003C0	32	clks3
MAC アドレス (下位) レジスタ	CXR25	R/W*2	H'FEE003C8	H'1EE003C8	32	clks3
TINT1 カウントレジスタ	CXR40	R/W	H'FEE003D0	H'1EE003D0	32	clks3
TINT2 カウントレジスタ	CXR41	R/W	H'FEE003D4	H'1EE003D4	32	clks3
TINT3 カウントレジスタ	CXR42	R/W	H'FEE003D8	H'1EE003D8	32	clks3
TINT4 カウントレジスタ	CXR43	R/W	H'FEE003DC	H'1EE003DC	32	clks3
RINT1 カウントレジスタ	CXR50	R/W	H'FEE003E4	H'1EE003E4	32	clks3
RINT2 カウントレジスタ	CXR51	R/W	H'FEE003E8	H'1EE003E8	32	clks3
RINT3 カウントレジスタ	CXR52	R/W	H'FEE003EC	H'1EE003EC	32	clks3
RINT4 カウントレジスタ	CXR53	R/W	H'FEE003F0	H'1EE003F0	32	clks3
RINT5 カウントレジスタ	CXR54	R/W	H'FEE003F4	H'1EE003F4	32	clks3
RINT8 カウントレジスタ	CXR55	R/W	H'FEE003F8	H'1EE003F8	32	clks3

【注】 *1 P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

*2 ライトアクセスに制約事項があります。

表 22.5 HDMAC レジスタ構成 (2)

名称	略称	パワーオン リセット RESET 端子/WDT /H-UDI による	マニュアル リセット WDT/多重例外 による	スリープ Sleep 命令 による	モジュール スタンバイ	ライト スリープ
HDMAC 動作モード設定レジスタ	CXR0	H'00000000	H'00000000	保持	保持	保持
送信指示レジスタ	CXR1	H'00000000	H'00000000	保持	保持	保持
受信指示レジスタ	CXR2	H'00000000	H'00000000	保持	保持	保持
送信ディスクリプタ先頭アドレス設定 レジスタ	CXR3	H'00000000	H'00000000	保持	保持	保持
受信ディスクリプタ先頭アドレス設定 レジスタ	CXR4	H'00000000	H'00000000	保持	保持	保持
ステータス表示レジスタ	CXR5	H'00000000	H'00000000	保持	保持	保持
割り込みマスク設定レジスタ	CXR6	H'00000000	H'00000000	保持	保持	保持
エラーマスク設定レジスタ	CXR7	H'00000000	H'00000000	保持	保持	保持
廃棄フレイム数カウントレジスタ	CXR8	H'00000000	H'00000000	保持	保持	保持
送信 FIFO しきい値設定レジスタ	CXR9	H'00000000	H'00000000	保持	保持	保持
外部 FIFO 容量値設定レジスタ	CXR10	H'00000000	H'00000000	保持	保持	保持
受信起動リセット方法設定レジスタ	CXR11	H'00000000	H'00000000	保持	保持	保持
(予約)	CXR12					
送信 FIFO アンダフローカウントレジ スタ	CXR13	H'00000000	H'00000000	保持	保持	保持
受信 FIFO オーバフローカウントレジ スタ	CXR14	H'00000000	H'00000000	保持	保持	保持
(予約)	CXR15					
受信 FIFO ビジー送しきい値設定レ ジスタ	CXR16	H'00070007	H'00070007	保持	保持	保持
(予約)	CXR17					
(予約)	CXRS2					
送信割り込みモード設定レジスタ	CXR18	H'00000000	H'00000000	保持	保持	保持
(予約)	CXR19					
(予約)	CXRD0					
(予約)	CXRD1					
(予約)	CXRD2					
(予約)	CXRD3					
(予約)	CXRD4					
(予約)	CXRD5					
(予約)	CXRD6					

表 22.6 feLic レジスタ構成 (2)

名称	略称	パワーオン リセット <small>RESET 端子/WDT /H-UDI による</small>	マニュアル リセット <small>WDT/多重例外 による</small>	スリープ <small>Sleep 命令 による</small>	モジュール スタンバイ	ライト スリープ
feLic 動作モード設定レジスタ	CXR20	H'00000000	H'00000000	保持	保持	保持
ロングフレーム長チェック値設定レジスタ	CXR2A	H'00000000	H'00000000	保持	保持	保持
ステータス表示レジスタ	CXR21	H'00000000	H'00000000	保持	保持	保持
割り込みマスク設定レジスタ	CXR22	H'00000000	H'00000000	保持	保持	保持
MII 制御レジスタ	CXR23	H'0000000x	H'0000000x	保持	保持	保持
PHY ステータス表示レジスタ	CXR2B	H'0000000x	H'0000000x	保持	保持	保持
乱数生成カウンタ上限値設定レジスタ	CXR30	H'00000000	H'00000000	保持	保持	保持
IPG カウンタ設定レジスタ	CXR70	H'00000014	H'00000014	保持	保持	保持
Auto PAUSE パラメータ設定レジスタ	CXR71	H'00000000	H'00000000	保持	保持	保持
Manual PAUSE パラメータ設定レジスタ	CXR72	H'00000000	H'00000000	保持	保持	保持
受信 PAUSE フレームカウンタレジスタ	CXR80	H'00000000	H'00000000	保持	保持	保持
PAUSE フレーム再送回数設定レジスタ	CXR81	H'00000000	H'00000000	保持	保持	保持
PAUSE フレーム再送回数カウンタレジスタ	CXR82	H'00000000	H'00000000	保持	保持	保持
(予約)	CXR83					
MAC アドレス (上位) レジスタ	CXR24	H'00000000	H'00000000	保持	保持	保持
MAC アドレス (下位) レジスタ	CXR25	H'00000000	H'00000000	保持	保持	保持
TINT1 カウントレジスタ	CXR40	H'00000000	H'00000000	保持	保持	保持
TINT2 カウントレジスタ	CXR41	H'00000000	H'00000000	保持	保持	保持
TINT3 カウントレジスタ	CXR42	H'00000000	H'00000000	保持	保持	保持
TINT4 カウントレジスタ	CXR43	H'00000000	H'00000000	保持	保持	保持
RINT1 カウントレジスタ	CXR50	H'00000000	H'00000000	保持	保持	保持
RINT2 カウントレジスタ	CXR51	H'00000000	H'00000000	保持	保持	保持
RINT3 カウントレジスタ	CXR52	H'00000000	H'00000000	保持	保持	保持
RINT4 カウントレジスタ	CXR53	H'00000000	H'00000000	保持	保持	保持
RINT5 カウントレジスタ	CXR54	H'00000000	H'00000000	保持	保持	保持
RINT8 カウントレジスタ	CXR55	H'00000000	H'00000000	保持	保持	保持

22.4.3 HDMAC 動作モード設定レジスタ (CXR0)

HDMAC の動作モード設定に用います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	DE	DL1	DL0	—	—	—	SWR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値*	R/W	説明
31~7		すべて0	R	リザーブビット
6	DE	0	R/W	DMA データエンディアン変換 0 : DMA データのエンディアンを変換しません。(初期値) 1 : DMA データのエンディアンを変換します。 ディスクリプタおよびレジスタについてはエンディアン変換しません。
5	DL1	0	R/W	送受信ディスクリプタ長 設定値 ディスクリプタ長 00 : 16 バイト (初期値) 01 : 32 バイト 10 : 64 バイト 11 : 予約
4	DL0	0	R/W	
3~1		すべて0	R	リザーブビット
0	SWR	0	R/W	HDMAC/feLic のソフトリセット 1 を書き込むことにより、HDMAC/feLic モジュールをリセットします。 ただし、CXR3、CXR4、CXR8、CXR13、CXR14 はリセットされません。 【注】SWR ビットに1セット後、64クロックは、レジスタアクセスを行わないでください。書き込み時、送受信機能は停止していなければなりません (SWR ビットを除きます)。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.4 送信指示レジスタ (CXR1)

HDMAC に対する送信指示を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TRNS
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値*	R/W	説明
31~1		すべて0	R	リザーブビット
0	TRNS	0	R/W	送信起動 1を書き込むと、HDMAC は、送信ディスクリプタリングをアクセスし、有効なディスクリプタすべてについてフレーム送信を行います。本ビットは、有効なフレームすべてについて送信完了後、または送信ディスクリプタの枯渇を検出時、セルフクリアされます。 【注】0書き込み無効。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.5 受信指示レジスタ (CXR2)

HDMAC に対する受信指示を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値*	R/W	説明
31~1		すべて 0	R	リザーブビット
0	R	0	R/W	<p>受信レディ</p> <p>1 を書き込むと、HDMAC は、受信ディスクリプタリングをアクセスし、受信待ち状態となります。受信完了後の本ビットの動作は、CXR11 の設定により異なりますので、CXR11 レジスタの定義を参照してください。</p> <p>0 を書き込むと、HDMAC は、処理中のフレーム受信を完了させた後、受信機能を無効とします。</p> <p>本ビットは、フェッチしたディスクリプタの RACT ビットが 0 (受信ディスクリプタ枯渇検出) の場合、0 リセットされます。</p>

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.6 送信ディスクリプタ先頭アドレス設定レジスタ (CXR3)

送信ディスクリプタリングの先頭アドレスを指定します。ディスクリプタリングの先頭アドレスは、CXR0 の DL ビットで指示したディスクリプタ長と一致するバウンダリから始めなくてはなりません。

CXR3 への書き込みは、送信を開始する前に行わなければなりません。送信開始後の書き込みは禁止され、書き込みによる動作を保証しません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TDPA[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDPA[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TDPA[31:0]	すべて 0	R/W	送信ディスクリプタの先頭アドレス ビット3~0はディスクリプタのアライメントのために0を設定してください。 【注】ビット3~0は0以外の値は設定不可です。 送信開始後は書き込み禁止です。

22.4.7 受信ディスクリプタ先頭アドレス設定レジスタ (CXR4)

受信ディスクリプタリングの先頭アドレスを指定します。ディスクリプタリングの先頭アドレスは、CXR0 の DL ビットで指示したディスクリプタ長と一致するバウンダリから始めなくてはなりません。

CXR4 への書き込みは、受信を開始する前に行わなければなりません。受信開始後の書き込みは禁止され、書き込みによる動作を保証しません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDPA[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDPA[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	RDPA[31:0]	すべて 0	R/W	受信ディスクリプタの先頭アドレス ビット3~0はディスクリプタのアライメントのために0を設定してください。 【注】ビット3~0は0以外の値は設定不可です。 受信開始後は書き込み禁止です。

22.4.8 ステータス表示レジスタ (CXR5)

HDMAC の割り込み要因の表示レジスタです。

本ステータス要因は、各要因別の信号によって INTC モジュールに出力します。

各ビットは 1 を書き込むことによってクリアされます。MINT については CXR21 をクリアすることで値 0 となります。割り込みの発生は、CXR6 の対応するビットにより抑止することができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	TWB	BINT	AINT	LKON	TABT	RABT	RFR MER	BER	MINT	FTC	TDE	TFE	FRC	RDE	RFE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TINT8	TINT7	TINT6	TINT5	TINT4	TINT3	TINT2	TINT1	RINT8	RINT7	RINT6	RINT5	RINT4	RINT3	RINT2	RINT1
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1

ビット	ビット名	初期値*2	R/W	説明
31		0	R	リザーブビット
30	TWB	0	R/W*1	送信ディスクリプタの TWBI ビットが設定されたディスクリプタがライトバックされたことを示します。 CXR18 の設定により、1 フレームごとの割り込みも可能です。 < 割り込み要因 >
29	BINT	0	R/W*1	(未使用)
28	AINT	0	R/W*1	(未使用)
27	LKON	0	R/W*1	(未使用)
26	TABT	0	R/W*1	送信アポート検出 (送信 FIFO アンダフロー発生時を含む) < 割り込み要因 >
25	RABT	0	R/W*1	受信アポート検出 < 割り込み要因 >
24	RFRMER	0	R/W*1	受信フレーム数オーバーフロー発生 < 割り込み要因 >
23	BER	0	R/W*1	DMA エラー入力があったことを示します。
22	MINT	0	R	M ポート割り込み発生 < 割り込み要因 > feLic からの割り込み信号がアサートされたことを表示します。
21	FTC	0	R/W*1	フレーム送信完了 < 割り込み要因 > 送信ディスクリプタにより指示されたフレームすべての送信が完了したことを示します。1 フレームごとではセットされません。
20	TDE	0	R/W*1	送信ディスクリプタ枯渇 < 割り込み要因 > フェッチした送信ディスクリプタが無効であったことを示します。ただし、ディスクリプタ内の情報がフレームの最後 / 1 フレームすべてであった直後を除きます。
19	TFE	0	R/W*1	送信 FIFO アンダフローエラー発生 < 割り込み要因 > フレーム送信中に、送信 FIFO 内のデータがなくなったことを示します。
18	FRC	0	R/W*1	フレーム受信完了 < 割り込み要因 > フレームの受信で、受信ディスクリプタを更新したことを示します。 CXR11.RR ビットの設定によらず、1 フレーム受信完了でセットされます。
17	RDE	0	R/W*1	受信ディスクリプタ枯渇 < 割り込み要因 > フェッチした受信ディスクリプタが無効であったことを示します。 本要因の発生により、CXR2.R ビットが 0 リセットされます。
16	RFE	0	R/W*1	受信 FIFO オーバフローエラー発生 < 割り込み要因 >
15~8	TINT8~1	すべて 0	R/W*1	送信ポート割り込み
7~0	RINT8~1	すべて 0	R/W*1	受信ポート割り込み

【注】 *1 MINT を除き、1 を書き込むことによってクリアされます。0 を書き込むことは意味を持ちません。

*2 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.9 割り込みマスク設定レジスタ (CXR6)

CXR5 によって報告される割り込みのマスクを指示するためレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	TWB	BINT	AINT	LKON	TABT	RABT	RFRMER	BER	MINT	FTC	TDE	TFE	FRC	RDE	RFE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TINT8	TINT7	TINT6	TINT5	TINT4	TINT3	TINT2	TINT1	RINT8	RINT7	RINT6	RINT5	RINT4	RINT3	RINT2	RINT1
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31		0	R	リザーブビット
30	TWB	0	R/W	割り込みイネーブル 0 : CXR5 の対応するビットによる割り込みを禁止します。 1 : CXR5 の対応するビットによる割り込みを許可します。 【注】ビット 29 ~ 27 は常に 0 を設定してください。
29	BINT	0	R/W	
28	AINT	0	R/W	
27	LKON	0	R/W	
26	TABT	0	R/W	
25	RABT	0	R/W	
24	RFRMER	0	R/W	
23	BER	0	R/W	
22	MINT	0	R/W	
21	FTC	0	R/W	
20	TDE	0	R/W	
19	TFE	0	R/W	
18	FRC	0	R/W	
17	RDE	0	R/W	
16	RFE	0	R/W	
15 ~ 8	TINT8 ~ 1	すべて 0	R/W	
7 ~ 0	RINT8 ~ 1	すべて 0	R/W	

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.10 エラーマスク設定レジスタ (CXR7)

報告されるディスクリプタ情報 (TD0-TFS[7:0]/RD0-RFS[7:0]) の状態を、送信ディスクリプタ 0 (TD0) の TFE ビットあるいは受信ディスクリプタ 0 (RD0) の RFE ビットにサマリとして反映するか否かを指示するためのレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TINT8	TINT7	TINT6	TINT5	TINT4	TINT3	TINT2	TINT1	RINT8	RINT7	RINT6	RINT5	RINT4	RINT3	RINT2	RINT1
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~16		すべて 0	R	リザーブビット
15~8	TINT8~1	すべて 0	R/W	送信ディスクリプタエラーフラグ (TFE) マスク 0 : TINT<8:1> (TD0-TFS[7:0]) を TFE に反映します。 1 : TINT<8:1> (TD0-TFS[7:0]) を TFE に反映しません。
7~0	RINT8~1	すべて 0	R/W	受信ディスクリプタエラーフラグ (RFE) マスク 0 : RINT<8:1> (RD0-RFS[7:0]) を RFE に反映します。 1 : RINT<8:1> (RD0-RFS[7:0]) を RFE に反映しません。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.11 廃棄フレーム数カウントレジスタ (CXR8)

廃棄されたフレームの数を示すレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MIS[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16		すべて0	R	リザーブビット
15~0	MIS[15:0]	すべて0	R/W	廃棄フレームカウンタ 受信ディスクリプタが有効でないなどの理由により廃棄されたフレームの数を表示します。全ビットが1 (H'FFFF) となった時点でカウントアップを停止します。 【注】ライトアクセスによって、クリアされます。(ライトデータは任意)

22.4.12 送信 FIFO しきい値設定レジスタ (CXR9)

送信 FIFO のしきい値を設定するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	FO[10:0]										
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~11		すべて0	R	リザーブビット
10~0	FO[10:0]	すべて0	R/W	<p>送信 FIFO のしきい値</p> <p>設定値 しきい値</p> <p>H'000 : ストア&フォワード (初期値)</p> <p>H'001 : 4 バイト</p> <p>H'002 : 8 バイト</p> <p> : :</p> <p>H'0FE : 1016 バイト</p> <p>H'0FF : 1020 バイト</p> <p>H'100 : 1024 バイト</p> <p> : :</p> <p>H'1FE : 2040 バイト</p> <p>H'1FF : 2044 バイト</p> <p>H'200 : 2048 バイト</p> <p> : :</p> <p>H'3FE : 4088 バイト</p> <p>H'3FF : 4092 バイト</p> <p>H'400~H'7FF : 設定禁止</p> <p>FIFO 内に 1 フレーム分のデータ書き込み完了、または FIFO 内のデータが上記設定値を超えた時点で、読み出し (送信) を開始します。</p> <p>送信アンダフローの発生を防ぐため、初期値 (ストア&フォワード) での設定を推奨します。</p> <p>【注】 CXR1-TRNS=1 のとき、書き込み無効</p>

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.13 外部 FIFO 容量値設定レジスタ (CXR10)

送受信 FIFO の容量値を設定するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	TA[4:0]				—	—	—	RA[4:0]					
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~13	-	すべて0	R	リザーブビット
12~8	TA[4:0]	00000	R/W	送信 FIFO の容量値 設定値 容量値 H'00 : 256 バイト (初期値) H'01 : 512 バイト H'02 : 768 バイト H'03 : 1024 バイト : : H'07 : 2048 バイト : : H'0F : 4096 バイト H'10~H'1F : 設定禁止 【注】CXR1.TRNS=1 のとき、ビット[12:8]への書き込み無効
7~5	-	すべて0	R	リザーブビット
4~0	RA[4:0]	00000	R/W	受信 FIFO の容量値 設定値 容量値 H'00 : 256 バイト (初期値) H'01 : 512 バイト H'02 : 768 バイト H'03 : 1024 バイト : : H'07 : 2048 バイト : : H'0F : 4096 バイト H'10~H'1F : 設定禁止 【注】CXR2.R=1 のとき、ビット[4:0]への書き込み無効

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.14 受信起動リセット方法設定レジスタ (CXR11)

受信レディ (CXR2-R) のリセット方法を設定するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RNR	RR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~2		すべて0	R	リザーブビット
1	RNR	0	R/W	(未使用) 本ビットは常に0を設定してください。
0	RR	0	R/W	受信レディリセット指示 0 : (初期値) 受信レディ (CXR2.R) ビットをハードウェアでセルフクリアします。1 フレームの受信で受信レディ (CXR2.R) ビットがセルフクリアされ、後続のフレーム受信は抑止されます。このモードでは、1 フレーム単位の割り込み制御が可能です。 1 : 通常動作モード 受信レディ (CXR2.R) ビットのリセットをソフト制御とします。受信レディ (CXR2.R) ビットに1書き込み後は、0書き込みを行うまで、HDMAC が自律的に受信ディスクリプタのフェッチを行いフレームを受信します。複数フレームを連続して受信可能となります。 なお、受信レディ (CXR2.R) ビットはフェッチしたディスクリプタの RACT ビットが0の場合、0リセットされます。 【注】 CXR2.R=1 のとき、書き込み無効。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.15 送信 FIFO アンダフローカウントレジスタ (CXR13)

送信 FIFO がアンダフローした回数を表示するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TFUF[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16		すべて 0	R	リザーブビット
15~0	TFUF[15:0]	すべて 0	R/W	送信 FIFO アンダフロー回数 全ビットが 1 (H'FFFF) となった時点でカウントアップを停止します。 【注】ライトアクセスによって、クリアされます。(ライトデータは任意)

22.4.16 受信 FIFO オーバフローカウントレジスタ (CXR14)

受信 FIFO がオーバフローした回数を表示するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFOF[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16		すべて 0	R	リザーブビット
15~0	RFOF [15:0]	すべて 0	R/W	受信 FIFO オーバフロー回数 全ビットが 1 (H'FFFF) となった時点でカウントアップを停止します。 【注】ライトアクセスによって、クリアされます。(ライトデータは任意)

22.4.17 受信 FIFO ビジー送しきい値設定レジスタ (CXR16)

feLic への受信 FIFO ビジー通知を受信 FIFO 内の格納フレーム量、データ量により設定を行うレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	RFF[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RFD[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~19		すべて0	R	リザーブビット
18~16	RFF[2:0]	111	R/W	受信フレーム数によるビジー送しきい値 設定値 しきい値 000 : 2 フレーム格納完了時送出 001 : 4 フレーム格納完了時送出 010 : 6 フレーム格納完了時送出 : : 110 : 14 フレーム格納完了時送出 111 : 16 フレーム格納完了時送出 (初期値)
15~3		すべて0	R	リザーブビット
2~0	RFD[2:0]	111	R/W	受信格納データ量によるビジー送しきい値 設定値 しきい値 000 : 224 (256-32) バイト格納時送出 001 : 480 (512-32) バイト格納時送出 010 : 736 (768-32) バイト格納時送出 011 : 992 (1024-32) バイト格納時送出 : : 110 : 1760 (1792-32) バイト格納時送出 111 : 注参照 (初期値) 【注】 CXR10.RA ビットの設定値より小さい値を設定してください。 CXR10.RA ビットの設定値と同じ値を設定した場合は-32 バイトではなく-64 バイトでビジーを送出します。たとえば、CXR10.RA=111、CXR16.RFD=111 の場合は、『受信 FIFO 内に 1984 (2048-64) バイト格納時』となります。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.18 送信割り込みモード設定レジスタ (CXR18)

HDMAC の送信割り込み動作モード設定に用います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TIM	—	—	—	TIS
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値*	R/W	説 明
31~5		すべて0	R	リザーブビット
4	TIM	0	R/W	送信割り込みモード 0 : 毎送信フレーム完了時割り込みモード 1 : TWBI ビット設定ディスクリプタのライトバック完了時割り込みモード
3~1		すべて0	R	リザーブビット
0	TIS	0	R/W	割り込みモードイネーブル 0 : ディスエーブル (初期値) 1 : TIM の設定を有効にします。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.19 feLic 動作モード設定レジスタ (CXR20)

FELIC の動作モードを指示するレジスタです。本レジスタのモード指示ビットを送信、受信機能が有効な状態で書き換えることは禁止します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	TPC	ZPF	PFR	RXF	TXF
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	CER	—	—	MPM	—	—	RPE	TPE	—	ILB	OLB	DPM	PRM
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R	R	R/W	R	R	R/W	R/W	R	R/W*1	R/W*1	R/W*1	R/W*1

ビット	ビット名	初期値*2	R/W	説明
31~21		すべて0	R	リザーブビット
20	TPC	0	R/W	PAUSE フレーム送信 0 : PAUSE 期間中でも PAUSE フレームを送信します。 1 : PAUSE 期間中には PAUSE フレームを送信しません。
19	ZPF	0	R/W	0Time PAUSE フレーム有効 0 : Timer 値が 0 の PAUSE フレーム制御を行いません。 1 : Timer 値が 0 の PAUSE フレームを有効にします。
18	PFR	0	R/W	PAUSE フレーム受信モード 0 : PAUSE フレームは上位モジュールへ転送しません。 1 : PAUSE フレームを上位モジュールへ転送します。
17	RXF	0	R/W	受信系フロー制御動作モード 0 : PAUSE フレームの検出機能が無効になります。 1 : 受信系のフロー制御機能が有効になります。
16	TXF	0	R/W	送信系フロー制御動作モード 0 : 送信系のフロー制御機能が無効になります。 1 : 送信系のフロー制御機能が有効になります。
15~13		すべて0	R	リザーブビット
12	CER	0	R/W	CRC エラーフレーム受信モード 0 : 通常モード (エラーフレームは、エラーとする)。 1 : CRC エラーの受信フレームをエラーとしないモード。
11、10		すべて0	R	リザーブビット
9	MPM	0	R/W	マジックパケット検出モード 0 : マジックパケット検出機能が無効になります。 1 : マジックパケット検出機能が有効になります。
8、7		すべて0	R	リザーブビット

ビット	ビット名	初期値*2	R/W	説明
6	RPE	0	R/W	受信有効 0: 現在受信中のフレームの受信を完了した後、受信機能を無効にします。 1: フレーム受信機能が有効になり、HDMAC へ受信データを転送します。
5	TPE	0	R/W	送信有効 0: 現在のフレームの送信を完了した後、送信機能を無効にします。 1: HDMAC からのフレーム送信要求が有効になります。
4		0	R	リザーブビット
3	ILB	0	R/W*1	FELIC 内ループバックモード指示 0: FELIC はノーマルモードになります。 1: FELIC はループバックモードになります。
2	OLB	0	R/W*1	(未使用)
1	DPM	0	R/W*1	デュプレックスモード 0: FELIC はハーフデュプレックスモードになります。このとき、FELIC 内ループバックモードを指示しないでください。 1: フルデュプレックスモードになります。
0	PRM	0	R/W*1	プロミスキャスモード 0: FELIC はノーマルモードになります。(MPM ビットをセットしている場合、本ビットの状態に関係なくノーマルモードとして動作します。) 1: FELIC プロミスキャスモードになります。

【注】 *1 ビット 3~0 は、送信 / 受信機能が有効な状態での書き換えは禁止。

*2 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.20 ロングフレーム長チェック値設定レジスタ (CXR2A)

受信フレーム長をチェックするための、上限値を設定するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	FLUL[11:0]											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~12		すべて0	R	リザーブビット
11~0	FLUL [11:0]	すべて0	R/W	フレーム長上限値 設定した値をフレーム長チェック値とし、この値を超えたとき、RINT4 (フレーム長誤り)エラーとします。(以下参照) 設定値 チェック値 H'000~H'5EE : 1518 バイト H'5EF : 1519 バイト : : H'7FF : 2047 バイト H'800~H'FFF : 2048 バイト 【注】CXR20 レジスタの、受信機能が有効な状態での書き換えは禁止。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.21 ステータス表示レジスタ (CX21)

FELIC のステータス表示用のレジスタです。

本ステータス要因は、各要因別の信号によって INTC モジュールに出力します。

各ビットは、1 をライトすることによってクリアされます。割り込みを発生するビットについては CX22 の対応するビットにより割り込みをマスクすることができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	BCR	PRO	—	LNK	MPR	FCD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W*1	R/W*1	R	R/W*1	R/W*1	R/W*1

ビット	ビット名	初期値*2	R/W	説明
31~6		すべて 0	R	リザーブビット
5	BCR	0	R/W*1	(予約)
4	PRO	0	R/W*1	PAUSE フレーム再送リトライオーバー<割り込み要因> PAUSE フレームの再送において、CX21 レジスタに設定した再送上限値に達したことを示します。
3		0	R	リザーブビット
2	LNK	0	R/W*1	LINK 信号変化割り込み<割り込み要因> PHY 出力の LINK 信号が、変化 (High->Low および Low->High) したことを示します。
1	MPR	0	R/W*1	マジックパケット受信割り込み<割り込み要因> マジックパケットを受信したことを示します。(本ビットのクリアは、1 を書き込むことで可能ですが、外部出力信号である "MAGIC" 信号は、クリアされません。)
0	FCD	0	R/W*1	不正キャリア検出割り込み<割り込み要因> 回線上で不正キャリアを検出したことを示します。

【注】 *1 該当ビットに 1 を書き込むことによってクリアされます。0 を書くことは、影響を与えません。

*2 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.22 割り込みマスク設定レジスタ (CXR22)

CXR21 によって報告される割り込みのマスクを指示するためのレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	BCRE	PROE	—	LNKE	MPRE	FCDE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~6		すべて0	R	リザーブビット
5	BCRE	0	R/W	(予約)
4	PROE	0	R/W	PAUSE フレーム再送リトライオーバー割り込み許可 0 : CXR21 の対応するビットによる割り込みを禁止します。 1 : CXR21 の対応するビットによる割り込みを許可します。
3		0	R	リザーブビット
2	LNKE	0	R/W	LINK 信号変化割り込み許可 0 : CXR21 の対応するビットによる割り込みを禁止します。 1 : CXR21 の対応するビットによる割り込みを許可します。
1	MPRE	0	R/W	マジックパケット受信割り込み許可 0 : CXR21 の対応するビットによる割り込みを禁止します。 1 : CXR21 の対応するビットによる割り込みを許可します。
0	FCDE	0	R/W	不正キャリア検出割り込み許可 0 : CXR21 の対応するビットによる割り込みを禁止します。 1 : CXR21 の対応するビットによる割り込みを許可します。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.23 MII 制御レジスタ (CXR23)

MII インタフェースを制御して、PHY のレジスタをアクセスするために用いるレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	MDI	MDO	MMD	MDC
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	x	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~4	-	すべて0	R	リザーブビット
3	MDI	X	R	MII マネージメントデータイン MII からのリードデータ
2	MDO	0	R/W	MII マネージメントデータアウト MII への書き込みデータ
1	MMD	0	R/W	MII マネージメントモード 0 : MII からのリード時 1 : MII ヘライト時
0	MDC	0	R/W	MII マネージメントクロック MII へのクロック

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.24 PHY ステータス表示レジスタ (CXR2B)

PHY のステータス信号を、観測することができるレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LINK
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値*	R/W	説明
31~1		すべて0	R	リザーブビット
0	LINK	X	R	PHY 出力の LINK 信号の状態が観測できます。 接続する PHY の仕様書を参照してください。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.25 乱数生成カウンタ上限値設定レジスタ (CXR30)

乱数生成部で使用しているカウンタの上限値を設定することができるレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	RDM[19:16]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDM[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~20		すべて0	R	リザーブビット
19~0	RDM[19:0]	すべて0	R/W	乱数生成部で使用しているカウンタの上限値 H'00000 : 通常の動作での設定値です。 H'00001 ~ H'FFFFE : カウンタの上限値がこの設定値になります。 【注】このレジスタは、feLic の乱数生成部の動作が変わるため、0 以外を設定する場合は、注意してください。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.26 IPG カウンタ設定レジスタ (CXR70)

IPG (Inter Packet Gap) の値を設定するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	IPG[4:0]				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説 明
31~5		すべて0	R	リザーブビット
4~0	IPG[4:0]	10100	R/W	1 サイクル刻みで IPG 値の設定(MII における TX_CLK を基準) 設定値 IPG 値 H'00~H'06 : 10 サイクル H'07 : 11 サイクル : : H'13 : 23 サイクル H'14 : 24 サイクル (初期値) : : H'1F : 36 サイクル 【注】CXR20 レジスタの、送受信機能が有効な状態での書き換えは禁止。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.27 Auto PAUSE パラメータ設定レジスタ (CXR71)

自動 PAUSE フレームの TIME パラメータ値を設定します。

自動 PAUSE フレームを送信する時に、このレジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APAUSE[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~16		すべて0	R	リザーブビット
15~0	APAUSE [15:0]	すべて0	R/W	自動 PAUSE フレームの TIME パラメータ値 (1bit は、512bit 時間を示します)

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.28 Manual PAUSE パラメータ設定レジスタ (CXR72)

手動 PAUSE フレームの TIME パラメータ値を設定します。

手動 PAUSE フレームを送信するときに、このレジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MPAUSE[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値*	R/W	説明
31~16		すべて0	W	リザーブビット
15~0	MPAUSE [15:0]	すべて0	W	手動 PAUSE フレームの TIME パラメータ値 (1bit は、512bit 時間を示します)

【注】 本レジスタは、リードできません。

* 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.29 受信 PAUSE フレームカウンタレジスタ (CXR80)

PAUSE フレームの受信カウンタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RPAUSE[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値*	R/W	説明
31~8		すべて0	R	リザーブビット
7~0	RPAUSE [7:0]	すべて0	R	PAUSE フレームの受信回数

【注】 本レジスタへのライトは、意味を持ちません。

* 本レジスタは、HDMAC/feLic のソフトリセットおよび本レジスタへのリードアクセスにより初期化されます。

22.4.30 PAUSE フレーム再送回数設定レジスタ (CXR81)

PAUSE フレーム自律再送回数の上限値を設定します。本レジスタの詳細動作については、「22.9.2 (6) IEEE802.3 準拠フロー制御」を参照願います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXPAUSE[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値*1	R/W	説明
31~16	-	すべて0	R	リザーブビット
15~0	TXPAUSE [15:0]	すべて0	R/W	PAUSE フレーム再送回数上限値設定 設定値 再送回数 H'0000 : 無制限*2 H'0001 : 1回 : : H'FFFF : 65535回 【注】CXR20 レジスタの、送信機能が有効な状態での書き換えは禁止。

【注】 *1 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

*2 再送回数無制限で使用する場合は、CXR71 のタイムパラメータ値に 0 を設定しないでください。

22.4.31 PAUSE フレーム再送回数カウンタレジスタ (CXR82)

PAUSE フレームの再送回数を示すカウンタです。本レジスタの詳細動作については、「22.9.2(6) IEEE802.3 準拠フロー制御」を参照願います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXP[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値*	R/W	説明
31~16	-	すべて0	R	リザーブビット
15~0	TXP [15:0]	すべて0	R	PAUSE フレームの再送回数

【注】 本レジスタへのライトは、意味を持ちません。

* 本レジスタは、HDMAC/feLic のソフトリセットおよび本レジスタへのリードアクセスにより初期化されます。

22.4.32 MAC アドレス (上位) レジスタ (CXR24)

ユニバーサル MAC アドレス上位 32 ビットを設定するために用いるレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MACH[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MACH[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~0	MACH [31:0]	すべて0	R/W	MAC アドレス上位 32 ビット 【注】 CXR20 の送 / 受信ビットがセットされている状態での書き込み禁止。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.33 MAC アドレス (下位) レジスタ (CXR25)

ユニバーサル MAC アドレス下位 16 ビットを設定するために用いるレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MACL[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~16		すべて 0	R	リザーブビット
15~0	MACL [15:0]	すべて 0	R/W	MAC アドレス下位 16 ビット 【注】CXR20 の送 / 受信ビットがセットされている状態での書き込み禁止。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.34 TINT1 カウントレジスタ (CXR40)

TINT1 の要因信号のカウント値をリード参照できるレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TINTIC[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TINTIC[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~0	TINT1C [31:0]	すべて 0	R/W	TINT1 (送信タイムアウト) のカウンタ 本カウンタは、H'FFFFFFF までカウントした場合、以降の更新を行いません。継続して更新を行うためには、ライトアクセスによるクリアを行うことにより、H'00000000 からのカウントアップを再開します。 【注】ライトアクセスでクリアされます。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.35 TINT2 カウントレジスタ (CXR41)

TINT2 の要因信号のカウンタ値をリード参照できるレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TINT2C[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TINT2C[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~0	TINT2C [31:0]	すべて 0	R/W	TINT2 (フレーム送信中の衝突検出) のカウンタ 本カウンタは、H'FFFFFFF までカウントした場合、以降の更新を行いません。継続して更新を行うためには、ライトアクセスによるクリアを行うことにより、H'00000000 からのカウントアップを再開します。 【注】ライトアクセスでクリアされます。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.36 TINT3 カウントレジスタ (CXR42)

TINT3 の要因信号のカウンタ値をリード参照できるレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TINT3C[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TINT3C[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~0	TINT3C [31:0]	すべて 0	R/W	TINT3 (フレーム送信中のキャリア消失) のカウンタ 本カウンタは、H'FFFFFFF までカウントした場合、以降の更新を行いません。継続して更新を行うためには、ライトアクセスによるクリアを行うことにより、H'00000000 からのカウントアップを再開します。 【注】ライトアクセスでクリアされます。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.37 TINT4 カウントレジスタ (CXR43)

TINT4 の要因信号のカウンタ値をリード参照できるレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TINT4C[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TINT4C[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~0	TINT4C [31:0]	すべて 0	R/W	TINT4 (キャリア未検出) のカウンタ 本カウンタは、H'FFFFFFF までカウントした場合、以降の更新を行いません。継続して更新を行うためには、ライトアクセスによるクリアを行うことにより、H'00000000 からのカウントアップを再開します。 【注】ライトアクセスでクリアされます。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.38 RINT1 カウントレジスタ (CXR50)

RINT1 の要因信号のカウンタ値をリード参照できるレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RINT1C[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RINT1C[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~0	RINT1C [31:0]	すべて 0	R/W	RINT1 (CRC エラー) のカウンタ 本カウンタは、H'FFFFFFF までカウントした場合、以降の更新を行いません。継続して更新を行うためには、ライトアクセスによるクリアを行うことにより、H'00000000 からのカウントアップを再開します。 【注】ライトアクセスでクリアされます。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.39 RINT2 カウントレジスタ (CXR51)

RINT2 の要因信号のカウンタ値をリード参照できるレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RINT2C[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RINT2C[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~0	RINT2C [31:0]	すべて 0	R/W	RINT2 (フレーム受信エラー) のカウンタ 本カウンタは、H'FFFFFFF までカウントした場合、以降の更新を行いません。継続して更新を行うためには、ライトアクセスによるクリアを行うことにより、H'00000000 からのカウントアップを再開します。 【注】ライトアクセスでクリアされます。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.40 RINT3 カウントレジスタ (CXR52)

RINT3 の要因信号のカウンタ値をリード参照できるレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RINT3C[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RINT3C[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~0	RINT3C [31:0]	すべて 0	R/W	RINT3 (フレーム長誤り 64 バイト未満) のカウンタ 本カウンタは、H'FFFFFFF までカウントした場合、以降の更新を行いません。継続して更新を行うためには、ライトアクセスによるクリアを行うことにより、H'00000000 からのカウントアップを再開します。 【注】ライトアクセスでクリアされます。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.41 RINT4 カウントレジスタ (CXR53)

RINT4 の要因信号のカウンタ値をリード参照できるレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RINT4C[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RINT4C[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~0	RINT4C [31:0]	すべて 0	R/W	RINT4 (フレーム長誤り CXR2A レジスタの設定値以上) のカウンタ 本カウンタは、H'FFFFFFF までカウントした場合、以降の更新を行いません。継続して更新を行うためには、ライトアクセスによるクリアを行うことにより、H'00000000 からのカウントアップを再開します。 【注】ライトアクセスでクリアされます。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.42 RINT5 カウントレジスタ (CXR54)

RINT5 の要因信号のカウンタ値をリード参照できるレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RINT5C[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RINT5C[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~0	RINT5C [31:0]	すべて 0	R/W	RINT5 (端数ビットエラー) のカウンタ 本カウンタは、H'FFFFFFF までカウントした場合、以降の更新を行いません。継続して更新を行うためには、ライトアクセスによるクリアを行うことにより、H'00000000 からのカウントアップを再開します。 【注】ライトアクセスでクリアされます。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.4.43 RINT8 カウントレジスタ (CXR55)

RINT8 の要因信号のカウント値をリード参照できるレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RINT8C[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RINT8C[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値*	R/W	説明
31~0	RINT8C [31:0]	すべて 0	R/W	RINT8 (マルチキャストフレーム受信) のカウンタ 本カウンタは、H'FFFFFFF までカウントした場合、以降の更新を行いません。継続して更新を行うためには、ライトアクセスによるクリアを行うことにより、H'00000000 からのカウントアップを再開します。 【注】ライトアクセスでクリアされます。

【注】 * 本レジスタは、HDMAC/feLic のソフトリセットにより初期化されます。

22.5 データフォーマット

22.5.1 Ether パケット

(1) 送信パケット

図 22.4 に送信パケットのデータフォーマットを示します。表 22.7 に送信パケットのフィールド定義を示します。

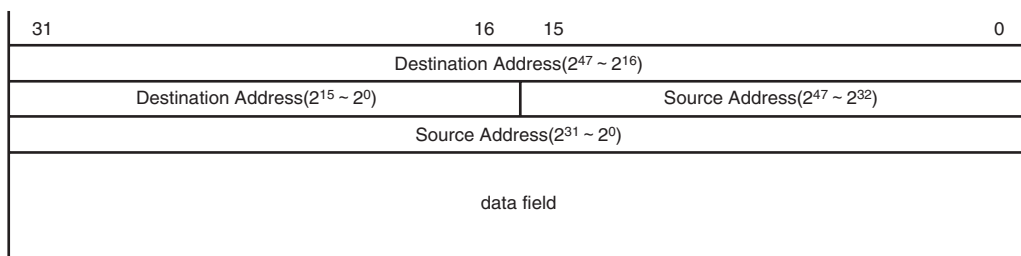


図 22.4 送信パケットのデータフォーマット

表 22.7 送信パケットのフィールド定義

フィールド	定義
Destination Address	IEEE Std 802.3 参照
Source Address	IEEE Std 802.3 参照
data field	IEEE Std 802.3 参照

(2) 受信パケット

図 22.5 に受信パケットのデータフォーマットを示します。表 22.8 に受信パケットのフィールド定義を示します。

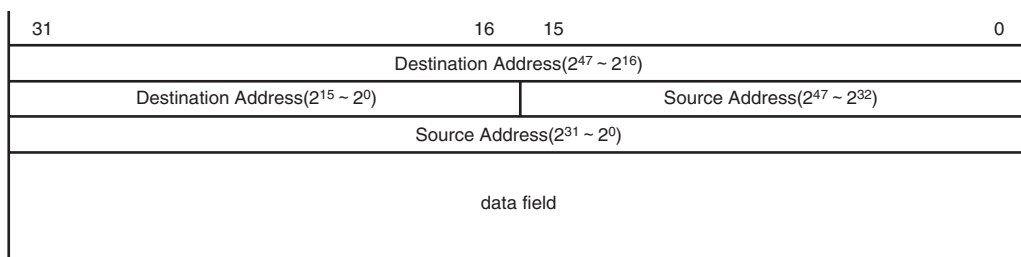


図 22.5 受信パケットのデータフォーマット

表 22.8 受信パケットのフィールド定義

フィールド	定義
Destination Address	IEEE Std 802.3 参照
Source Address	IEEE Std 802.3 参照
data field	IEEE Std 802.3 参照

22.6 ソフト制御フロー

22.6.1 Ether ソフト制御フロー

(1) イーサネット送受信設定手順例

イーサネット送受信の初期設定手順例を図 22.6 に、送受信設定手順例を図 22.7 に示します。

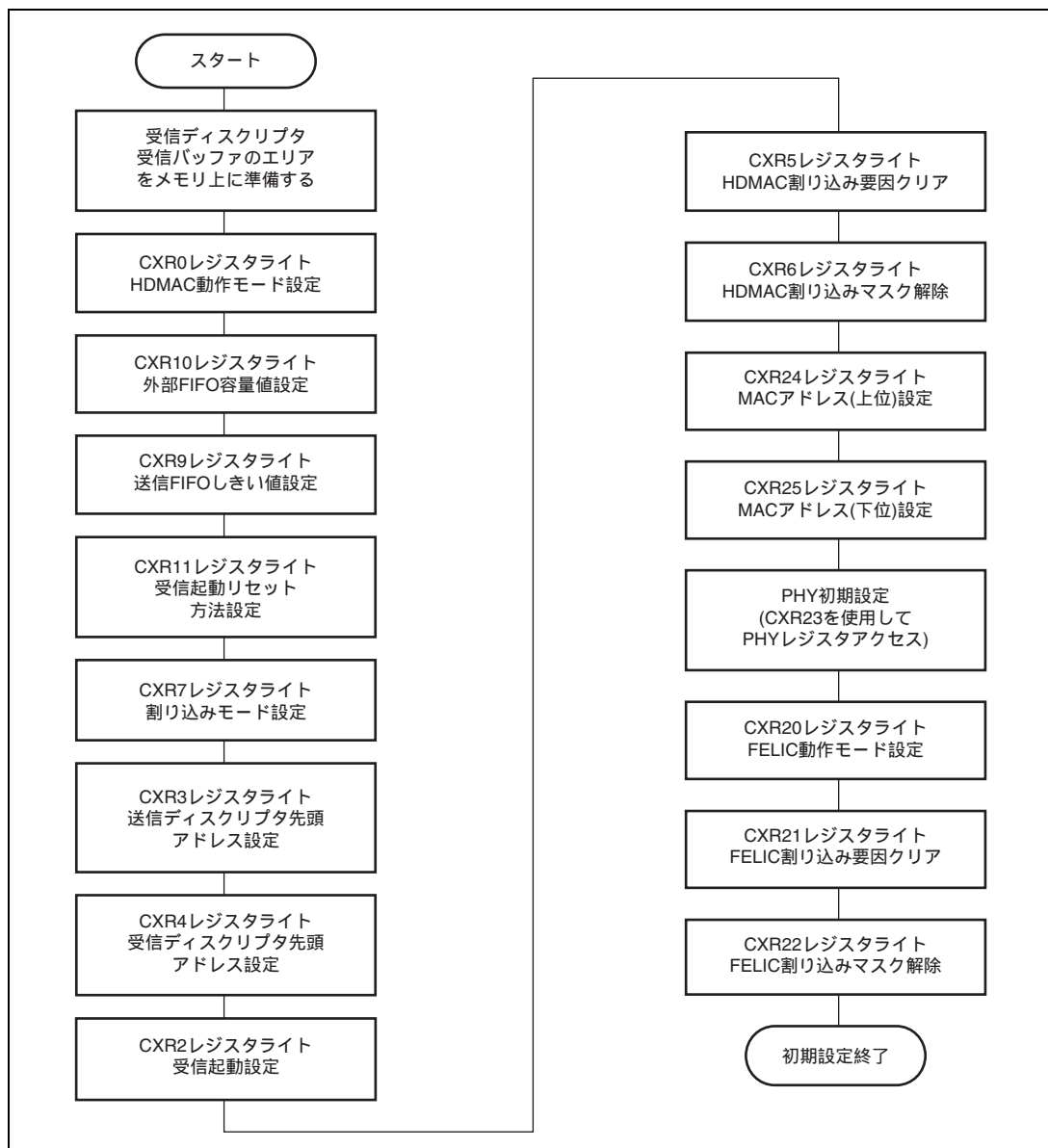


図 22.6 イーサネット送受信の初期設定手順例

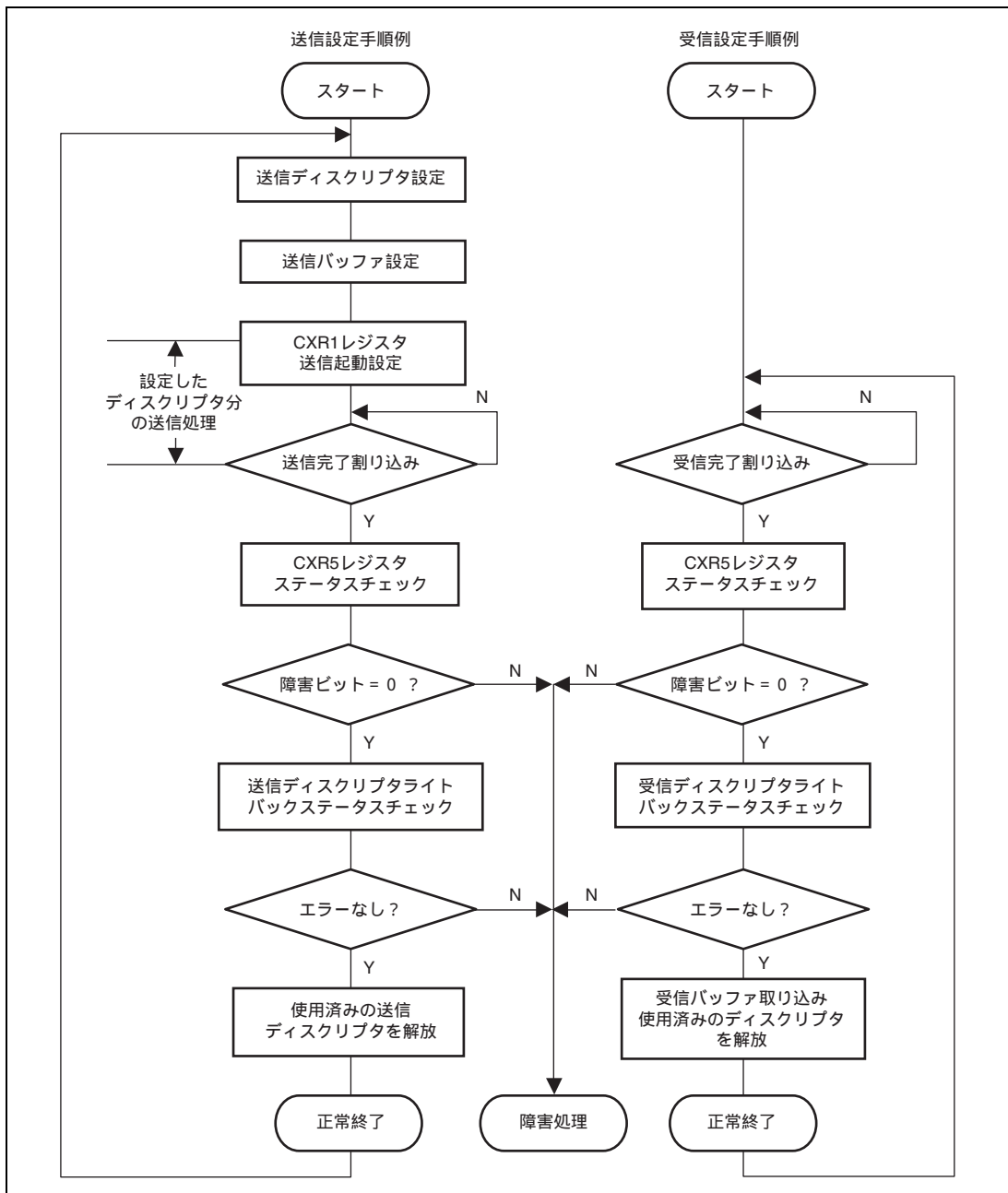


図 22.7 イーサネット送受信の送受信設定手順例

(2) PHY レジスタアクセス設定手順例

PHY レジスタへは CXR23 を用いてアクセスします。このアクセスは MII 管理フレームフォーマットを用いて行う必要があります。MII 管理フレームのフォーマットを図 22.8 に示します。また、MII 管理フレームを実現するための、1 ビットデータのライトの設定手順例を図 22.9 に、バス開放の設定手順例を図 22.10 に、1 ビットデータのリード設定手順例を図 22.11 に、単独バス解放設定手順例を図 22.12 に示します。

アクセス種別	MII管理フレーム							
項目	PRE	ST	OP	PHYAD	REGAD	TA	DATA	IDLE
ビット数	32	2	2	5	5	2	16	
リード	1..1	01	10	AAAAA	RRRRR	Z0	D...D	
ライト	1..1	01	01	AAAAA	RRRRR	10	D...D	X

【記号説明】

- PRE : 32個の連続した1
- ST : フレームの先頭を示す01のライト
- OP : アクセス種別を示すコードのライト
- PHYAD : PHY-LSIのアドレスが1番の場合、00001をライト (MSBから順次ライト)。
このビットは、PHY-LSIアドレスによって可変となる。
- REGAD : レジスタアドレスが1番の場合、00001をライト (MSBから順次ライト)。
このビットは、PHY-LSIアドレスによって可変となる。
- TA : MIIインタフェース上でデータの送信元を切り替える時間。
(a)ライト時は10をライト
(b)リード時は「バス解放」(Z0と表記)を行う
- DATA : 16ビットのデータ。MSBから順次ライトあるいはリード
(a)ライト時は、16ビットデータのライト
(b)リード時は、16ビットデータのリード
- IDLE : 次のMII管理フォーマット入力までの待機時間
(a)ライト時は、「単独バス解放」(Xと表記)を行う
(b)リード時は、既にTAで「バス解放」しているため特に制御不要

図 22.8 MII 管理フレームのフォーマット

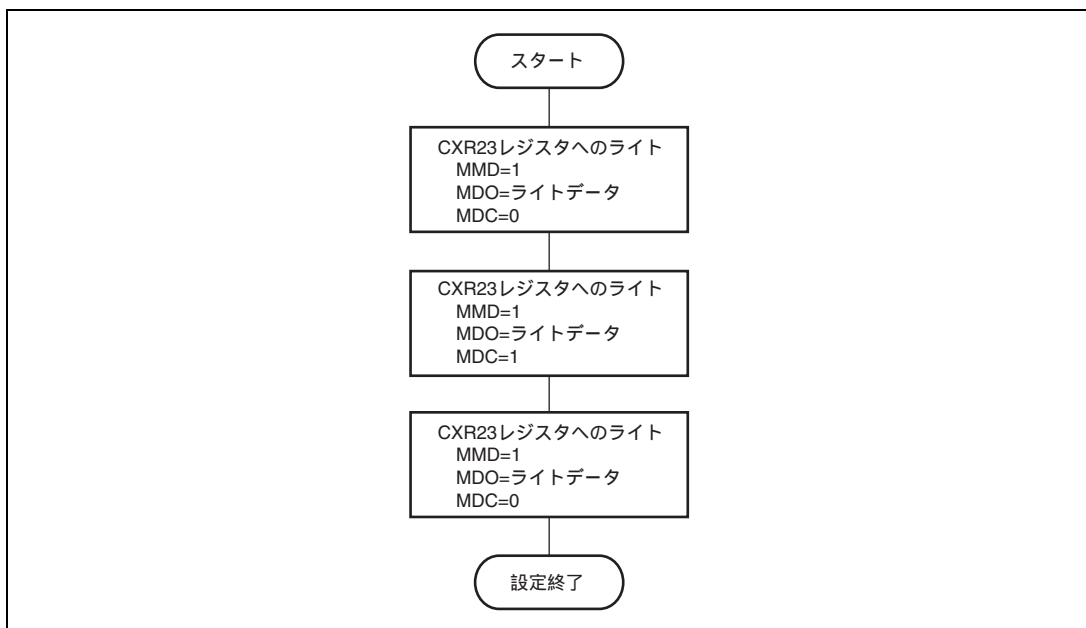


図 22.9 1 ビットデータのライト設定手順例

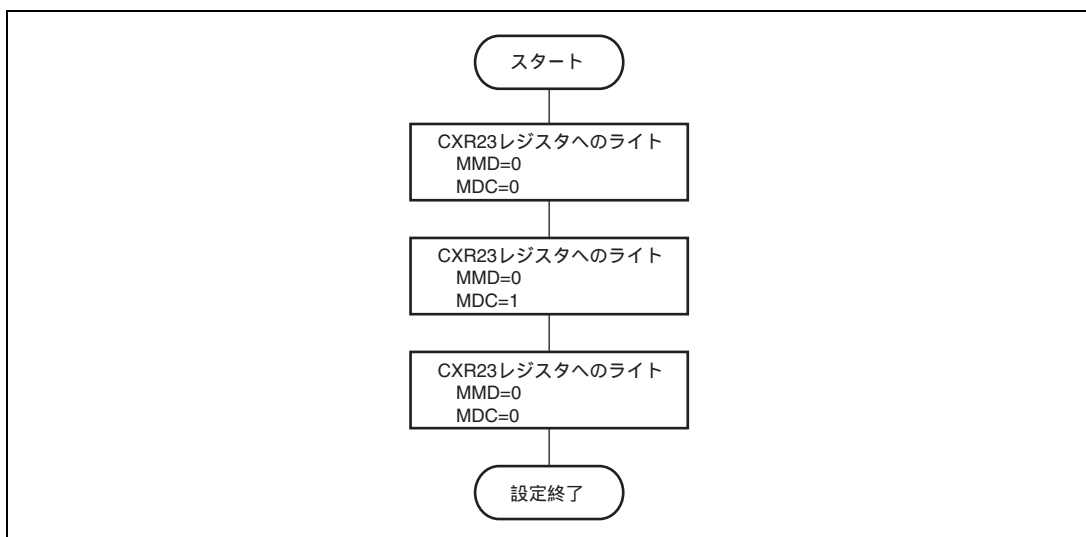


図 22.10 バス解放設定手順例

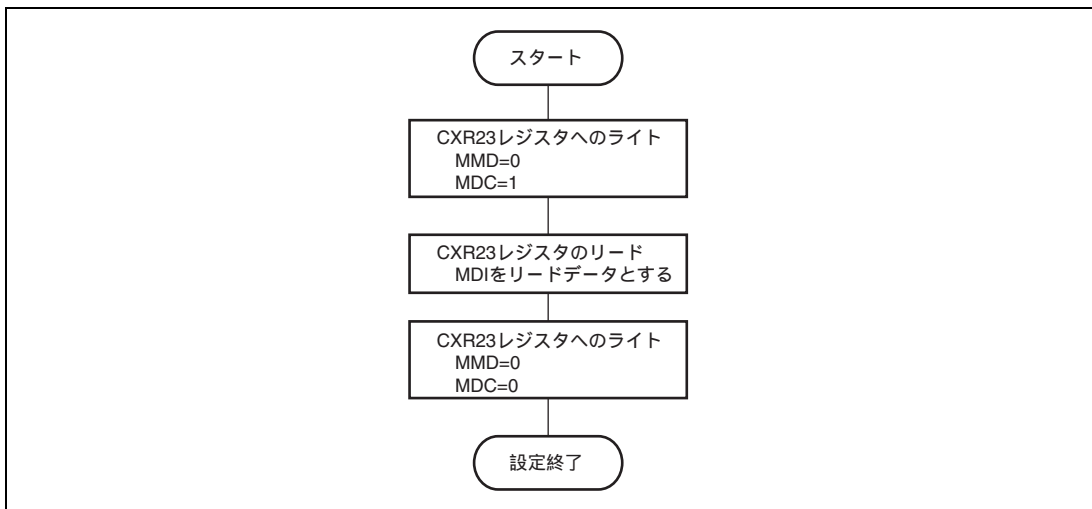


図 22.11 1 ビットデータのリード設定手順例

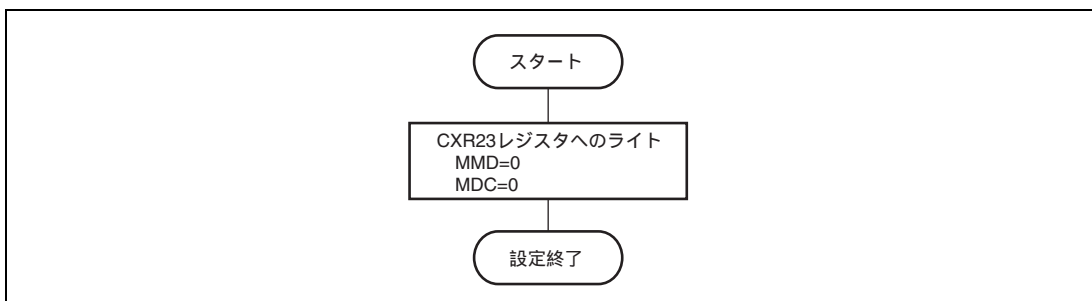


図 22.12 単独バス解放手順例

22.7 注意事項

22.7.1 ソフトリセット

Ether のソフトリセットは HDMAC の CXR0 の SWR ビットに 1 をセットすることにより可能です。DMA 転送中にソフトリセットを実行した場合でも実行中の転送動作は完了しますが、DMA データは保証されません。

22.7.2 スタンバイ

Ether はスタンバイへの移行が指示されると、現在実行中の SuperHyway イニシエータ、ターゲット動作を完了後スタンバイ状態になります。スタンバイ状態からの復帰時は、リセットおよび初期設定が必要です。

22.8 HDMAC 機能仕様

22.8.1 動作

(1) 基本動作

図 22.13 に本論理コアとデバイスドライバ (ソフトウェア) の間の制御イメージを示します。

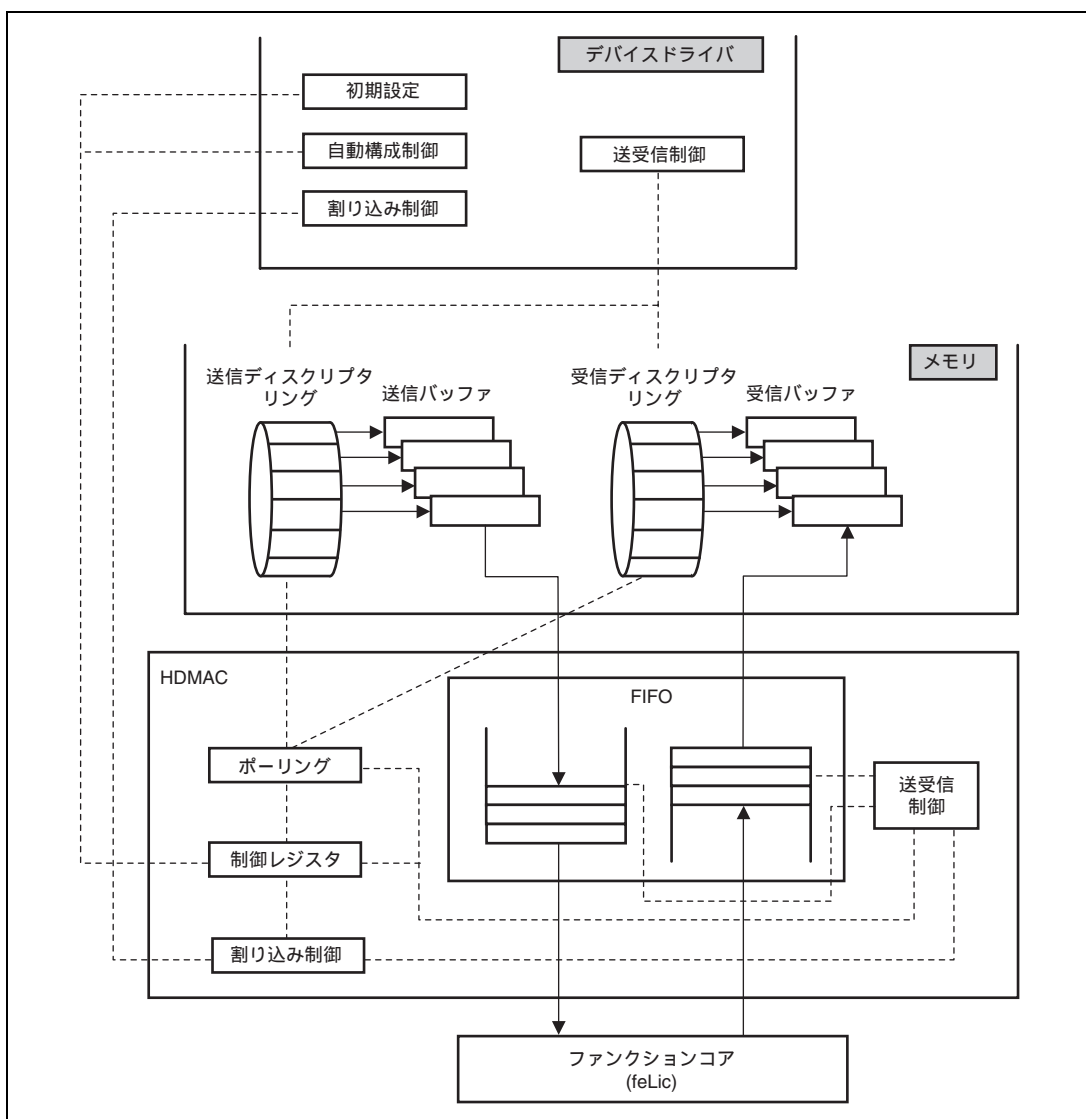


図 22.13 デバイスドライバと HDMAC の間の制御イメージ

デバイスドライバは、メモリ上に送信ディスクリプタのリングと受信ディスクリプタのリングと、それに対応する送信バッファと受信バッファを作成する必要があります。

本論理コアは送信時には、送信ディスクリプタをフェッチし、送信バッファのアドレスとバイト数を得て、送信バッファから送信 FIFO を経由してファンクションコアへ送信します。受信時には、受信ディスクリプタをフェッチし、受信バッファのアドレスとバッファ長を得て、ファンクションコアから受信したデータを、受信 FIFO を経由し、受信バッファに格納します。

(2) ディスクリプタのリング

ディスクリプタの個数に制限はありませんが、複数ディスクリプタの設定を推奨します。

本論理コアは、先頭のディスクリプタから順番に使用していき、最終のディスクリプタを使用すると、その次は先頭のディスクリプタを使用します。

先頭のディスクリプタのアドレスは、先頭アドレス設定レジスタ (CXR3、CXR4) で指定します。最終のディスクリプタは、ディスクリプタ内のディスクリプタリング最終ビット (TDL、RDL) = 1 で指定します。ディスクリプタの境界は、動作モードレジスタ (CXR0) のディスクリプタ長ビット (DL) で指定します。

受信ディスクリプタの個数は、リング構成を取るうえでの制限はありませんが、1 個のときは 1 つのフレームを受信すると、その時点で受信ディスクリプタの枯渇となります。(「22.8.1 (9) (g) 受信ディスクリプタの枯渇」参照)

ディスクリプタの記述フォーマットは、「22.8.2 送信ディスクリプタ」、「22.8.3 受信ディスクリプタ」を参照ください。

(3) 複数フレームとマルチバッファ

フレームの連続送受信が可能です。

また、受信側は 1 つのフレームを複数のディスクリプタで指定することで、複数バッファに分けて格納することが可能です。

送信側は、1 つのフレームを 1 つのディスクリプタで指定します。

本論理コアは、送信時に 1 つのディスクリプタで指定されたデータ (フレーム) の送信が終了すると、次の送信ディスクリプタをフェッチします。フェッチした送信ディスクリプタの有効ビットが立っていた (TACT ビット = 1) 場合は、次に送信すべきデータ (フレーム) があると判定し、そのデータ (フレーム) を送信します。

有効ビットが立っていない (TACT ビット = 0) 場合は、送信動作を終了します。

送信ディスクリプタ TD0 のビット 29、28 は 11 で指定してください。それ以外の指定では動作は保証されません。

受信時には、1 つのフレームの受信が終了すると、次の受信ディスクリプタをフェッチします。

フェッチした受信ディスクリプタの有効ビットが立っていた (RACT ビット = 1) 場合は、受信準備ができていると判定し、受信したフレームを格納します。有効ビットが立っていない (RACT ビット = 0) 場合は、受信ディスクリプタの枯渇とみなし、受信動作を終了します。

受信ディスクリプタに指定されたバッファ長よりも大きいフレーム長を受信したときは、指定されたバッファ長まで格納すると、次の受信ディスクリプタをフェッチします。さらに、フェッチした受信ディスクリプタに指定されたバッファ長よりも、大きいフレーム長を受信したときは、指定されたバッファ長まで格納すると、その次の受信ディスクリプタをフェッチします。フェッチした受信ディスクリプタに指定されたバッファサイズ内に、収まるフレーム長を受信したときは、フレームの最後のバイトを格納すると、それまでに受信バッファに格納したバイト数を、受信ディスクリプタの受信フレーム長 (RFL) にライトバックし、次のフレームの受信に備えて、その次の受信ディスクリプタをフェッチします。

なお、受信ディスクリプタで、受信バッファ長 0 の指定の動作は保証されません。

(4) DMA 動作

(a) バースト動作

本論理コアは、DMA 転送により、ロングワード単位でディスクリプタとバッファにアクセスします。ディスクリプタ(標準 16 バイト)のフェッチは、獲得したバス 1 回につき、16 バイトの DMA 転送を行います。送信ディスクリプタのライトバックは、獲得したバス 1 回につき、4 バイトの DMA 転送を行います。受信ディスクリプタのライトバックは、獲得したバス 1 回につき、8 バイトの DMA 転送を行います。バッファのデータ転送は、獲得したバス 1 回につき、最大 32 バイトの DMA 転送を行います。

転送するフレームの残りのデータが

17~32 バイトの場合は獲得したバス 1 回につき、32 バイトの DMA 転送を行います。

9~16 バイトの場合は獲得したバス 1 回につき、16 バイトの DMA 転送を行います。

5~8 バイトの場合は獲得したバス 1 回につき、8 バイトの DMA 転送を行います。

1~4 バイトの場合は獲得したバス 1 回につき、4 バイトの DMA 転送を行います。

(b) DMA 動作異常報告

DMA 実行中 DMA エラーを検出すると、ステータス表示レジスタ (CXR5) の BER ビットを 1 にセットし割り込みを発生します。なお、再開は、リセット(システムリセットまたはソフトリセット)から実施してください。

(5) 送受信バッファ

送信ディスクリプタで指定する送信バッファアドレスおよび送信バッファ長は、バイト単位で設定が可能です。ただし、送信バッファ長 1~16 バイトの指定を行う際は送信バッファアドレスは 32 バイト境界にする必要があります。なお、送信バッファ長 0 バイトの指定の動作は保証されません。

一方、受信ディスクリプタで指定する受信バッファアドレスは、DMA のバースト動作がメモリの境界をまたぐのを避けるため、32 バイト境界上のアドレスを設定してください。

また、転送するフレームの残りのデータ数が、DMA バーストバイト数 (32 バイト) で割り切れない場合、余分なデータを転送するため、受信ディスクリプタで指定する受信バッファ長は、32 バイト境界で設定してください。

たとえば、受信フレームの最後の残りデータが 17 バイトの場合、DMA は 32 バイトバースト転送を行うため、受信バッファの該当アドレス 18 バイト目~32 バイト目までは無効データが書き込まれます。

(6) エンディアン

動作モード設定レジスタ (CXR0) の DE ビットの設定により、送受信バッファのデータ配列はリトルエンディアンに対応します。(初期値はビッグエンディアン)

なお、エンディアンを変更できるのは、送受信バッファ内のデータのみで、ディスクリプタ、レジスタは変換されません。

(7) レジスタアクセス

レジスタの R/W は、SuperHyway を介し アクセスされます。HDMAC と接続されるファンクションコア内のレジスタは、さらに HDMAC を介してアクセスされます。

(8) 送信動作

(a) 通常の送信動作

本論理コアは、送信指示レジスタ (CXR1) の TRNS ビット=1 を書き込むと、送信処理を開始します。

送信ディスクリプタリングから前回使用したディスクリプタの次のディスクリプタをフェッチし、フェッチした送信ディスクリプタの TACT ビット=1 の場合は、指示される送信バッファアドレスとバイト数により、順次送信バッファのデータを読み出し、送信 FIFO へ書き込みを行います。

TACT ビット=0 の場合は、送信指示レジスタ (CXR1) の TRNS ビット=0 を表示し、何もせずに送信処理を終了します。

ディスクリプタ内で指示されるバッファ長分のデータを送信 FIFO を経由し、ファンクションコア側に転送完了時 (正常終了または、アボート終了) にディスクリプタのライトバックを行い、次のディスクリプタのフェッチを行います。

フェッチしたディスクリプタの TACT ビットが 1 のあいだ、ディスクリプタのフェッチ、DMA 転送を引き続き行います。

フェッチした送信ディスクリプタの TACT ビット=0 の場合は、ステータス表示レジスタ (CXR5) に送信完了 (TFC ビット=1) を表示し、CPU に割り込みを発生させると同時に、送信指示レジスタ (CXR1) に TRNS

ビット=0 を表示し、送信処理を停止します。

送信 FIFO 内のデータが、しきい値 (レジスタにより可変) を超えるか、1 フレーム分格納されるか、または送信 FIFO がいっぱいになると、ファンクションコア側を起動し、以後 ファンクションコア側の RDY 信号に同期させ送信 FIFO のデータをファンクションコア側へ転送します。

ファンクションコア側からの完了通知信号または アボート信号が入力された時点で、上記転送動作は終了します。

(b) 連続フレームの送信動作

送信ディスクリプタに、複数のフレームを設定することができます。

本論理コアは、送信ディスクリプタで指示された転送が終了した時点で、送信ディスクリプタに TACT ビット = 0 を書き込み、次の送信ディスクリプタをフェッチします。フェッチした送信ディスクリプタの TACT ビット = 1 の間、連続してフレームの送信を行います。

TACT ビット = 0 の場合は、その時点でステータス表示レジスタ (CXR5) に送信完了 (FTC ビット = 1) を表示し、CPU に割り込みを発生させると同時に、送信指示レジスタ (CXR1) に TRNS ビット = 0 を表示し、送信処理を停止します。

CPU は送信完了 (FTC ビット = 1) の割り込みが発生したことで、設定したすべてのフレームを送信したことを知ることができます。

(c) 送信アポート

フレーム送信中にファンクションコアからアポート信号 (ATABT) を受けると、送信 FIFO からファンクションコアへ、該当フレームのデータ送信を中断します。

また、送信ディスクリプタに TACT ビット = 0 と送信フレームステータス (TFS) の b8 ビット = 1 を書き込み、以降の動作は、(a) の通常動作か (b) の連続動作と同様となります。

フェッチした送信ディスクリプタの TACT ビット = 0 を検出した場合は、ステータス表示レジスタ (CXR5) に送信完了 (FTC ビット = 1) とともに送信アポート (TABT ビット = 1) を表示し、CPU に割り込みを発生します。

(d) 送信 FIFO のアンダフロー

本論理コアは、送信 FIFO のアンダフローを防ぐため、送信 FIFO 内のデータ量が、設定されたしきい値 (レジスタにより可変) を超えるか、1 フレーム分格納されるか、または送信 FIFO がいっぱいになるまでファンクションコア側にデータ転送を行いません。

しかし、バス権が獲得できないなどの原因で、フレーム送信中に送信 FIFO が空になると、送信すべきデータがなくなりアンダフローが発生します。

このとき、ステータス表示レジスタ (CXR5) に送信 FIFO アンダフロー (TFE ビット = 1) を表示し、CPU に割り込みを発生します。

アンダフローの発生したフレームは、ファンクションコア側に転送され、転送完了後、送信ディスクリプタに TACT ビット = 0 と送信フレームステータス (TFS) の b8 ビット = 1 を書き込み、以降の動作は、(a) の通常動作か (b) の連続動作と同様となります。

フェッチした送信ディスクリプタの TACT ビット = 0 を検出した場合は、ステータス表示レジスタ (CXR5) に送信完了 (FTC ビット = 1) とともに送信アポート (TABT ビット = 1) を表示し、CPU に割り込みを発生します。

(e) 送信フレームのリトライ

送信フレームの最終バイトをファンクションコア側に転送後、ファンクションコアから ATRTRY 信号を受けると、再度該当フレームの先頭ディスクリプタのフェッチを行い、該当フレームの先頭からのデータを送信 FIFO に転送し直します。

(9) 受信動作

(a) 通常の受信動作

本論理コアは、受信指示レジスタ (CXR2) に R ビット = 1 を書き込むと、受信処理を開始します。

受信ディスクリプタのリングから前回使用した受信ディスクリプタ (N-1 番目) の次の受信ディスクリプタ (N 番目) をフェッチして、受信待機状態となります。

この状態のとき、受信 FIFO に 32 バイト以上のデータが格納されているか、最終バイトがあると、受信 FIFO から受信バッファへデータを転送します。

受信ディスクリプタで示された受信バッファがいっぱいになった時点で、受信ディスクリプタの RACT ビット = 0 を書き込み、次の受信ディスクリプタ (N+1 番目) をフェッチします。フェッチした受信ディスクリプタ (N+1 番目) の RACT ビット = 1 の場合は、再度受信待機状態となります。

1 フレームの最終バイトの転送が終了した場合は、受信ディスクリプタに RACT ビット = 0 と RFP[0] ビット = 1 を書き込み、ステータス表示レジスタ (CXR5) にフレーム受信完了 (FRC ビット = 1) を表示し、CPU に割り込みを発生し、次の受信ディスクリプタ (N+1 番目) をフェッチします。

フェッチした受信ディスクリプタ (N+1 番目) の RACT ビット = 1 の場合は、同様に受信待機状態となります。また RACT ビット = 0 の場合は、受信ディスクリプタの枯渇とします。

(「(g) 受信ディスクリプタの枯渇」参照)

(b) 連続フレームの受信動作

本論理コアは、(a) の通常動作にあるように、1 つのフレームを受信し最終バイトの転送が終了した時点で、受信ディスクリプタ (N 番目) に RACT ビット = 0 と RFP[0] ビット = 1 を書き込み、ステータス表示レジスタ (CXR5) にフレーム受信完了 (FRC ビット = 1) を表示し、CPU に割り込みを発生し、次の受信ディスクリプタ (N+1 番目) をフェッチして、受信待機状態となります。

また、次ぎのフレーム最終バイトの転送が終了した時点で、受信ディスクリプタ (N+1 番目) に RACT ビット = 0 と RFP[0] ビット = 1 を書き込み、ステータス表示レジスタ (CXR5) にフレーム受信完了 (FRC ビット = 1) を表示し、CPU に割り込みを発生し、次の受信ディスクリプタ (N+2 番目) をフェッチして、受信待機状態となります。

以降、フェッチした受信ディスクリプタの RACT ビット = 0 になるまで (受信ディスクリプタが枯渇するまで)、フレームを連続して受信します。

(c) フレーム複数バッファの受信動作

本論理コアは、受信したフレーム (M 番目) のバイト長が、受信ディスクリプタ (N 番目) で指示されるバッファ長分よりも大きい場合は、受信バッファ長分のデータを転送した後、受信ディスクリプタ (N 番目) に RACT ビット = 0 と RFP[0] ビット = 0 を書き込み、次の受信ディスクリプタ (N+1 番目) をフェッチします。

フェッチした受信ディスクリプタ (N+1 番目) においても、同じフレーム (M 番目) のデータ転送を行います。さらに、受信ディスクリプタ (N+1 番目) で指示されるバッファ長分よりも大きい場合は、上記と同様に、受信バッファ長分のデータを転送した後、受信ディスクリプタ (N+1 番目) に RACT ビット = 0 と RFP[0] ビット = 0 を書き込み、次の受信ディスクリプタ (N+2 番目) をフェッチします。

受信ディスクリプタ (N+1 番目) で指示されるバッファ長分よりも小さい場合は、(1) の通常動作と同様に、最終バイトの転送が終了した時点で、受信ディスクリプタ (N+1 番目) に RACT ビット = 0 と RFP[0] ビット = 1 を書

き込み、ステータス表示レジスタ (CXR5) にフレーム受信完了 (FRC ビット = 1) を表示し、CPU に割り込みを発生し、次の受信ディスクリプタ (N+2 番目) をフェッチして、受信待機状態となります。

(d) 受信アバート

フレーム受信中にファンクションコアから受信アバート (ARABT) 信号を受けると、受信 FIFO は、ファンクションコアからの該当フレームのデータの受入を中断します。

それまで受信 FIFO に格納されたデータは、受信バッファへ転送され、格納された最終バイトの転送が終了すると、受信ディスクリプタに RACT ビット = 0 と受信フレームステータス (RFS) b8 ビット = 1 を書き込み、ステータス表示レジスタ (CXR5) にフレーム受信完了 (FRC ビット = 1) と受信アバート検出 (RABT ビット = 1) を表示し、CPU に割り込みを発生します。

また、受信 FIFO に格納中のフレームのデータ数が 16 バイト未満の間に、ファンクションコアから ARABT 信号を受けると該当フレームは本コア内で消去されます。

(e) 受信 FIFO のオーバーフロー

バス権が獲得できないなどの原因で、受信 FIFO が一杯になると、次の受信データを受信 FIFO に格納できないために、オーバーフローが発生します。

受信 FIFO は、データの受入を中断し、同時に、ステータス表示レジスタ (CXR5) に受信 FIFO オーバーフロー (RFE ビット = 1) を表示し、CPU に割り込みを発生します。

オーバーフローとなる直前のバイトの転送が終了すると、受信ディスクリプタに RACT=0 と受信フレームステータス (RFS) の b9 ビット = 1 を書き込み、ステータス表示レジスタ (CXR5) にフレーム受信完了 (FRC ビット = 1) と受信 FIFO オーバーフロー (RFE ビット = 1) を表示して、CPU に割り込みを発生します。

受信 FIFO がフル状態となっているときは、次のフレームを受信しても、廃棄します。

同時に、廃棄フレーム数 カウントレジスタ (CXR8) をカウントアップします。

受信 FIFO から受信バッファへのデータ転送が行われ、フル状態が解除されると、次に受信したフレームの先頭バイトからの受入を再開します。

受信 FIFO はフレーム管理数の制限から、受信 FIFO 内に同時に格納できるフレーム数は 最大 16 フレームまでとなっています。

16 フレーム分のフレームが格納された時点でそれ以上のフレームの受入をしません。

この状態で 17 フレーム目の先頭データが到着するとステータス表示レジスタ (CXR5) に受信フレーム数オーバーフロー (RFRMER ビット = 1) を表示し、CPU に割り込みを発生します。

次のフレームを受信してもそのフレームは廃棄し、同時に廃棄フレーム数カウントレジスタ (CXR8) をカウントアップします。

受信 FIFO から受信バッファへのデータ転送が行われ、受信 FIFO に 1 フレーム数以上の空が生じると、次に受信したフレームの先頭バイトからの受入を再開します。

(f) フロー制御サポート

本論理コアは、受信 FIFO の状態をファンクションコアに通知する ARBSY 信号をもち、受信 FIFO ビジー送出しきい値設定レジスタ (CXR16) の設定により、受信 FIFO に格納されているデータ量にもとづく本信号の送出を設定可能です。

受信 FIFO がオーバーフローする前に、ファンクションコアに対し「BUSY」を通知することでフロー制御をサポートしています。

BUSY 状態が解除されるのは、BUSY 状態に遷移する値より 受信 FIFO 内データでは -32 バイト以下、受信フレーム数では-1 フレーム以下になったときです。

(g) 受信ディスクリプタの枯渇

受信したフレーム (M 番目) のデータを受信ディスクリプタ (N 番目) で指定された受信バッファへの転送が終了すると、次に受信するフレーム (M+1 番目) に備えて、次の受信ディスクリプタ (N+1 番目) のフェッチを行います。

このとき、フェッチした受信ディスクリプタ (N+1 番目) が RACT ビット=0 であれば、受信ディスクリプタの枯渇とし、ステータス表示レジスタ (CXR5) に受信ディスクリプタ枯渇 (RDE ビット=1) を表示し、CPU に割り込みます。

同時に、受信指示レジスタ (CXR2) の RR ビット=0 を表示し、受信処理を停止します。

ファンクションコアからのデータの受信 FIFO への受信動作は継続します。

CPU は割り込み要因をクリアし、受信ディスクリプタを正常に設定する必要があります。

受信 FIFO がオーバーフローする前に、有効な受信ディスクリプタを設定すると、データの欠落なくフレームの受信を継続できます

22.8.2 送信ディスクリプタ

図 22.14 に送信ディスクリプタのフォーマットを示します。

送信バッファ長 (TBL) 1~16 バイトの指定を行う際は送信バッファアドレスは 32 バイト境界にする必要があります。なお、送信バッファ長 (TBL) 0 バイトの指定の動作は保証されません。

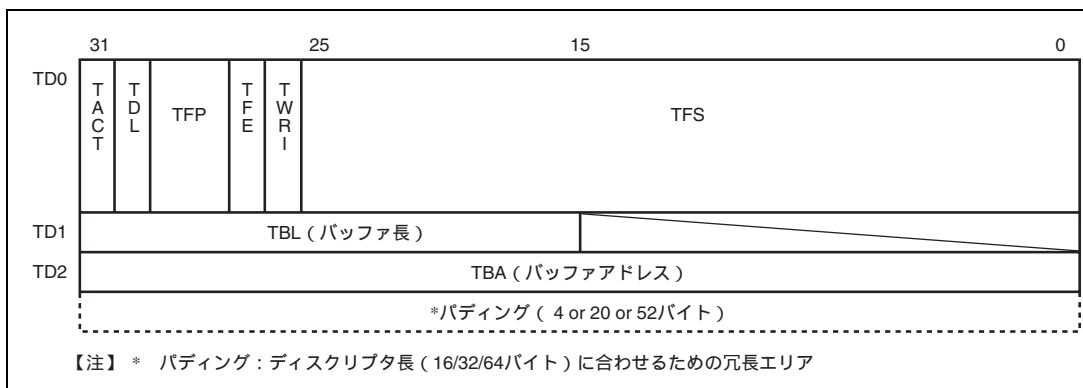


図 22.14 送信ディスクリプタフォーマット

(1) 送信ディスクリプタ 0 (TD0)

表 22.9 に送信ディスクリプタ 0 の定義を示します。(ライトバックするビットを下線で示します。)

表 22.9 送信ディスクリプタ 0 定義

ビット	ビット名	初期値	R/W	定義
<u>31</u>	TACT	不定	R/W	ディスクリプタ有効 当該ディスクリプタが有効であることを示します。このビットはドライバによってセット (=1) され、送信フレームを転送完了したときまたは何らかの要因により送信がアボートされたときに本論理コアによりリセット (=0) されます。
30	TDL	不定	R/W	ディスクリプタリング最終 セット (=1) 時、当該ディスクリプタが送信ディスクリプタリングの最終であることを示します。
29, 28	TFP	不定	R/W	フレーム内位置 11 : 本ディスクリプタ内の情報が 1 フレームすべてを含むことを示します。このフィールドは 11 で設定してください。
<u>27</u>	TFE	不定	R/W	送信フレームエラー セット (=1) 時、TFS にエラーがあることを示します。 (TFS のビット 7~ビット 0 については CXR7 により本ビットのセットをマスク可能。ただし、TFS のビット 7~ビット 0 の要因がビット 8 もセットさせる場合はマスクできません。)

ビット	ビット名	初期値	R/W	定義
26	TWBI	不定	R/W	ライトバック完了後割り込み指示 (CXR18 の設定により有効となります。) 0 : nop 1 : 本ディスクリプタへのライトバック完了後割り込みます。
25~0	TFS	不定	R/W	送信フレームステータス ビット 8 : セット (=1) 時、フレーム送信中にアボート信号がセット (=1) が該当フレームが送信アンダーフローになったことを示します。(TFE セット要因) ビット 7~ビット 0 : セット (=1) 時、フレーム送信中に TINT8~1 がセット (=1) されたことを示します。(TFE セット要因ですが、CXR7 により設定可能)

(2) 送信ディスクリプタ 1 (TD1)

表 22.10 に送信ディスクリプタ 1 の定義を示します。

表 22.10 送信ディスクリプタ 1 の定義

ビット	ビット名	初期値	R/W	定義
31~16	TBL	不定	R/W	バッファ長 : 対象となる送信バッファの有効バイト長を示します。
15~0		不定	R/W	リザーブビット

(3) 送信ディスクリプタ 2 (TD2)

表 22.11 に送信ディスクリプタ 2 の定義を示します。

表 22.11 送信ディスクリプタ 2 の定義

ビット	ビット名	初期値	R/W	定義
31~0	TBA	不定	R/W	バッファアドレス : 送信バッファの先頭アドレスを示します。

22.8.3 受信ディスクリプタ

図 22.15 に受信ディスクリプタのフォーマットを示します。

受信バッファのアドレスは 32 バイトバウンダリで設定してください。受信バッファ長 (RBL) 0 のディスクリプタ指定の動作は保証されません。

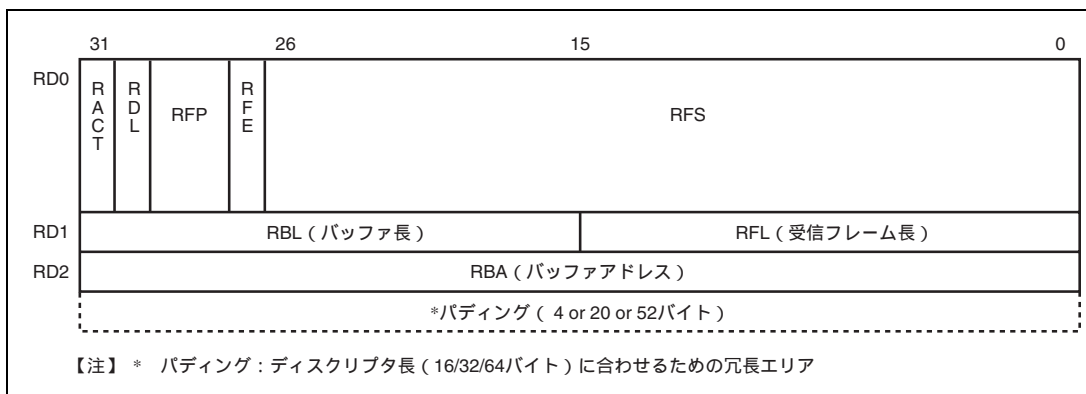


図 22.15 受信ディスクリプタフォーマット

(1) 受信ディスクリプタ 0 (RD0)

表 22.12 に受信ディスクリプタ 0 の定義を示します。(ライトバックするビットを下線で示します。)

表 22.12 受信ディスクリプタ 0 の定義

ビット	ビット名	初期値	R/W	定義
31	RACT	不定	R/W	ディスクリプタ有効 当該ディスクリプタが有効であることを示す。このビットはドライバによってセット (=1) され、受信フレームを RD2 で示されるバッファアドレスに転送し、フレームすべてを転送完了したとき、または受信バッファがいっぱいになった場合に本論理コアによりリセット (=0) されます。
30	RDL	不定	R/W	ディスクリプタリング最終 セット (=1) 時、当該ディスクリプタが受信ディスクリプタリングの最終であることを示します。
<u>29</u> 、 <u>28</u>	RFP	不定	R/W	フレーム内位置 10: 本ディスクリプタ内の情報がフレームの先頭を含むことを示します。 11: 本ディスクリプタ内の情報が 1 フレームすべてを含むことを示します。 01: 本ディスクリプタ内の情報がフレームの最後を含むことを示します。 00: 本ディスクリプタ内の情報が上記以外であることを示します。
<u>27</u>	RFE	不定	R/W	受信フレームエラー セット (=1) 時、RFS にエラーがあることを示します。 (RFS のビット 7~ビット 0 については CXR7 により本ビットのセットをマスク可能。ただし、RFS のビット 7~ビット 0 の要因がビット 8 もセットさせる場合はマスクできません。)
<u>26</u> ~ <u>0</u>	RFS	不定	R/W	受信フレームステータス ビット 9: セット (=1) 時、受信 FIFO オーバフローにより途中で切断されたフレームがライトバックされたことを示します。(RFE セット要因) ビット 8: セット (=1) 時、フレーム受信中にアボート信号がセット (=1) されたことを示します。(RFE セット要因) ビット 7~ビット 0: セット (=1) 時、フレーム受信中に RINT8~1 がセット (=1) されたことを示します。(REF セット要因ですが、CXR7 により設定可能)

(2) 受信ディスクリプタ 1 (RD1)

表 22.13 に受信ディスクリプタ 1 の定義を示します。(ライトバックするビットを下線で示します。)

表 22.13 受信ディスクリプタ 1 の定義

ビット	ビット名	初期値	R/W	定義
31 ~ 16	RBL	不定	R/W	バッファ長 対象となる受信バッファのバイト長を示します。バッファ長は 32 バイト × n の大きさに設定してください。
<u>15</u> ~ 0	RFL	不定	R/W	受信フレーム長 バッファ内に格納された受信フレームの長さ (バイト数) を示します。フレームの最後を含むディスクリプタにライトバックされます。

(3) 受信ディスクリプタ 2 (RD2)

表 22.14 に受信ディスクリプタ 2 の定義を示します。

表 22.14 受信ディスクリプタ 2 の定義

ビット	ビット名	初期値	R/W	定義
31 ~ 0	RBA	不定	R/W	バッファアドレス 受信バッファの先頭アドレスを示します。 バッファアドレスは 32 バイト境界に設定してください。

22.8.4 障害検出・通知

障害は HDMAC で検出する要因と、ファンクションコア (feLic) で検出して通知される要因とに分けられます。各内容を以下に示します。障害検出時は、障害内容をステータス表示レジスタ (CXRS) に表示し、割り込み信号を出力します。

(1) HDMAC で検出する要因

(a) ディスクリプタ枯渇

フレーム受信中にディスクリプタ有効ビットがセットされているディスクリプタが検出できなかった場合、受信ディスクリプタ枯渇とし受信指示レジスタの R ビットをリセットし受信処理を終了します。

(b) 外部 FIFO アンダフロー / オーバフロー

フレーム送信中に送信 FIFO が空になると、送信すべきデータがなくなりアンダフローが発生します。

また、フレーム受信中に受信 FIFO がいっぱいになると、次の受信データを受信 FIFO に格納できないために、オーバフローが発生します。

以上の送信 FIFO アンダフローおよび受信 FIFO のオーバフローを検出しステータス表示レジスタ (CXRS) に表示します。

(2) ファンクションコア (feLic) で検出して通知される要因

(a) 送信割り込み

フレーム送信中にファンクションコアで検出された要因は、TINT1~8、送信アポートとして、該当フレームの送信ディスクリプタおよびステータス表示レジスタ (CXR5) に通知されます。

(b) 受信割り込み

フレーム受信中にファンクションコアで検出された要因は、RINT1~8、受信アポートとして、該当フレームの受信ディスクリプタおよびステータス表示レジスタ (CXR5) に通知されます。

(c) MPORT 割り込み (MINT)

ファンクションコアで、送受信時以外に何らかの障害を検出した場合に通知されます。

各 TINT、RINT ビットの意味、および MINT の詳細は、ファンクションコアの機能仕様を参照ください。

(3) 障害 Log 情報

本論理コアには 以下の Log 収集用レジスタを備えています。

1. 廃棄フレーム数カウントレジスタ (CXR8)
2. 送信FIFOアンダフローカウントレジスタ (CXR13)
3. 受信FIFOオーバフローカウントレジスタ (CXR14)

22.8.5 ファームウェア / ソフトウェアインタフェース

(1) 割り込み

割り込み要因は、

1. RINT1~8
2. TINT1~8
3. 受信FIFOオーバフロー
4. 受信ディスクリプタ枯渇
5. フレーム受信完了
6. 送信FIFOアンダフロー
7. 送信ディスクリプタ枯渇 (未使用)
8. フレーム送信完了
9. Mポート割り込み
10. DMAエラー
11. 受信フレーム数オーバフロー
12. 受信アポート検出
13. 送信アポート検出
14. 外部EXIN信号アサート検出 (未使用)

15. 送信ディスクリプタライトバック

です。

上記割り込み要因はステータス表示レジスタ (CXR5) に表示されます。

各要因のリセットは、ステータス表示レジスタの該当ビットに 1 を書き込むことで行います。

(M ポート割り込み信号 (MINT) ビットは除きます。)

M ポート割り込み信号 (MINT) のリセットはファンクションコア内の該当要因をリセットすることで行います。

また、割り込みマスクレジスタ (CXR6) の設定により、上記割り込みを要因ごとにマスクすることが可能です。

22.9 feLic 機能仕様

22.9.1 構成

図 22.16 に feLic のブロック図を示します。

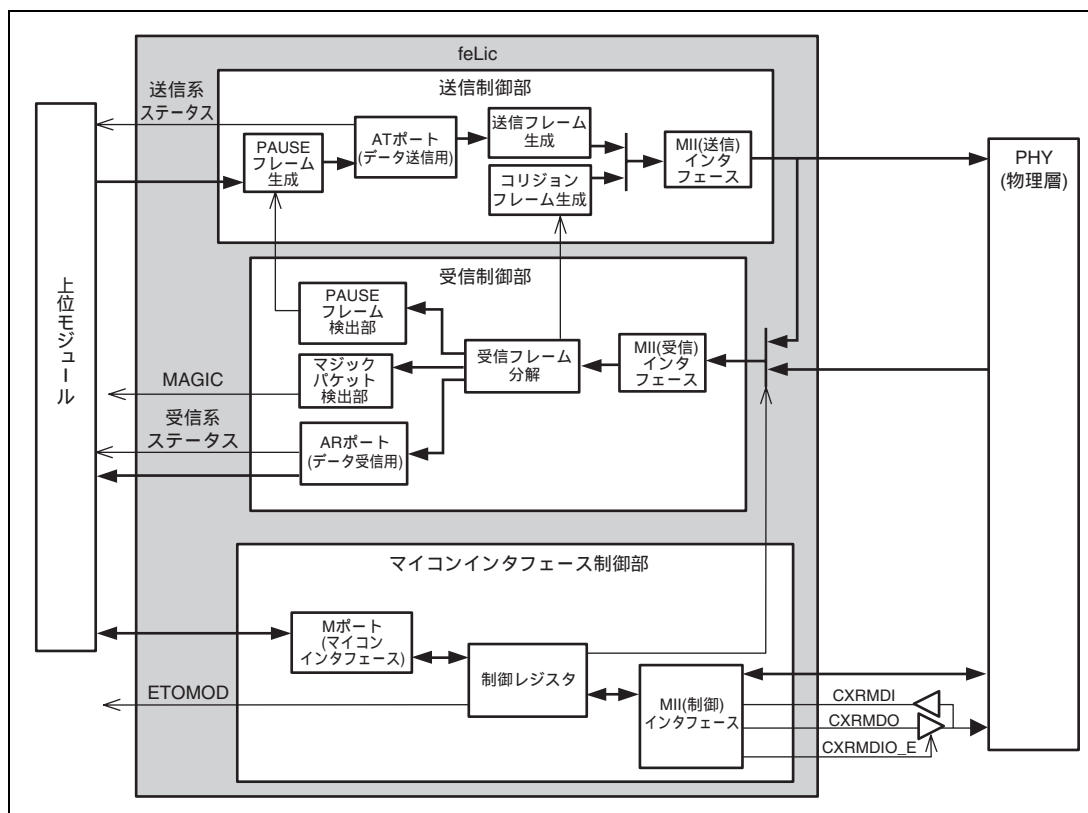


図 22.16 feLic ブロック図

22.9.2 機能

(1) 送信制御部

ATポートよりのデータを IEEE802.3 のフレームフォーマットに組み立てを行い、MII インタフェースを經由して送信します。

主な機能を下記に示します。

1. ATポートよりのデータのフレーム化と送信
2. CRC計算とフレームへの付加
3. コリジョン発生時の再送 (最大15回)
4. IEEE802.3uに準拠したMIIインタフェース機能
5. PHYチップの速度に対応したシリアル・パラレル変換
6. 送信フレームデータのパディング機能
7. PAUSEフレーム生成

(2) 受信制御部

MII インタフェースを經由して受信したフレームのアドレスをチェックを行い、自ノードのアドレスと一致、データのCRCチェック、フレーム長チェックなどを行い、ARポートにデータを転送します。

主な機能を下記に示します。

1. 受信したフレームヘッダのフォーマットチェック
2. 受信したフレームデータのCRCチェック、フレーム長チェック
3. 受信したフレームの中で自宛、マルチキャストおよび、ブロードキャストのフレームをARポートに転送
4. IEEE802.3uに準拠したMIIインタフェース機能
5. PHYチップの速度に対応したシリアル・パラレル変換
6. マジックパケット監視機能
7. PAUSEフレーム解析

(3) マイコンインタフェース制御部

上位マイクロプロセッサとのインタフェース機能を持つブロックです。Mポートのデータ幅は32ビットです。本ポートの動作は外部クロックに同期しており、マイクロプロセッサから制御するレジスタは、本ブロック内と、MIIを経由してPHYにあります。

主な機能を下記に示します。

1. 送信部および受信部の動作制御
2. シリアルバスを経由してのPHYレジスタのアクセス

(4) マジックパケット監視機能

受信制御部は、マジックパケット監視モード時にマジックパケットの監視を行い、検出後外部へ報告します。

この機能は、CXR20 レジスタのビット9 (MPM) をセットすることで、動作します。マジックパケットを検出した場合は、出力信号である eth_magic 信号のアサートおよび、CXR21 レジスタへ反映します。以下にそれぞれの検出機能について説明します。

(a) eth_magic 信号での報告

feLic の出力信号である eth_magic 信号は、PHY からの受信クロックの立ち上がり同期してアサートします。この信号を使用することで外部回路へ検出情報を知らせることができます。eth_magic 信号のネゲートは、ハードリセットおよび CXR0 レジスタによる HDMAC/feLic のソフトリセットによりネゲートします。

(b) CXR21 レジスタでの報告

CXR21 レジスタへ反映することで、ソフトウェアへの割り込みとして報告することができます。検出要因のクリアは、該当ビットへの1書き込みによってクリアできます。ただし、eth_magic 信号がアサートしている状態では、再度マジックパケットを受信しても CXR21 レジスタへの反映をしません。(a)で記述した方法でクリア後、再度設定してください。

(5) 送受信ステータス統計機能

上位モジュールへ出力する要因信号 (TINT / RINT) をカウントし、Mポート経由でのレジスタアクセスにより、統計情報として参照することができます。

リセット後 (CXR0 レジスタによるソフトリセットを含む) からカウントし始め、ライトクリアのみ可能です。

(6) IEEE802.3 準拠フロー制御

全 2 重動作時のフロー制御は、IEEE802.3x 準拠のフロー制御方式をサポートしております。フロー制御を行うときに使用する PAUSE フレームの送信は、以下の 2 手順の方法があります。この 2 手順は、併用が可能です。

(a) 自動 PAUSE フレーム送信

ARBSY 信号のアサートにより、PAUSE フレームを自動的に送信します。なお、PAUSE フレームに含まれる Timer 値は、パラメータ設定レジスタ (CXR71 参照) に設定された値を用います。また、PAUSE フレームを送信した後、Timer 値の示す時間が経過した時点で、ARBSY 信号がネゲートしていない場合は、さらに PAUSE フレームを送信します。PAUSE フレームの再送回数は、PAUSE フレーム再送回数設定レジスタ (CXR81) の設定により 1 ~ 65535 回まで設定が可能で、再送回数の上限に達した場合は、以降の PAUSE フレーム送信を行いません。ただし、ARBSY 信号が一度ネゲートし、再度アサートされた時点で PAUSE フレーム再送回数カウンタ (CXR82) をリセットし、送信を開始します。なお、再送回数上限を規定しない (無制限) ことも可能です。

(b) 手動 PAUSE フレーム送信

ソフトウェアからの指示により、PAUSE フレームを送信することができます。CXR72 レジスタに Timer 値を設定することで、PAUSE フレームを送信します。なお、この手順では、PAUSE フレームの送信は 1 回 (1 フレーム) のみです。

(c) PAUSE Timer 値について

Timer 値が 0 の PAUSE フレームについては、制御の有効 / 無効を設定することができます。

• 送信時の動作

有効の場合、Timer 値の示す時間が経過していない状態で、ARBSY 信号がネゲートすると、Timer 値が 0 の PAUSE フレームを送信します。

無効の場合、Timer 値の示す時間が経過するまで、次のフレーム送信を行いません。

• 受信時の動作

有効の場合、Timer 値の示す時間が 0 であっても、受信待ちカウンタへ設定します。(受信待ちを解除します。)

無効の場合、Timer 値の示す時間が 0 の場合、PAUSE フレームを破棄します。

(d) PAUSE フレーム受信

PAUSE フレームを受信した場合、Timer 値の示す時間が経過するまで、次のフレーム送信を待ちます。なお、送信中のフレームについては、送信を継続します。また、PAUSE フレーム受信回数をカウンタ (「22.4.29 受信 PAUSE フレームカウンタレジスタ (CXR80)」参照) します。

(7) バックプレッシャー方式フロー制御

半 2 重動作時のフロー制御は、バックプレッシャー方式をサポートしております。この方式は、フレームを受信した時点で、FIFO の残容量が少ない場合、擬似的に衝突を発生 (衝突フレームを送信) させ、フレームの受信を阻止します。なお、DA の参照は行いません。

22.9.3 送受信制御部詳細説明

(1) 送信制御部

ATポートからの送信データを、フレームフォーマットへの組み立てを行い、MII インタフェースを経由して送信します。このとき、回線側の状況によりエラーが発生する場合があります。TINT1～8の障害要因が発生した場合は送信アボートとなり、アボート信号(ATABT)を使用して、上位ブロックへエラー要因を報告します。また、正常送信完了時には、送信完了信号(ATCOMP)を使用して報告します。

以下に各要因発生条件および、動作の説明を示します。

- TINT1 : 送信タイムアウト
フレーム送信中に衝突(COL信号がアサート)が発生した場合、バックオフの時間を経過した後に送信リトライを行います。15回目のリトライ中に再度衝突が発生した場合に発生します。
- TINT2 : フレーム送信中の衝突検出
IEEE802.3の規格書で記述されている、遅延衝突の場合発生します。
規格書の記述 : 「送信開始より512bit時間の衝突ウィンドウより後に衝突が発生した場合は、遅延衝突としてみなされる。」
- TINT3 : フレーム送信中のキャリア消失
フレーム送信中にキャリアが消失(CRS信号がネゲート)した場合に発生します。
- TINT4 : キャリア未検出
プリアンプル部の送信中にキャリアが検出(CRS信号がアサートしない)できない場合に発生します。
- TINT5 : 未割り当て
- TINT6 : 未割り当て
- TINT7 : 未割り当て
- TINT8 : 未割り当て

上記の送信エラーが発生した後、FELIC は次のフレーム送信の要求待ちの状態になり、次の送信要求があれば、続けて送信を開始します。

(2) 受信制御部

MII インタフェースを経由して受信したフレームを、AR ポートへ転送します。このとき、回線側の状況によりエラーが発生する場合があります。RINT1~4 の障害要因が発生した場合は受信アポートとなり、アポート信号 (ARABT)を使用して、上位ブロックへエラー要因を報告します。また、RINT5 の要因は、端数ビットエラーが発生したことを示す要因ですが、CRC エラーでないフレームの場合は、正常受信要因となります。RINT8 の要因は正常受信要因であり、フレームの相手先アドレスがマルチキャストアドレスである場合に、受信完了信号 (ARCOMP) を使用して報告します。以下に各要因発生時の条件および、動作の説明を示します。

- RINT1 : CRCエラー
受信フレームのFCS部のチェックを行い、誤りがある場合に発生します。
- RINT2 : フレーム受信エラー
フレームを受信中に、MIIインタフェースのRX_ERがアサートした場合に、報告します。なお、RX_ER信号がアサートする要因については、接続するPHYのデータブックを参照してください。
- RINT3 : フレーム長誤り
受信フレーム長が64バイト未満の場合に、報告します。
- RINT4 : フレーム長誤り
受信フレーム長が、CX2Aのレジスタで設定した値を超えた場合に報告します。なお、設定値を超えた部分のデータについては、FELIC内で破棄し上位ブロックへ転送しません。
- RINT5 : 端数ビットエラー
受信フレーム長がオクテットの整数倍でない場合に、報告します。この場合、データ部の最後の1~4オクテットを上位ブロックへ転送しません。
- RINT6 : 未割り当て
- RINT7 : 未割り当て
- RINT8 : マルチキャストフレーム受信
相手先アドレスがマルチキャストアドレスである場合に、報告します。本要因は、他のエラー要因が発生していない場合のみ、受信完了信号とともに報告されます。

上記の受信エラーが発生した後、FELIC は次のフレーム受信の待ち状態になり、次のフレームが受信されれば、続けて受信を開始します。

23. ディスプレイユニット (DU)

23.1 DU の概要

23.1.1 特長

(1) プレーン

従来、フォアグラウンド、バックグラウンドあるいはカーソルと呼んでいた表示面を本章ではプレーンと呼びます。プレーンは最大 WXGA (1280×768) が表示可能です。各プレーンは内蔵レジスタ設定によりパラメータの独立設定が可能です。また、内蔵レジスタ設定により表示優先順位の設定が可能であり、WVGA (832×496) 時では最大 4 画面の合成表示が可能です。

- 表示サイズ
- 表示位置
- 表示データフォーマット (8bit/pixel、16bit/pixel、ARGB、YC)
- プレーンの重ね合わせ
- スクロール
- ラップアラウンド
- ブリンキング
- バッファ制御

内蔵レジスタ設定により 4 種類の制御モードの選択が可能です。

- オートレンダリングモード (ダブルバッファ)
- マニュアルディスプレイチェンジモード (ダブルバッファ)
- オートディスプレイチェンジモード (ダブルバッファ)
- ビデオキャプチャモード (トリプルバッファ)

(2) アルファ値プレーン

表示データとアルファ値を兼用しているプレーン (表示プレーン) 4 面に加え、アルファ値のみの専用プレーン (α プレーン) が 1 面可能です。

(3) 同期方式

表示出力タイミングを内蔵レジスタ設定により 3 種類の同期モードの選択が可能です。

- マスタモード (内部同期モード)
- TV同期モード (外部同期モード)
- 同期方式切り替えモード

(4) CRT スキャンモード (CRT 走査方式)

内蔵レジスタ設定により 3 種類のスキャンモードの選択が可能です。

- ノンインタレースモード
- インタレースシンクモード
- インタレースシンク & ビデオモード

(5) YC RGB 色空間変換機能

YC 形式で格納された画像データを RGB 色空間に変換し、ウィンドウ表示が可能です。

(ただし、同時に 2 画素以上を RGB 色空間に変換できません)

(6) カラーパレット

26 万色中、同時に 256 色の表示可能な 1 面のカラーパレットを内蔵しています。また、256 色ごとに 8 ビットのブレンド比を持っています。

(7) 表示キャプチャ

端子へ出力するデジタル RGB-666 データを RGB-565 データに変換し外部メモリに格納可能です。

(8) レジスタアクセス制御

制御レジスタを内蔵し、HPB からの HPB プロトコルに従ったレジスタアクセスが可能です。アクセスサイズは 32 ビット固定です。

23.1.2 ブロック図

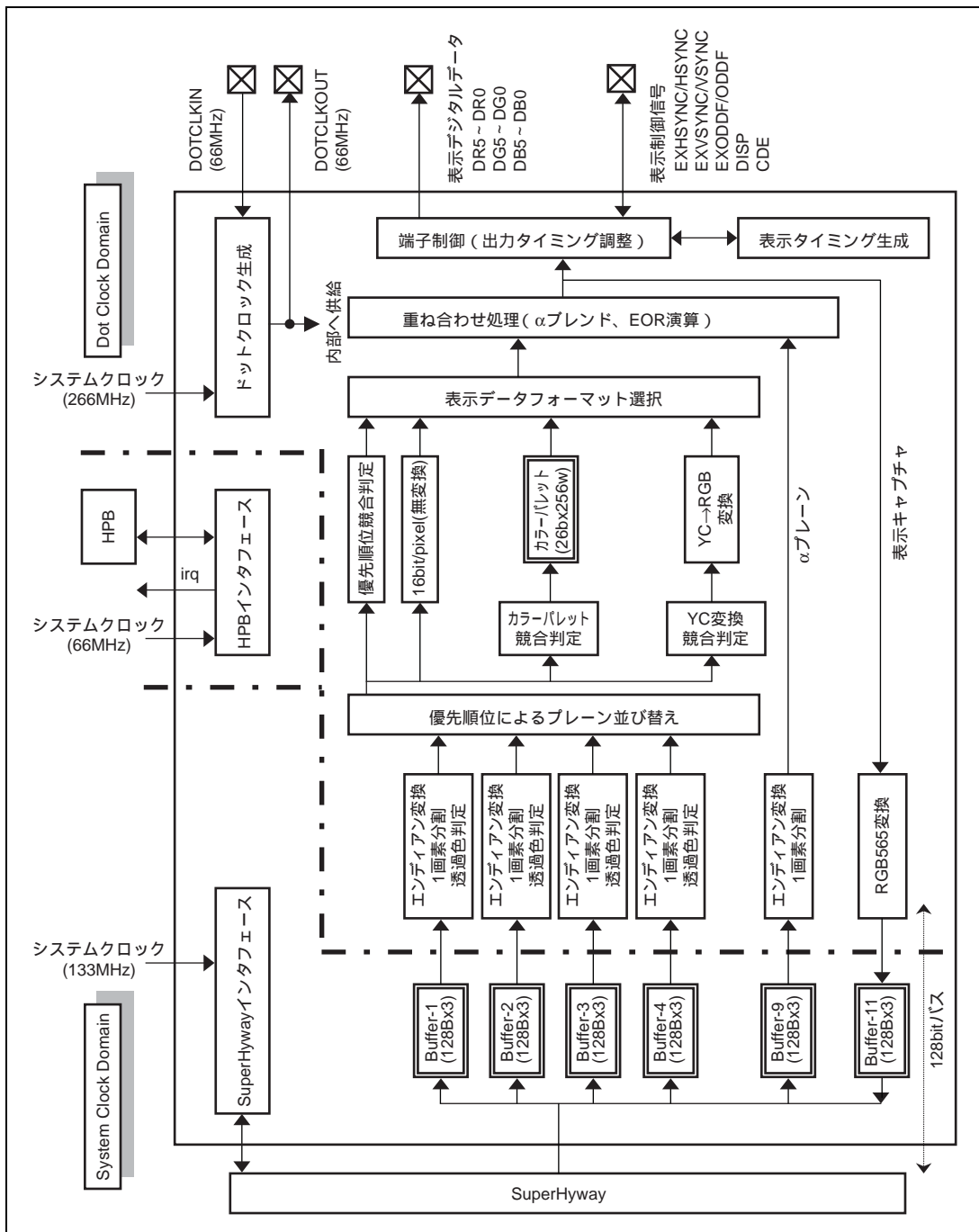


図 23.1 DisplayUnit ブロック図

23.1.3 外部端子

表 23.1 端子機能

名称	端子名	入出力	機能	本章内信号名
入力ドットクロック	DOTCLKIN	入力	入力ドットクロック	DCLKIN
出力ドットクロック	DOTCLKOUT	出力	出力ドットクロック	DCLKOUT
水平同期出力 / 外部水平同期入力	EXHSYNC/ HSYNC/ CSYNC	入出力	コンボジット同期出力信号 (初期値)	CSYNC
			水平同期出力 / 外部水平同期入力	HSYCN (出力) / EXHSYNC (入力)
垂直同期出力 / 外部垂直同期入力	EXVSYNC/ VSYNC/ CSYNC	入出力	垂直同期出力 / 外部垂直同期入力 (初期値)	VSYNC (出力) / EXVSYNC (入力)
			コンボジット同期出力信号	CSYNC
奇数・偶数フィールド	EXODDF/ ODDF/ CSYNC	入出力	奇数・偶数フィールド (初期値)	ODDF
			CLAMP 出力信号	CLAMP
			コンボジット同期出力信号	CSYNC
表示期間	DISP/ CSYNC	出力	表示期間 (初期値)	DISP
			コンボジット同期出力信号	CSYNC
			DE 出力信号	DE
色検出	CDE	出力	色検出	CDE
表示データ	DR0	出力	デジタル Red 0	デジタル RGB
	DR1	出力	デジタル Red 1	
	DR2	出力	デジタル Red 2	
	DR3	出力	デジタル Red 3	
	DR4	出力	デジタル Red 4	
	DR5	出力	デジタル Red 5	
	DG0	出力	デジタル Green 0	
	DG1	出力	デジタル Green 1	
	DG2	出力	デジタル Green 2	
	DG3	出力	デジタル Green 3	
	DG4	出力	デジタル Green 4	
	DG5	出力	デジタル Green 5	
	DB0	出力	デジタル Blue 0	
	DB1	出力	デジタル Blue 1	
	DB2	出力	デジタル Blue 2	
	DB3	出力	デジタル Blue 3	
DB4	出力	デジタル Blue 4		
DB5	出力	デジタル Blue 5		

【注】 本章では特に断らない限り、ドットクロックは出力ドットクロックを表します。

23.1.4 レジスタ構成

ディスプレイユニット (DU) ではレジスタに設定した値の反映のされ方が外部更新と内部更新の 2 通りあります。

(1) 外部更新

外部更新とは、CPU によるアドレスマップドレジスタへの設定値が、CPU のアクセス終了後に反映される更新のことをいいます。また、表示制御に関係するレジスタ (たとえば表示システム制御レジスタ) で、外部更新にて設定値が更新されるレジスタは、垂直ブランキング期間の開始位置を示す表示ステータスレジスタ (DSSR) における VBK フラグ、および FRM フラグが利用することで、表示のちらつきなく書き換えることが可能です。

(2) 内部更新

内部更新とは、アドレスマップドレジスタに設定された値が Display Unit の内部の更新タイミングで反映される更新をいいます。このため、内部更新機能付きレジスタの場合、CPU が表示タイミングを意識せずに表示動作に関するアドレスマップドレジスタを書き換えても、表示のちらつきを生じさせないようにすることができます。

内部更新は表示システム制御レジスタ (DSYSR) における表示リセット (DRES) ビット = 1 の期間および毎フレームの先頭で行います。毎フレームの先頭で行う内部更新は、表示システム制御レジスタ (DSYSR) /IUPD (内部更新ディスエーブル) で禁止することができます。

また、表示モードレジスタ (DSMR) の ODPM2 (ビット 29) : ODDF 端子のピンモード 2、VSPM (ビット 28) : VSYNC 端子のピンモード、ODPM (ビット 27) : ODDF 端子のピンモード、DIPM (ビット 26、25) : DISP 端子のピンモード、CSPM (ビット 24) : CSYNC 端子のピンモード、DIL (ビット 19) : DISP 信号の極性反転ビット、VSL (ビット 18) : VSYNC 信号の極性反転ビット、HSL (ビット 17) : HSYNC 信号の極性反転ビットおよび出力信号タイミング調整レジスタ (OTAR) の全ビットは表示システム制御レジスタ (DSYSR) の表示リセット (DRES) にセットすることによって内部更新されます。

インタレースシンク & ビデオモードにおけるプレーン n 開始位置 X、Y レジスタ (PnSPXR、PnSPYR) は、フィールドの先頭においても内部更新されます。

更新のタイミングは、表示制御レジスタ (DSYSR) の同期方式が、マスタモード (TVM1 = 0、TVM0 = 0) のときは VSYNC の立ち下がり設定時となり、TV 同期モード (TVM1 = 1、TVM0 = 0) のときは EXVSYNC の立ち下がり検出時となります。また、同期方式移行モード (TVM1 = 0、TVM0 = 1) のときは内部更新を行いません。

ただし、プレーン n 表示領域開始アドレスレジスタ 0、プレーン n 表示領域開始アドレスレジスタ 1 およびプレーン n 表示領域開始レジスタ 2 は、表示動作のとき内部更新となり、ビデオデータおよび描画データをこれらのレジスタに設定したアドレスに書き込むときは外部更新となります。

内部更新機能付きのアドレスマップドレジスタを表 23.2 に示します。これらのレジスタの初期設定は、DRES ビット = 1 の期間に行ってください。

表 23.2 レジスタ構成

名称	略称	R/W	アドレス	アクセス サイズ	内部更新機能を持つビット
表示システム制御レジスタ	DSYSR	R/W	H'FFF80000	32bit	DSEC (bit20) DEN (bit8)
表示モードレジスタ	DSMR	R/W	H'FFF80004	32bit	全ビット ただし下記ビットは表示システム制御レジスタ (DSYSR) の表示リセット (DRES) で更新されます。 ODPM2 (bit29) VSPM (bit28) ODPM (bit27) DIPM (bit26、25) CSPM (bit24) DIL (bit19)、VSL (bit18) HSL (bit17)
表示ステータスレジスタ	DSSR	R/W	H'FFF80008	32bit	なし
表示ステータスレジスタクリアレジスタ	DSRCR	R/W	H'FFF8000C	32bit	なし
表示割り込み許可レジスタ	DIER	R/W	H'FFF80010	32bit	なし
カラーバレット制御レジスタ	CPCR	R/W	H'FFF80014	32bit	全ビット
表示プレーン優先順位レジスタ	DPPR	R/W	H'FFF80018	32bit	全ビット
表示拡張機能制御レジスタ	DEFR	R/W	H'FFF80020	32bit	全ビット DRES で更新
表示アルファ値プレーン制御レジスタ	DAPCR	R/W	H'FFF80024	32bit	全ビット
表示キャプチャ制御レジスタ	DCPCR	R/W	H'FFF80028	32bit	全ビット
表示拡張機能制御レジスタ 2	DEFR2	R/W	H'FFF80034	32bit	全ビット DRES で更新
水平表示開始位置レジスタ	HDSR	R/W	H'FFF80040	32bit	全ビット
水平表示終了位置レジスタ	HDER	R/W	H'FFF80044	32bit	全ビット
垂直表示開始位置レジスタ	VDSR	R/W	H'FFF80048	32bit	全ビット
垂直表示終了位置レジスタ	VDER	R/W	H'FFF8004C	32bit	全ビット
水平走査周期レジスタ	HCR	R/W	H'FFF80050	32bit	全ビット
水平同期パルス幅レジスタ	HSWR	R/W	H'FFF80054	32bit	全ビット
垂直走査周期レジスタ	VCR	R/W	H'FFF80058	32bit	全ビット
垂直同期位置レジスタ	VSPR	R/W	H'FFF8005C	32bit	全ビット
等価パルス幅レジスタ	EQWR	R/W	H'FFF80060	32bit	全ビット
セレーション幅レジスタ	SPWR	R/W	H'FFF80064	32bit	全ビット
CLAMP 信号開始位置レジスタ	CLAMP SR	R/W	H'FFF80070	32bit	全ビット
CLAMP 信号幅レジスタ	CLAMPWR	R/W	H'FFF80074	32bit	全ビット
DE 信号開始位置レジスタ	DESR	R/W	H'FFF80078	32bit	全ビット
DE 信号幅レジスタ	DEWR	R/W	H'FFF8007C	32bit	全ビット

名称	略称	R/W	アドレス	アクセス サイズ	内部更新機能を持つビット
カラーパレット透過色レジスタ	CP1TR	R/W	H'FFF80080	32bit	全ビット
表示オフ時出力レジスタ	DOOR	R/W	H'FFF80090	32bit	全ビット
色検出レジスタ	CDER	R/W	H'FFF80094	32bit	全ビット
下地色レジスタ	BPOR	R/W	H'FFF80098	32bit	全ビット
ラスト割り込みオフセットレジスタ	RINTOFSR	R/W	H'FFF8009C	32bit	全ビット
プレーン 1 モードレジスタ	P1MR	R/W	H'FFF80100	32bit	全ビット
プレーン 1 メモリ幅レジスタ	P1MWR	R/W	H'FFF80104	32bit	全ビット
プレーン 1 ブレンド比レジスタ	P1ALPHAR	R/W	H'FFF80108	32bit	全ビット
プレーン 1 表示サイズ X レジスタ	P1DSXR	R/W	H'FFF80110	32bit	全ビット
プレーン 1 表示サイズ Y レジスタ	P1DSYR	R/W	H'FFF80114	32bit	全ビット
プレーン 1 表示位置 X レジスタ	P1DPXR	R/W	H'FFF80118	32bit	全ビット
プレーン 1 表示位置 Y レジスタ	P1DPYR	R/W	H'FFF8011C	32bit	全ビット
プレーン 1 表示領域開始アドレス 0 レジスタ	P1DSA0R	R/W	H'FFF80120	32bit	全ビット
プレーン 1 表示領域開始アドレス 1 レジスタ	P1DSA1R	R/W	H'FFF80124	32bit	全ビット
プレーン 1 表示領域開始アドレス 2 レジスタ	P1DSA2R	R/W	H'FFF80128	32bit	全ビット
プレーン 1 開始位置 X レジスタ	P1SPXR	R/W	H'FFF80130	32bit	全ビット
プレーン 1 開始位置 Y レジスタ	P1SPYR	R/W	H'FFF80134	32bit	全ビット
プレーン 1 ラップアラウンド開始位置レジスタ	P1WASPR	R/W	H'FFF80138	32bit	全ビット
プレーン 1 ラップアラウンドメモリ幅レジスタ	P1WAMWR	R/W	H'FFF8013C	32bit	全ビット
プレーン 1 プリンキング周期レジスタ	P1BTR	R/W	H'FFF80140	32bit	全ビット
プレーン 1 透過色 1 レジスタ	P1TC1R	R/W	H'FFF80144	32bit	全ビット
プレーン 1 透過色 2 レジスタ	P1TC2R	R/W	H'FFF80148	32bit	全ビット
プレーン 1 メモリ長レジスタ	P1MLR	R/W	H'FFF80150	32bit	全ビット
プレーン 2 モードレジスタ	P2MR	R/W	H'FFF80200	32bit	全ビット
プレーン 2 メモリ幅レジスタ	P2MWR	R/W	H'FFF80204	32bit	全ビット
プレーン 2 ブレンド比レジスタ	P2ALPHAR	R/W	H'FFF80208	32bit	全ビット
プレーン 2 表示サイズ X レジスタ	P2DSXR	R/W	H'FFF80210	32bit	全ビット
プレーン 2 表示サイズ Y レジスタ	P2DSYR	R/W	H'FFF80214	32bit	全ビット
プレーン 2 表示位置 X レジスタ	P2DPXR	R/W	H'FFF80218	32bit	全ビット
プレーン 2 表示位置 Y レジスタ	P2DPYR	R/W	H'FFF8021C	32bit	全ビット
プレーン 2 表示領域開始アドレス 0 レジスタ	P2DSA0R	R/W	H'FFF80220	32bit	全ビット
プレーン 2 表示領域開始アドレス 1 レジスタ	P2DSA1R	R/W	H'FFF80224	32bit	全ビット
プレーン 2 表示領域開始アドレス 2 レジスタ	P2DSA2R	R/W	H'FFF80228	32bit	全ビット
プレーン 2 開始位置 X レジスタ	P2SPXR	R/W	H'FFF80230	32bit	全ビット
プレーン 2 開始位置 Y レジスタ	P2SPYR	R/W	H'FFF80234	32bit	全ビット
プレーン 2 ラップアラウンド開始位置レジスタ	P2WASPR	R/W	H'FFF80238	32bit	全ビット
プレーン 2 ラップアラウンドメモリ幅レジスタ	P2WAMWR	R/W	H'FFF8023C	32bit	全ビット

名称	略称	R/W	アドレス	アクセス サイズ	内部更新機能を持つビット
プレーン 2 ブリッキング周期レジスタ	P2BTR	R/W	H'FFF80240	32bit	全ビット
プレーン 2 透過色 1 レジスタ	P2TC1R	R/W	H'FFF80244	32bit	全ビット
プレーン 2 透過色 2 レジスタ	P2TC2R	R/W	H'FFF80248	32bit	全ビット
プレーン 2 メモリ長レジスタ	P2MLR	R/W	H'FFF80250	32bit	全ビット
プレーン 3 モードレジスタ	P3MR	R/W	H'FFF80300	32bit	全ビット
プレーン 3 メモリ幅レジスタ	P3MWR	R/W	H'FFF80304	32bit	全ビット
プレーン 3 ブレンド比レジスタ	P3ALPHAR	R/W	H'FFF80308	32bit	全ビット
プレーン 3 表示サイズ X レジスタ	P3DSXR	R/W	H'FFF80310	32bit	全ビット
プレーン 3 表示サイズ Y レジスタ	P3DSYR	R/W	H'FFF80314	32bit	全ビット
プレーン 3 表示位置 X レジスタ	P3DPXR	R/W	H'FFF80318	32bit	全ビット
プレーン 3 表示位置 Y レジスタ	P3DPYR	R/W	H'FFF8031C	32bit	全ビット
プレーン 3 表示領域開始アドレス 0 レジスタ	P3DSA0R	R/W	H'FFF80320	32bit	全ビット
プレーン 3 表示領域開始アドレス 1 レジスタ	P3DSA1R	R/W	H'FFF80324	32bit	全ビット
プレーン 3 表示領域開始アドレス 2 レジスタ	P3DSA2R	R/W	H'FFF80328	32bit	全ビット
プレーン 3 開始位置 X レジスタ	P3SPXR	R/W	H'FFF80330	32bit	全ビット
プレーン 3 開始位置 Y レジスタ	P3SPYR	R/W	H'FFF80334	32bit	全ビット
プレーン 3 ラップアラウンド開始位置レジスタ	P3WASPR	R/W	H'FFF80338	32bit	全ビット
プレーン 3 ラップアラウンドメモリ幅レジスタ	P3WAMWR	R/W	H'FFF8033C	32bit	全ビット
プレーン 3 ブリッキング周期レジスタ	P3BTR	R/W	H'FFF80340	32bit	全ビット
プレーン 3 透過色 1 レジスタ	P3TC1R	R/W	H'FFF80344	32bit	全ビット
プレーン 3 透過色 2 レジスタ	P3TC2R	R/W	H'FFF80348	32bit	全ビット
プレーン 3 メモリ長レジスタ	P3MLR	R/W	H'FFF80350	32bit	全ビット
プレーン 4 モードレジスタ	P4MR	R/W	H'FFF80400	32bit	全ビット
プレーン 4 メモリ幅レジスタ	P4MWR	R/W	H'FFF80404	32bit	全ビット
プレーン 4 ブレンド比レジスタ	P4ALPHAR	R/W	H'FFF80408	32bit	全ビット
プレーン 4 表示サイズ X レジスタ	P4DSXR	R/W	H'FFF80410	32bit	全ビット
プレーン 4 表示サイズ Y レジスタ	P4DSYR	R/W	H'FFF80414	32bit	全ビット
プレーン 4 表示位置 X レジスタ	P4DPXR	R/W	H'FFF80418	32bit	全ビット
プレーン 4 表示位置 Y レジスタ	P4DPYR	R/W	H'FFF8041C	32bit	全ビット
プレーン 4 表示領域開始アドレス 0 レジスタ	P4DSA0R	R/W	H'FFF80420	32bit	全ビット
プレーン 4 表示領域開始アドレス 1 レジスタ	P4DSA1R	R/W	H'FFF80424	32bit	全ビット
プレーン 4 表示領域開始アドレス 2 レジスタ	P4DSA2R	R/W	H'FFF80428	32bit	全ビット
プレーン 4 開始位置 X レジスタ	P4SPXR	R/W	H'FFF80430	32bit	全ビット
プレーン 4 開始位置 Y レジスタ	P4SPYR	R/W	H'FFF80434	32bit	全ビット
プレーン 4 ラップアラウンド開始位置レジスタ	P4WASPR	R/W	H'FFF80438	32bit	全ビット
プレーン 4 ラップアラウンドメモリ幅レジスタ	P4WAMWR	R/W	H'FFF8043C	32bit	全ビット
プレーン 4 ブリッキング周期レジスタ	P4BTR	R/W	H'FFF80440	32bit	全ビット

名称	略称	R/W	アドレス	アクセス サイズ	内部更新機能を持つビット
プレーン 4 透過色 1 レジスタ	P4TC1R	R/W	H'FFF80444	32bit	全ビット
プレーン 4 透過色 2 レジスタ	P4TC2R	R/W	H'FFF80448	32bit	全ビット
プレーン 4 メモリ長レジスタ	P4MLR	R/W	H'FFF80450	32bit	全ビット
アルファ値プレーン 1 モードレジスタ	AP1MR	R/W	H'FFF8A100	32bit	全ビット
アルファ値プレーン 1 メモリ幅レジスタ	AP1MWR	R/W	H'FFF8A104	32bit	全ビット
アルファ値プレーン 1 表示サイズ X レジスタ	AP1DSXR	R/W	H'FFF8A110	32bit	全ビット
アルファ値プレーン 1 表示サイズ Y レジスタ	AP1DSYR	R/W	H'FFF8A114	32bit	全ビット
アルファ値プレーン 1 表示位置 X レジスタ	AP1DPXR	R/W	H'FFF8A118	32bit	全ビット
アルファ値プレーン 1 表示位置 Y レジスタ	AP1DPYR	R/W	H'FFF8A11C	32bit	全ビット
アルファ値プレーン 1 表示領域開始アドレス 0 レジスタ	AP1DSA0R	R/W	H'FFF8A120	32bit	全ビット
アルファ値プレーン 1 表示領域開始アドレス 1 レジスタ	AP1DSA1R	R/W	H'FFF8A124	32bit	全ビット
アルファ値プレーン 1 表示領域開始アドレス 2 レジスタ	AP1DSA2R	R/W	H'FFF8A128	32bit	全ビット
アルファ値プレーン 1 開始位置 X レジスタ	AP1SPXR	R/W	H'FFF8A130	32bit	全ビット
アルファ値プレーン 1 開始位置 Y レジスタ	AP1SPYR	R/W	H'FFF8A134	32bit	全ビット
アルファ値プレーン 1 ラップアラウンド開始位置レジスタ	AP1WASPR	R/W	H'FFF8A138	32bit	全ビット
アルファ値プレーン 1 ラップアラウンドメモリ幅レジスタ	AP1WAMWR	R/W	H'FFF8A13C	32bit	全ビット
アルファ値プレーン 1 ブリンク周期レジスタ	AP1BTR	R/W	H'FFF8A140	32bit	全ビット
アルファ値プレーン 1 メモリ長レジスタ	AP1MLR	R/W	H'FFF8A150	32bit	全ビット
表示キャプチャメモリ幅レジスタ	DCMWR	R/W	H'FFF8C104	32bit	全ビット
表示キャプチャ格納領域開始アドレスレジスタ	DCSAR	R/W	H'FFF8C120	32bit	全ビット
表示キャプチャメモリ長レジスタ	DCMLR	R/W	H'FFF8C150	32bit	全ビット
カラーパレットレジスタ 000	CP1_000R	R/W	H'FFF81000	32bit	全ビット
~					
x カラーパレットレジスタ 255	CP1_255R	R/W	H'FFF813FC	32bit	全ビット
外部同期制御レジスタ	ESCR	R/W	H'FFF90000	32bit	なし
出力信号タイミング調整レジスタ	OTAR	R/W	H'FFF90004	32bit	表示システム制御レジスタ (DSYSR) の表示リセット (DRES) で更新されます。

23.2 レジスタの説明

【レジスタ説明の記号説明】

- 初期値 : リセット後のレジスタ値
: 不定値
- R/W : リードおよびライト可。書き込み値を読み出すことができます。
- R/WC0 : リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。
- R : リードのみ可。書き込む値は常に 0 にしてください。
- /WB : ライトのみ可。読み出し値は不定です。
- プレーン n : プレーン 1 からプレーン 8 を示します。

23.2.1 表示制御レジスタ

(1) 表示システム制御レジスタ (DSYSR : Display unit SYStem control Register)

- アドレス : H'FFF80000

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ILTS	—	—	—	—	—	—	—	—	DSEC	—	—	—	IUPD
初期値 :	—	—	0	—	—	—	—	—	—	—	—	0	—	—	—	0
R/W :	R	R	R/W	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DRES	DEN	TVM	SCM	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	1	0	1	0	0	0	—	—	—	—
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31、30	-	-	R	-	リザーブビットです。
29	ILTS	0	R/W	あり	入力端子取り込みタイミング選択 (Input pad Latch Timing Select) ビット 29 を有効にするには表示拡張機能制御レジスタ (DEFR) / DEFE に 1 を設定してください。初期状態ではビット 29 は 0 固定となります。 0 : 入力端子の信号は DCLKIN の立ち上がりで取り込みます。 (初期値) 1 : 入力端子の信号は DCLKIN の立ち下がりで取り込みます。電気的特性は対象外となります。
28~21	-	-	R	-	リザーブビットです。
20	DSEC	0	R/W	あり	表示データエンディアン変換 (DiSplay data Endian Change) データスワップの詳細に関しては、「23.3.7 エンディアン変換」を参照してください。 0 : メモリ上の表示データをバイトデータ/ワードデータスワップを行いません。 1 : メモリ上の表示データをバイトデータ/ワードデータスワップを行います。

ビット	ビット名	初期値	R/W	内部更新	説 明
19~17	-	-	R	-	リザーブビットです。
16	IUPD	0	R/W	あり	<p>内部更新ディスエーブル (Internal UPdating Disable) DRES=1 の場合は本ビットに関係なく内部更新します。 内部更新の詳細に関しては「23.1.4(2) 内部更新」を参照してください。</p> <p>0: 内部更新は垂直同期信号 (VSYNC) アサートごとに行われます。 1: 本ビットに 1 を設定することにより内部更新を禁止することができます。</p> <p>本ビットに 0 が設定されると、次の垂直同期信号 (VSYNC) によりレジスタ更新が行われます。</p>
15~10	-	-	R	-	リザーブビットです。

ビット	ビット名	初期値	R/W	内部更新	説 明
9	DRES	1	R/W	なし	表示リセット (Display RESet)
8	DEN	0	R/W	あり	<p>表示イネーブル (Display ENable)</p> <p>00: 表示同期動作を開始します。</p> <p>未設定のレジスタがある場合、予期せぬ動作をする場合がありますので、ディスプレイユニット (DU) 内のすべてのレジスタ設定後に DRES=0 にしてください。</p> <p>DEN=0 では、表示データは表示オフ時出力レジスタ (DOOR) に設定された値となります。</p> <p>01: 表示同期動作を開始します。</p> <p>未設定のレジスタがある場合、予期せぬ動作をする場合がありますので、ディスプレイユニット (DU) 内のすべてのレジスタ設定後に DRES=0、DEN=1 にしてください。</p> <p>DEN=1 では、表示データは次のフレームからメモリ上に格納された値となります。</p> <p>10: 表示同期動作を停止します。</p> <p>表示動作および同期動作が停止します。表示ステータスレジスタ (DSSR) の下記ビットを除きレジスタ設定値は保持します。本設定では以下のように動作します。</p> <p>(1) 表示データは、すべて 0 が出力されます。</p> <p>(2) 表示ステータスレジスタ (DSSR) の下記ビットを 0 クリアします。</p> <ul style="list-style-type: none"> ・ TV 同期信号エラーフラグ (TVR) ・ フレームフラグ (FRM) ・ 垂直ブランキングフラグ (VBK) ・ ラスタ割り込みフラグ (RINT) ・ 水平ブランキングフラグ (HBK) <p>(3) $\overline{\text{HSYNC}}$、$\overline{\text{VSYNC}}$、ODDF 端子は入力となります。</p> <p>ただし、表示モードレジスタ (DSMR) の ODPM ビット=1 のとき、ODDF 端子は CLAMP 出力となります。</p> <p>11: 設定禁止</p>

ビット	ビット名	初期値	R/W	内部更新	説 明
7、6	TVM	10	R/W	なし	<p>TV 同期モード (TV synchronization Mode)</p> <p>00 : マスタモード。 HSYNC、VSYNC、CSYNC を出力します。</p> <p>01 : 同期方式の切り替えモードになります。</p> <p>TV 同期モードからマスタモード、またはマスタモードから TV 同期モードへの切り替えは、必要な場合、本モードを経由して行ってください。本モードでは表示系の動作が強制停止し、DISP 端子は Low を出力します。また、DCLK へのクロック供給を停止(入力は無効)することもできます(LSI 内部は High 固定)。EXHSYNC、VSYNC、ODDF は入力となります。</p> <p>10 : TV 同期モード。(初期値) EXHSYNC、EXVSYNC、ODDF を入力します。ただし、表示モードレジスタ (DSMR)/ODPM が 1 のとき、ODDF 端子は出力となります。</p> <p>11 : 設定禁止</p>
5、4	SCM	00	R/W	なし	<p>スキャンモード (SCan Mode)</p> <p>00 : ノンインタレースモード</p> <p>01 : 設定禁止</p> <p>10 : インタレースシンクモード</p> <p>11 : インタレースシンク & ビデオモード</p>
3~0	-	-	R	-	リザーブビットです。

(2) 表示モードレジスタ (DSMR : Display unit Mode Register)

- アドレス : H'FFF80004

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ODPM ₂	VSPM	ODPM	DIPM	CSPM	—	—	—	—	DIL	VSL	HSL	DDIS	
初期値 :	—	—	0	0	0	0	0	0	—	—	—	—	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDEL	CDEM	CDED	—	—	—	ODEV	CSY	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	—	—	—	0	0	0	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31、30	-	-	R	-	リザーブビットです。
29	ODPM2	0	R/W	あり	ODPM ビットの説明参照
28	VSPM	0	R/W	あり	VSYNC ピンモード (VSync Pin Mode) 0 : VSYNC 端子に VSYNC 信号を出力します。(初期値) 1 : VSYNC 端子に CSYNC 信号を出力します。
27	ODPM	0	R/W	あり	ODDF ピンモード (ODdf Pin Mode) ODPM2 が 0 のとき 0 : ODDF 端子に ODDF 信号を出力します。(初期値) 1 : ODDF 端子に CLAMP 信号を出力します。表示制御レジスタ (DSYSR)/TVM が TV 同期モードの場合でも、ODDF 端子は出力となります。 ODPM2 が 1 のとき 0 : ODDF 端子に CSYNC 信号を出力します。 1 : 設定禁止 (0 固定になります)
26、25	DIPM	00	R/W	あり	DISP ピンモード (Disp Pin Mode) 00 : DISP 端子に DISP 信号を出力します。(初期値) 01 : DISP 端子に CSYNC 信号を出力します。 10 : 設定禁止。(0 固定になります。) 11 : DISP 端子に DE 信号を出力します。
24	CSPM	0	R/W	あり	CSYNC ピンモード (CSync Pin Mode) 0 : HSYNC 端子に CSYNC 信号を出力します。(初期値) 1 : HSYNC 端子に HSYNC 信号を出力します。
23~20	-	-	R	-	リザーブビットです。
19	DIL	0	R/W	あり	DISP 極性選択 (Disp poLarity select) 0 : DISP 信号は表示期間が High レベルとなります。(初期値) 1 : DISP 信号の極性を逆にします。
18	VSL	0	R/W	あり	Vsync 極性選択 (Vsync polarity SeLect) 0 : VSYNC 信号は Low アクティブになります。(初期値) 1 : VSYNC の極性を逆にします。

ビット	ビット名	初期値	R/W	内部更新	説明
17	HSL	0	R/W	あり	Hsync 極性選択 (Hsync polarity SeLect) 0: HSYNC 信号は Low アクティブになります。(初期値) 1: HSYNC 信号の極性を逆にします。
16	DDIS	0	R/W	あり	DISP 出力ディスエーブル (Disp DISable) 0: DISP 信号を出力します。(初期値) 1: DISP 信号を出力しません。
15	CDEL	0	R/W	あり	CDE 極性選択 (CDE polarity SeLect) 0: CDE 信号は出力表示データと色検出レジスタ (CDER) が一致したとき、High となります。(初期値) 1: CDE 信号の極性を逆にします。
14、13	CDEM	00	R/W	あり	CDE 出力モード (CDE output Mode) 00: CDE 信号をそのまま出力します。(初期値) 01: CDE 信号をそのまま出力します。 10: 表示期間外は Low レベルを出力します。 11: 表示期間外は High レベルを出力します。
12	CDED	0	R/W	あり	CDE ディスエーブル (CDE Disable) 0: CDE 信号を出力します。(初期値) 1: CDE 信号の出力を禁止します。
11~9	-	-	R	-	リザーブビットです。
8	ODEV	0	R/W	あり	ODDF 信号極性選択 (ODd EVen select for ODDF signal) 0: インタレース表示の同一フレームにおいて、ODDF=Low により前半のフィールドを示します。(初期値) 1: インタレース表示の同一フレームにおいて、ODDF=High により前半のフィールドを示します。
7、6	CSY	00	R/W	あり	CSYNC モード (CSYnc mode) 00: VSYNC と HSYNC で排他的論理和をとった波形を CSYNC として出力します。(初期値) 01: 設定禁止 10: SYNC 立ち下がりから 3 ラスタの期間は等価パルス、その後 3 ラスタはセレーション、その後 3 ラスタは等価パルス、それ以外の期間は HSYNC の波形を CSYNC として出力します。 11: VSYNC 立ち下がりから 1/2 ラスタ後、2.5 ラスタの期間は等価パルス、その後 2.5 ラスタはセレーション、その後 2.5 ラスタは等化パルス、それ以外の期間は HSYNC の波形を CSYNC として出力します。
5~0	-	-	R	-	リザーブビットです。

(3) 表示ステータスレジスタ (DSSR : DiSplay Unit Status Register)

● アドレス : H'FFF80008

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	VCFB	—	—	—	DFB9	—	—	—	—	DFB4	DFB3	DFB2	DFB1	
初期値 :	—	—	1	1	—	—	0	0	—	—	—	—	0	0	0	0
R/W :	R	R	R	R	R	R	—	R	—	—	—	—	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TVR	FRM	—	—	VBK	—	RINT	HBK	—	—	—	—	ADC4	ADC3	ADC2	ADC1
初期値 :	0	0	—	—	0	—	0	0	—	—	—	—	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	—	—	—	—	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31、30	-	-	R	-	リザーブビットです。
29、28	VCFB	11	R	なし	ビデオキャプチャフレームバッファフラグ (Video Capture Frame Buffer Flag) 00 : ビデオキャプチャに設定したプレーンにおいて PnDSA0R で示されるアドレスを表示領域開始アドレスとして使用中。 01 : ビデオキャプチャに設定したプレーンにおいて PnDSA1R で示されるアドレスを表示領域開始アドレスとして使用中。 10 : ビデオキャプチャに設定したプレーンにおいて PnDSA2R で示されるアドレスを表示領域開始アドレスとして使用中。 11 : ビデオキャプチャモジュールが初期状態です。(初期値)
27、26	-	-	R	-	リザーブビットです。
25		0			リザーブビットです
24	DFB9	0	R	なし	ディスプレイフレームバッファ 9 フラグ (Display Frame Buffer 9 Flag) 0 : アルファ値プレーン 1 において AP1SA0R で示されるアドレスを表示領域開始アドレスとして使用中。(初期値) 1 : アルファ値プレーン 1 において AP1SA1R で示されるアドレスを表示領域開始アドレスとして使用中。
23~20					リザーブビットです
19	DFB4	0	R	なし	ディスプレイフレームバッファ 4 フラグ (Display Frame Buffer 4 Flag) 0 : プレーン 4 において P4DSA0R で示されるアドレスを表示領域開始アドレスとして使用中。(初期値) 1 : プレーン 4 において P4DSA1R で示されるアドレスを表示領域開始アドレスとして使用中。

ビット	ビット名	初期値	R/W	内部更新	説明
18	DFB3	0	R	なし	ディスプレイフレームバッファ 3 フラグ (Display Frame Buffer 3 Flag) 0: プレーン 3 において P3DSA0R で示されるアドレスを表示領域開始アドレスとして使用中。(初期値) 1: プレーン 3 において P3DSA1R で示されるアドレスを表示領域開始アドレスとして使用中。
17	DFB2	0	R	なし	ディスプレイフレームバッファ 2 フラグ (Display Frame Buffer 2 Flag) 0: プレーン 2 において P2DSA0R で示されるアドレスを表示領域開始アドレスとして使用中。(初期値) 1: プレーン 2 において P2DSA1R で示されるアドレスを表示領域開始アドレスとして使用中。
16	DFB1	0	R	なし	ディスプレイフレームバッファ 1 フラグ (Display Frame Buffer 1 Flag) 0: プレーン 1 において P1DSA0R で示されるアドレスを表示領域開始アドレスとして使用中。(初期値) 1: プレーン 1 において P1DSA1R で示されるアドレスを表示領域開始アドレスとして使用中。
15	TVR	0	R	なし	TV 同期信号エラーフラグ (TV synchronization eRror flag) 0: 表示システム制御レジスタ (DSYSR) の DRES ビットまたは表示ステータスレジスタクリアレジスタ (DSRCR) の TVCL ビットにより TVR ビットをクリアしてから、垂直走査周期レジスタ (VCR) の設定で決まる垂直周期内に、EXVSYNC の立ち上がり毎に検出されていることを示します。(初期値) 1: TV 同期モード時に、垂直走査周期レジスタ (VCR) の設定値で決まる垂直周期内に、EXVSYNC の立ち上がり毎に検出されなかったことを示します。TVR ビットは DRES ビットまたは TVCL ビットによりクリアされるまで状態を保持します。
14	FRM	0	R	なし	フレームフラグ (FRaMe flag) 0: 表示システム制御レジスタ (DSYSR) の DRES ビットまたは表示ステータスレジスタクリアレジスタ (DSRCR) の FRCL ビットにより FRM ビットをクリアしてから、ノンインタレースでは次の表示終了までの期間を示し、インタレースシンクまたはインタレースシンク & ビデオでは次の偶数フィールドの表示終了までの期間を示します。(初期値) 1: DRES ビットまたは FRCL ビットにより FRM ビットをクリアした後の最初の偶数フィールドの垂直ブランキング期間から再度 FRM ビットをクリアするまでの期間を示します。(フレーム単位)
13、12	-	-	R	-	リザーブビットです。

ビット	ビット名	初期値	R/W	内部更新	説明
11	VBK	0	R	なし	<p>垂直ブランキングフラグ (Vertical Blanking flag)</p> <p>0: 表示システム制御レジスタ (DSYSR) の DRES ビットまたは表示ステータスレジスタクリアレジスタ (DSRCR) の VBCL ビットにより VBK ビットをクリアしてから次の表示終了までの期間を示します。(初期値)</p> <p>1: DRES ビットまたは VBCL ビットにより VBK ビットをクリアした後の最初の垂直ブランキング期間から再度 VBK ビットをクリアするまでの期間を示します。(フィールド単位)</p>
10	-	-	R	-	リザーブビットです。
9	RINT	0	R	なし	<p>ラスタ割り込みフラグ (Raster Interrupt flag)</p> <p>0: 表示システム制御レジスタ (DSYSR) の DRES ビットまたは表示ステータスレジスタクリアレジスタ (DSRCR) の RICL ビットにより RINT ビットをクリアした後、次の表示開始からラスタ割り込みオフセットレジスタで設定されたラスタが経過するまでの期間を示します。(初期値)</p> <p>1: DRES ビットまたは RICL ビットにより RINT ビットをクリアした後、次の表示開始からラスタ割り込みオフセットレジスタで設定されたラスタが経過した後から、再度ビットをクリアするまでの期間を示します。</p>
8	HBK	0	R	なし	<p>水平ブランキングフラグ (Horizontal Blanking Flag)</p> <p>0: 表示システム制御レジスタ (DSYSR) の DRES ビットまたは表示ステータスレジスタクリアレジスタ (DSRCR) の HBCL ビットにより HBK ビットをクリアしてから次の HSYNC アサートまでの期間を示します。(初期値)</p> <p>1: DRES ビットまたは HBCL ビットにより HBK ビットをクリアした後の最初の水平ブランキング期間から再度 HBK ビットをクリアするまでの期間を示します。</p>
7~4					リザーブビットです
3	ADC4	0	R	なし	<p>オートレンダリングディスプレイチェンジフラグ 4 (Auto rendering Display Change flag 4)</p> <p>0: プレーン 4 のフレームバッファの切り替えが行われていません。(初期値)</p> <p>1: プレーン 4 のフレームバッファの切り替えが行われたことを示します。ADC4 ビットはクリアされるまで状態を保持します。</p>
2	ADC3	0	R	あり	<p>オートレンダリングディスプレイチェンジフラグ 3 (Auto rendering Display Change flag 3)</p> <p>0: プレーン 3 のフレームバッファの切り替えが行われていません。(初期値)</p> <p>1: プレーン 3 のフレームバッファの切り替えが行われたことを示します。ADC3 ビットはクリアされるまで状態を保持します。</p>

ビット	ビット名	初期値	R/W	内部更新	説明
1	ADC2	0	R	なし	オートレンダリングディスプレイチェンジフラグ2 (Auto rendering Display Change flag 2) 0: プレーン 2 のフレームバッファの切り替えが行われていません。(初期値) 1: プレーン 2 のフレームバッファの切り替えが行われたことを示します。ADC2 ビットはクリアされるまで状態を保持します。
0	ADC1	0	R	なし	オートレンダリングディスプレイチェンジフラグ1 (Auto rendering Display Change flag 1) 0: プレーン 1 のフレームバッファの切り替えが行われていません。(初期値) 1: プレーン 1 のフレームバッファの切り替えが行われたことを示します。ADC1 ビットはクリアされるまで状態を保持します。

【注】 ADC についての説明

アニメーション表示を行う場合にオートレンダリングモードで動画表示を行うことが可能ですが、このとき、

TRAP 割り込みをチェックする。

この後、VBK 割り込みをチェック。

VBK 割り込みが発生した後、レンダリングスタートするようにより2回フラグチェックを行う必要があります。

本フラグビット (ADC) を使用することで1回のフラグチェックでADC割り込みを行い、レンダリングスタートすることが可能になります。

(4) 表示ステータスレジスタクリアレジスタ (DSRCR : Display unit Status Register Clear Register)

- アドレス : H'FFF8000C

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TVCL	FRCL	—	—	VBCL	—	RICL	HBCL	—	—	—	—	ADCL4	ADCL3	ADCL2	ADCL1
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	—/WB	—/WB	R	R	—/WB	R	—/WB	—/WB	—	—	—	—	—/WB	—/WB	—/WB	—/WB

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	-	-	R	-	リザーブビットです。
15	TVCL	-	-/WB	なし	TV 同期信号エラーフラグクリア 0: 表示ステータスレジスタ (DSSR) の TVR フラグを変更しません。 1: 表示ステータスレジスタ (DSSR) の TVR フラグを 0 にクリアします。
14	FRCL	-	-/WB	なし	フレームフラグクリア 0: 表示ステータスレジスタ (DSSR) の FRM フラグを変更しません。 1: 表示ステータスレジスタ (DSSR) の FRM フラグを 0 にクリアします。
13、12	-	-	R	-	リザーブビットです。
11	VBCL	-	-/WB	なし	垂直ブランキングフラグクリア 0: 表示ステータスレジスタ (DSSR) の VBK フラグを変更しません。 1: 表示ステータスレジスタ (DSSR) の VBK フラグを 0 にクリアします。
10	-	-	R	-	リザーブビットです。
9	RICL	-	-/WB	なし	ラスト割り込みフラグクリア 0: 表示ステータスレジスタ (DSSR) の RINT フラグを変更しません。 1: 表示ステータスレジスタ (DSSR) の RINT フラグを 0 にクリアします。
8	HBCL	-	-/WB	なし	HBK フラグクリア 0: 表示ステータスレジスタ (DSSR) の HBK フラグを変更しません。 1: 表示ステータスレジスタ (DSSR) の HBK フラグを 0 にクリアします。
7~4		-	-	なし	リザーブビットです

ビット	ビット名	初期値	R/W	内部更新	説 明
3	ADCL4	-	-/WB	なし	オートレンダリングディスプレイチェンジフラグクリア 4 0: 表示ステータスレジスタ (DSSR) の ADC フラグ 4 を変更しません。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ 4 を 0 にクリアします。
2	ADCL3	-	-/WB	なし	オートレンダリングディスプレイチェンジフラグクリア 3 0: 表示ステータスレジスタ (DSSR) の ADC フラグ 3 を変更しません。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ 3 を 0 にクリアします。
1	ADCL2	-	-/WB	なし	オートレンダリングディスプレイチェンジフラグクリア 2 0: 表示ステータスレジスタ (DSSR) の ADC フラグ 2 を変更しません。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ 2 を 0 にクリアします。
0	ADCL1	-	-/WB	なし	オートレンダリングディスプレイチェンジフラグクリア 1 0: 表示ステータスレジスタ (DSSR) の ADC フラグ 1 を変更しません。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ 1 を 0 にクリアします。

(5) 表示割り込み許可レジスタ (DIER : Display unit Interrupt Enable Register)

• アドレス : H'FFF80010

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TVE	FRE	—	—	VBE	—	RIE	HBE	—	—	—	—	ADCE4	ADCE3	ADCE2	ADCE1
初期値 :	0	0	—	—	0	—	0	0	—	—	—	—	0	0	0	0
R/W :	R/W	R/W	R	R	R/W	R	R/W	R/W	—	—	—	—	R/W	R/W	R/W	R/W

表示割り込み許可レジスタ (DIER) は、表示ステータスレジスタ (DSSR) に反映されるディスプレイユニット内部状態を要因とした、CPU への割り込みを許可するレジスタです。本レジスタにビットセットすると、表示ステータスレジスタ (DSSR) の同一ビット位置へビットセットされた場合に CPU への割り込みを発生します。

ビット	ビット名	初期値	R/W	内部更新	説明
31 ~ 16	-	-	R	-	リザーブビットです。
15	TVE	0	R/W	なし	TV 同期信号エラーフラグ割り込み許可 0 : 表示ステータスレジスタ (DSSR) の TVR フラグ割り込みを禁止します。 1 : 表示ステータスレジスタ (DSSR) の TVR フラグ割り込みを許可します。
14	FRE	0	R/W	なし	フレームフラグ割り込み許可 0 : 表示ステータスレジスタ (DSSR) の FRM フラグ割り込みを禁止します。 1 : 表示ステータスレジスタ (DSSR) の FRM フラグ割り込みを許可します。
13, 12	-	-	R	-	リザーブビットです。
11	VBE	0	R/W	なし	垂直ブランキングフラグ割り込み許可 0 : 表示ステータスレジスタ (DSSR) の VBK フラグ割り込みを禁止します。 1 : 表示ステータスレジスタ (DSSR) の VBK フラグ割り込みを許可します。
10	-	-	R	-	リザーブビットです。
9	RIE	0	R/W	なし	ラスト割り込みフラグ割り込み許可 0 : 表示ステータスレジスタ (DSSR) の RINT フラグ割り込みを禁止します。 1 : 表示ステータスレジスタ (DSSR) の RINT フラグ割り込みを許可します。

ビット	ビット名	初期値	R/W	内部更新	説明
8	HBE	0	R/W	なし	HBK フラグ割り込み許可 0: 表示ステータスレジスタ (DSSR) の HBK フラグ割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の HBK フラグ割り込みを許可します。
7~4					リザーブビットです。
3	ADCE4	0	R/W	なし	オートレンダリングディスプレイチェンジフラグ 4 割り込み許可 0: 表示ステータスレジスタ (DSSR) の ADC フラグ 4 割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ 4 割り込みを許可します。
2	ADCE3	0	R/W	なし	オートレンダリングディスプレイチェンジフラグ 3 割り込み許可 0: 表示ステータスレジスタ (DSSR) の ADC フラグ 3 割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ 3 割り込みを許可します。
1	ADCE2	0	R/W	なし	オートレンダリングディスプレイチェンジフラグ 2 割り込み許可 0: 表示ステータスレジスタ (DSSR) の ADC フラグ 2 割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ 2 割り込みを許可します。
0	ADCE1	0	R/W	なし	オートレンダリングディスプレイチェンジフラグ 1 割り込み許可 0: 表示ステータスレジスタ (DSSR) の ADC フラグ 1 割り込みを禁止します。 1: 表示ステータスレジスタ (DSSR) の ADC フラグ 1 割り込みを許可します。

ディスプレイユニット (DU) からの割り込み発生は表示ステータスレジスタと本レジスタから次の条件となります。

割り込み発生条件 = a + b + c + d + e + h + i + j + k

- a = TVR · TVE
- b = FRM · FRE
- c = VBK · VBE
- d = RINT · RIE
- e = HBK · HBE
- h = ADC4 · ADCE4
- i = ADC3 · ADCE3
- j = ADC2 · ADCE2
- k = ADC1 · ADCE1

(6) カラーパレット制御レジスタ (CPCR : Color Palette Control Register)

• アドレス : H'FFF80014

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CP1CE
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説 明
31~17	-	-	R	-	リザーブビットです。
16	CP1CE	0	R/W	あり	カラーパレット切り替えイネーブル (Color Palette Change Enable) 0 : カラーパレットの切り替えを行いません。 1 : カラーパレットの切り替えを行います。切り替えは表示システム制御レジスタ (DSYSR) のビット 9 (DRES) を 1 から 0 に設定したとき、または、内部更新タイミング時です。本ビットは 1 設定のみ有効で、0 設定は無効となります。カラーパレットの切り替え後、0 にクリアされます。1 設定とクリアが同時に発生した場合は 0 クリアが優先します。
15~0	-	-	R	-	リザーブビットです。

(7) 表示プレーン優先順位レジスタ (DPPR : Display Plane Priority Register)

- アドレス : H'FFF80018

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	DPE5	DPS5		
初期値 :	0	1	1	1	0	1	1	0	0	1	0	1	0	1	0	0
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DPE4		DPS4		DPE3		DPS3		DPE2		DPS2		DPE1		DPS1	
初期値 :	0	0	1	1	0	0	1	0	0	0	0	1	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

画面合成の順番と表示 ON・OFF を定義します。

ビット	ビット名	初期値	R/W	内部更新	説明
31		0			リザーブビットです。
30~28		111			
27		0			
26~24		110			
23		0			
22~20		101			
19	DPE5	0	R/W	あり	表示プレーン優先順位 5 許可 (Display plane Priority 5 Enable)
18~16	DPS5	100	R/W	あり	表示プレーン優先順位 5 選択 (Display plane Priority 5 Select) 1000 : 優先順位 5 にプレーン 1 を選択し、表示します。 1001 : 優先順位 5 にプレーン 2 を選択し、表示します。 1010 : 優先順位 5 にプレーン 3 を選択し、表示します。 1011 : 優先順位 5 にプレーン 4 を選択し、表示します。 0--- : 優先順位 5 は表示しません。
15	DPE4	0	R/W	あり	表示プレーン優先順位 4 許可 (Display plane Priority 4 Enable)
14~12	DPS4	011	R/W	あり	表示プレーン優先順位 4 選択 (Display plane Priority 4 Select) 1000 : 優先順位 4 にプレーン 1 を選択し、表示します。 1001 : 優先順位 4 にプレーン 2 を選択し、表示します。 1010 : 優先順位 4 にプレーン 3 を選択し、表示します。 1011 : 優先順位 4 にプレーン 4 を選択し、表示します。 0--- : 優先順位 4 は表示しません。

ビット	ビット名	初期値	R/W	内部更新	説 明
11	DPE3	0	R/W	あり	表示プレーン優先順位 3 許可 (Display plane Priority 3 Enable)
10~8	DPS3	010	R/W	あり	表示プレーン優先順位 3 選択 (Display plane Priority 3 Select) 1000 : 優先順位 3 にプレーン 1 を選択し、表示します。 1001 : 優先順位 3 にプレーン 2 を選択し、表示します。 1010 : 優先順位 3 にプレーン 3 を選択し、表示します。 1011 : 優先順位 3 にプレーン 4 を選択し、表示します。 0--- : 優先順位 3 は表示しません。
7	DPE2	0	R/W	あり	表示プレーン優先順位 2 許可 (Display plane Priority 2 Enable)
6~4	DPS2	001	R/W	あり	表示プレーン優先順位 2 選択 (Display plane Priority 2 Select) 1000 : 優先順位 2 にプレーン 1 を選択し、表示します。 1001 : 優先順位 2 にプレーン 2 を選択し、表示します。 1010 : 優先順位 2 にプレーン 3 を選択し、表示します。 1011 : 優先順位 2 にプレーン 4 を選択し、表示します。 0--- : 優先順位 2 は表示しません。
3	DPE1	0	R/W	あり	表示プレーン優先順位 1 許可 (Display plane Priority 1 Enable)
2~0	DPS1	000	R/W	あり	表示プレーン優先順位 1 選択 (Display plane Priority 1 Select) 1000 : 優先順位 1 にプレーン 1 を選択し、表示します。 1001 : 優先順位 1 にプレーン 2 を選択し、表示します。 1010 : 優先順位 1 にプレーン 3 を選択し、表示します。 1011 : 優先順位 1 にプレーン 4 を選択し、表示します。 0--- : 優先順位 1 は表示しません。

(8) 表示拡張機能制御レジスタ (DEFR : Display unit Extensional Function enable Register)

- アドレス : H'FFF80020

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CODE															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	EXSL	EXVL	—	—	—	—	—	EXUP	VCUP	—	—	—	DEFE
初期値 :	—	—	—	0	0	—	—	—	—	—	0	0	—	—	—	0
R/W :	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	CODE	-	-/WB	なし	表示拡張機能制御レジスタ有効コード (register available CODE) 表示拡張機能制御レジスタを有効とするために、レジスタライト時にビット 31~16 を H'7773 に設定してください。
15~13	-	-	R	-	リザーブビットです。
12	EXSL	0	R/W	あり	外部 SYNC 信号選択 (External Sync Signal Select) 0 : 外部 SYNC 信号 (EXVSYNC、EXHSYNX) は端子からの信号を分周後クロックで直接取込みます。 1 : 外部 SYNC 信号 (EXVSYNC、EXHSYNX) は分周前クロックでいったん取り込んだ信号を分周後クロックで取込みます。
11	EXVL	0	R/W	あり	外部 VSYNC 取り込み選択 (External Vsync Latch select) 0 : 外部 VSYNC 信号 (EXVSYNC) は端子からの信号を毎クロックで取込みます。 1 : 外部 VSYNC 信号 (EXVSYNC) は端子からの信号を外部 HSYNC 信号 (EXHSYNX) の立ち上がりで取込みます。
10~6	-	-	R	-	リザーブビットです。
5	EXUP	0	R/W	あり	外部更新モード (External UPdating Mode) 0 : 内部更新機能ビットは内部更新されます。 1 : 内部更新機能ビットは内部更新されず、外部更新となります。このビットは表示システム制御レジスタ (DSYSR) / IUPD より、優先されます。
4	VCUP	0	R/W	あり	垂直走査周期レジスタ内部更新タイミング選択 (Vertical Cycle register UPdate timing select) 0 : 垂直走査周期レジスタの内部更新は VSYNC 立ち下がりです。 1 : 垂直走査周期レジスタの内部更新は VSYNC 立ち上がりです。垂直走査周期レジスタの内部更新を VSYNC の立ち上がりとすることで、垂直走査周期レジスタの切り替え時に VSYNC 信号が乱れることはありません。
3~1	-	-	R	-	リザーブビットです。

ビット	ビット名	初期値	R/W	内部更新	説 明
0	DEFE	0	R/W	あり	表示拡張機能許可 (Display unit Extensional Function Enable) 0 : 拡張機能は無効です。 1 : 拡張機能が有効となります。有効となる機能は次のとおりです。 ・表示ステータスレジスタ (DSSR) のビット 31、30 が有効となります。 ・ブレン n モードレジスタ (PnMR) のビット 26 ~ 24 が有効となります。 ・表示領域開始アドレスのビット 31 ~ 29 が有効となります。 ・外部同期制御レジスタ (ESCR) のビット 24、ビット 5 が有効となります。 ・ブレン n ブレンド比レジスタ (PnALPHAR) のビット 10 が有効となります。

(9) 表示アルファ値ブレン制御レジスタ (DAPCR : Display Alpha ratio Plane Control Register)

- アドレス : H'FFF80024

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CODE															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AP1E
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	—	R	R	R	R/W

ビット	ビット名	初期値	R/W	内部更新	説 明
31 ~ 16	CODE	-	-/WB	なし	表示アルファ値ブレン制御レジスタ有効コード (register available CODE) 表示アルファ値ブレン制御レジスタを有効とするために、レジスタライト時にビット 31 ~ 16 を H'7773 に設定してください。
15 ~ 5	-	-	R	-	リザーブビットです。
4	-	-	R	-	リザーブビットです。
3 ~ 1	-	-	R	-	リザーブビットです。
0	AP1E	0	R/W	あり	アルファ値ブレン 1 許可 (Alpha ratio Plane 1 Enable) 0 : アルファ値ブレン 1 を使用することはできません。 1 : アルファ値ブレン 1 を使用することができます。

(10) 表示キャプチャ制御レジスタ (DCPCR : Display CaPter Control Register)

- アドレス : H'FFF80028

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CODE															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CAB	CDF	—	—	—	DCE
初期値 :	—	—	—	—	—	—	—	—	—	—	0	0	—	—	—	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	CODE	-	-/WB	なし	表示キャプチャ制御レジスタ有効コード (register available CODE) 表示キャプチャ制御レジスタを有効とするために、レジスタライト時にビット 31~16 を H'7773 に設定してください。
15~6	-	-	R	-	リザーブビットです。
5	CAB	0	R/W	あり	表示キャプチャ A ビット機能選択 (display Capture A BIT function select) ビット 5 を有効にするには表示拡張機能許可レジスタ 2 (DEFR2) / DEFE2G に 1 を設定してください。初期状態ではビット 5 は 0 固定となります。 0: 表示キャプチャデータフォーマットが ARGB1555 のとき、A 値は 0 となります。 1: 表示キャプチャデータフォーマットが ARGB1555 のとき、A 値は 1 となります。
4	CDF	0	R/W	あり	表示キャプチャデータフォーマット (display Capture Data Format) ビット 5 を有効にするには表示拡張機能許可レジスタ 2 (DEFR2) / DEFE2G に 1 を設定してください。初期状態ではビット 5 は 0 固定となります。 0: 表示キャプチャのデータは RGB565 となります。 1: 表示キャプチャのデータは ARGB1555 となります。A 値は本レジスタのビット 5 で指定します。
3~1	-	-	R	-	リザーブビットです。
0	DCE	0	R/W	あり	表示キャプチャ許可 (Display Capture Enable) 0: 表示データをキャプチャしません。 1: 表示システム制御レジスタ (DSYSR) の DRES、DEN が 01 時、表示データをキャプチャします。1 設定後、次のフレームからキャプチャします。

(11) 表示拡張機能制御レジスタ 2 (DEFR2 : Display unit Extensional Function enable Register 2)

- アドレス : H'FFF80034

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CODE															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB	—/WB
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEFE 2G
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	内部更新	説 明
31 ~ 16	CODE	-	- /WB	なし	表示拡張機能制御レジスタ 2 有効コード (CODE : register available CODE) 表示拡張機能制御レジスタ 2 を有効とするために、レジスタライト時にビット 31 ~ 16 を H'7775 に設定してください。
15 ~ 1	-	-	R	-	リザーブビットです。
0	DEFE2G	0	R/W	あり	表示拡張機能許可 (Display unit Extensional Function Enable SH-Navi2G) 0 : 拡張機能は無効です。 1 : 拡張機能が有効となります。有効となる機能は次のとおりです。 ・ブレン n ブレンド比レジスタ (PnALPHAR) のビット 13、12 が有効となります。 ・表示キャプチャ制御レジスタ (DCPCR) のビット 5、4 が有効となります。

23.2.2 表示タイミング生成レジスタ

(1) 水平表示開始位置レジスタ (HDSR : Horizontal Display Start Register)

- アドレス : H'FFF80040

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	—	—	—	—	—	—	—	HDS									—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W :	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	内部更新	説明
31~9	-	-	R	-	リザーブビットです。
8~0	HDS	-	R/W	あり	水平表示開始位置 (Horizontal Display Start) 水平表示開始位置をドットクロック単位で設定します。 リセット時は値を保持します。

(2) 水平表示終了位置レジスタ (HDER : Horizontal Display End Register)

- アドレス : H'FFF80044

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	HDE										—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	-	-	R	-	リザーブビットです。
10~0	HDE	-	R/W	あり	水平表示終了位置 (Horizontal Display End) 水平表示終了位置をドットクロック単位で設定します。 リセット時は値を保持します。

(3) 垂直表示開始位置レジスタ (VDSR : Vertical Display Start Register)

- アドレス : H'FFF80048

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	—	—	—	—	—	—	—	VDS									—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W :	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	内部更新	説明
31~9	-	-	R	-	リザーブビットです。
8~0	VDS	-	R/W	あり	垂直表示開始位置 (Vertical Display Start) 垂直表示開始位置をラスタライン単位で設定します。 リセット時は値を保持します。

(4) 垂直表示終了位置レジスタ (VDER : Vertical Display End Register)

- アドレス : H'FFF8004C

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	VDE									—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	内部更新	説明
31~10	-	-	R	-	リザーブビットです。
9~0	VDE	-	R/W	あり	垂直表示終了位置 (Vertical Display End) 垂直表示終了位置をラスタライン単位で設定します。 リセット時は値を保持します。

(5) 水平走査周期レジスタ (HCR : Horizontal Cycle Register)

- アドレス : H'FFF80050

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	HC										
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	-	-	R	-	リザーブビットです。
10~0	HC	-	R/W	あり	水平走査周期 (Horizontal Cycle) 水平帰線期間を含めた 1 水平走査周期をドットクロック単位で設定します。 TV 同期モード時は、EXHSYNC の周期より、本レジスタによる HSYNC の周期が同じか、大きくなるように本レジスタを設定してください。 リセット時は値を保持します。

(6) 水平同期パルス幅レジスタ (HSWR : Horizontal Sync Width Register)

- アドレス : H'FFF80054

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	HSW								
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~9	-	-	R	-	リザーブビットです。
8~0	HSW	-	R/W	あり	水平同期パルス幅 (Horizontal Sync Width) 水平同期信号の Low レベルパルス幅をドットクロック単位で設定します。 リセット時は値を保持します。

(7) 垂直走査周期レジスタ (VCR : Vertical Cycle Register)

- アドレス : H'FFF80058

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	VC									
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~10	-	-	R	-	リザーブビットです。
9~0	VC	-	R/W	あり	垂直走査周期 (Vertical Cycle) 垂直帰線期間を含めた垂直走査周期をラスタライン単位で設定します。 TV 同期モード時は、EXVSYNC の立ち上がりの検出期限時間を設定します。期限以内に検出されないと TVR フラグに結果を反映します。 リセット時は値を保持します。

(8) 垂直同期位置レジスタ (VSPR : Vertical Sync Point Register)

- アドレス : H'FFF8005C

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	VSP									
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~10	-	-	R	-	リザーブビットです。
9~0	VSP	-	R/W	あり	垂直同期位置 (Vertical Sync Point) 垂直同期信号の開始位置をラスタライン単位で設定します。 TV 同期モード時は、EXVSYNC の立ち下がりより、本レジスタによる VSYNC の立ち下がり設定位置が同じか、後になるように本レジスタを設定してください。 リセット時は値を保持します。

(9) 等価パルス幅レジスタ (EQWR : Equal pulse Width Register)

- アドレス : H'FFF80060

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	EQW						
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~7	-	-	R	-	リザーブビットです。
6~0	EQW	-	R/W	あり	等価パルス幅 (Equal pulse Width) CSYNC 信号の等価パルスの Low レベルパルス幅をドットクロック単位で設定します。 本設定を有効にするには、表示モードレジスタ (DSMR)/CSYNC モード (CSY) のビット 7 を 1 に設定してください。 リセット時は値を保持します。

(10) セレーション幅レジスタ (SPWR : Serration Width Register)

- アドレス : H'FFF80064

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SPW									
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~10	-	-	R	-	リザーブビットです。
9~0	SPW	-	R/W	あり	セレーション幅 (Serration Width) CSYNC 信号のセレーションパルスの Low レベルパルス幅をドットクロック単位で設定します。HC の 1/2 より小さい値を設定してください。 本設定を有効にするには、表示モードレジスタ (DSMR)/CSYNC モード (CSY) のビット 7 を 1 に設定してください。 リセット時は値を保持します。

(11) CLAMP 信号開始位置レジスタ (CLAMPSR : CLAMP signal Start Register)

● アドレス : H'FFF80070

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CLAMPS										
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	-	-	R	-	リザーブビットです。
10~0	CLAMPS	-	R/W	あり	CLAMP 信号開始位置 (CLAMP signal Start) CLAMP 信号の立ち上がり位置を HSYNC 信号の立ち下がり基準としてドットクロック単位で設定します。 HSYNC 信号の立ち下がりから (設定値 + 1) サイクル後に CLAMP 信号が立ち上がります。したがって、HSYNC 信号の立ち下がりと同じサイクルで CLAMP 信号を立ち上げることはできません。 リセット時は値を保持します。

(12) CLAMP 信号幅レジスタ (CLAMPWR : CLAMP signal Width Register)

● アドレス : H'FFF80074

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CLAMPW										
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	-	-	R	-	リザーブビットです。
10~0	CLAMPW	-	R/W	あり	CLAMP 信号幅 (CLAMP signal Width) CLAMP 信号の High レベル幅をドットクロック単位で設定します。 CLAMP 信号が High のときに HSYNC 信号が立ち下がった場合、CLAMP 信号も立ち下がります。 リセット時は値を保持します。

(13) DE 信号開始位置レジスタ (DESR : DE signal Start Register)

- アドレス : H'FFF80078

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DES										
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	-	-	R	-	リザーブビットです。
10~0	DES	-	R/W	あり	DE 信号開始位置 (DE signal Start) DE 信号の立ち上がり位置を HSYNC 信号の立ち下がりを基準としてドットクロック単位で設定します。 HSYNC 信号の立ち下がりから (設定値 + 1) サイクル後に DE 信号が立ち上がります。したがって、HSYNC 信号の立ち下がりと同サイクルで DE 信号を立ち上げることはできません。 垂直ブランキング期間は Low レベル固定になります。 リセット時は値を保持します。

(14) DE 信号幅レジスタ (DEWR : DE signal Width Register)

- アドレス : H'FFF8007C

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DEW										
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	-	-	R	-	リザーブビットです。
10~0	DEW	-	R/W	あり	DE 信号幅 (DE signal Width) DE 信号の High レベル幅をドットクロック単位で設定します。 DE 信号が High のときに HSYNC 信号が立ち下がった場合、DE 信号も立ち下がります。 リセット時は値を保持します。

23.2.3 表示属性レジスタ

(1) カラーパレット 1 透過色レジスタ (CP1TR : Color Palette 1 Transparent color Register)

- アドレス : H'FFF80080

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CP1IF	CP1IE	CP1ID	CP1IC	CP1IB	CP1IA	CP1I9	CP1I8	CP1I7	CP1I6	CP1I5	CP1I4	CP1I3	CP1I2	CP1I1	CP1I0

初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	-	-	R	-	リザーブビットです。
15	CP1IF	0	R/W	あり	カラーパレットインデックス F (Color Palette 1 Index F) 0: カラーパレットのインデックス F のカラーを透過色に設定しません。 1: カラーパレットのインデックス F のカラーを透過色に設定します。
14	CP1IE	0	R/W	あり	カラーパレットインデックス E (Color Palette 1 Index E) 0: カラーパレットのインデックス E のカラーを透過色に設定しません。 1: カラーパレットのインデックス E のカラーを透過色に設定します。
13	CP1ID	0	R/W	あり	カラーパレットインデックス D (Color Palette 1 Index D) 0: カラーパレットのインデックス D のカラーを透過色に設定しません。 1: カラーパレットのインデックス D のカラーを透過色に設定します。
12	CP1IC	0	R/W	あり	カラーパレットインデックス C (Color Palette 1 Index C) 0: カラーパレットのインデックス C のカラーを透過色に設定しません。 1: カラーパレットのインデックス C のカラーを透過色に設定します。
11	CP1IB	0	R/W	あり	カラーパレットインデックス B (Color Palette 1 Index B) 0: カラーパレットのインデックス B のカラーを透過色に設定しません。 1: カラーパレットのインデックス B のカラーを透過色に設定します。

ビット	ビット名	初期値	R/W	内部更新	説 明
10	CP11A	0	R/W	あり	カラーパレットインデックス A (Color Palette 1 Index A) 0: カラーパレットのインデックス A のカラーを透過色に設定しません。 1: カラーパレットのインデックス A のカラーを透過色に設定します。
9	CP119	0	R/W	あり	カラーパレットインデックス 9 (Color Palette 1 Index 9) 0: カラーパレットのインデックス 9 のカラーを透過色に設定しません。 1: カラーパレットのインデックス 9 のカラーを透過色に設定します。
8	CP118	0	R/W	あり	カラーパレットインデックス 8 (Color Palette 1 Index 8) 0: カラーパレットのインデックス 8 のカラーを透過色に設定しません。 1: カラーパレットのインデックス 8 のカラーを透過色に設定します。
7	CP117	0	R/W	あり	カラーパレットインデックス 7 (Color Palette 1 Index 7) 0: カラーパレットのインデックス 7 のカラーを透過色に設定しません。 1: カラーパレットのインデックス 7 のカラーを透過色に設定します。
6	CP116	0	R/W	あり	カラーパレットインデックス 6 (Color Palette 1 Index 6) 0: カラーパレットのインデックス 6 のカラーを透過色に設定しません。 1: カラーパレットのインデックス 6 のカラーを透過色に設定します。
5	CP115	0	R/W	あり	カラーパレットインデックス 5 (Color Palette 1 Index 5) 0: カラーパレットのインデックス 5 のカラーを透過色に設定しません。 1: カラーパレットのインデックス 5 のカラーを透過色に設定します。
4	CP114	0	R/W	あり	カラーパレットインデックス 4 (Color Palette 1 Index 4) 0: カラーパレットのインデックス 4 のカラーを透過色に設定しません。 1: カラーパレットのインデックス 4 のカラーを透過色に設定します。
3	CP113	0	R/W	あり	カラーパレットインデックス 3 (Color Palette 1 Index 3) 0: カラーパレットのインデックス 3 のカラーを透過色に設定しません。 1: カラーパレットのインデックス 3 のカラーを透過色に設定します。

ビット	ビット名	初期値	R/W	内部更新	説 明
2	CP1I2	0	R/W	あり	カラーパレットインデックス 2 (Color Palette 1 Index 2) 0: カラーパレットのインデックス 2 のカラーを透過色に設定しません。 1: カラーパレットのインデックス 2 のカラーを透過色に設定します。
1	CP1I1	0	R/W	あり	カラーパレットインデックス 1 (Color Palette 1 Index 1) 0: カラーパレットのインデックス 1 のカラーを透過色に設定しません。 1: カラーパレットのインデックス 1 のカラーを透過色に設定します。
0	CP1I0	0	R/W	あり	カラーパレットインデックス 0 (Color Palette 1 Index 0) 0: カラーパレットのインデックス 0 のカラーを透過色に設定しません。 1: カラーパレットのインデックス 0 のカラーを透過色に設定します。

(2) 表示オフ時出力レジスタ (DOOR : Display Off mode Output Register)

- アドレス : H'FFF80090

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	DOR						—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DOG						—	—	DOB						—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~24	-	-	R	-	リザーブビットです。
23~18	DOR	-	R/W	あり	表示オフ時出力赤 (Display Off mode output Red) 表示オフ時 (表示システム制御レジスタ (DSYSR) / DRES-DEN=00) に出力する赤色表示データを設定します。 リセット時は値を保持します。
17、16	-	-	R	-	リザーブビットです。
15~10	DOG	-	R/W	あり	表示オフ時出力緑 (Display Off mode output Green) 表示オフ時 (表示システム制御レジスタ (DSYSR) / DRES-DEN=00) に出力する緑色表示データを設定します。 リセット時は値を保持します。
9、8	-	-	R	-	リザーブビットです。
7~2	DOB	-	R/W	あり	表示オフ時出力青 (Display Off mode output Blue) 表示オフ時 (表示システム制御レジスタ (DSYSR) / DRES-DEN=00) に出力する青色表示データを設定します。 リセット時は値を保持します。
1、0	-	-	R	-	リザーブビットです。

(3) 色検出レジスタ (CDER : Color DEtection Register)

- アドレス : H'FFF80094

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	CDR						—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDG						—	—	CDB						—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	内部更新	説 明
31~24	-	-	R	-	リザーブビットです。
23~18	CDR	-	R/W	あり	カラー検出赤 (Color Detection Red) 色検出のための赤色データを設定します。 リセット時は値を保持します。
17、16	-	-	R	-	リザーブビットです。
15~10	CDG	-	R/W	あり	カラー検出緑 (CDGColor Detection Green) 色検出のための緑色データを設定します。 リセット時は値を保持します。
9、8	-	-	R	-	リザーブビットです。
7~2	CDB	-	R/W	あり	カラー検出青 (Color Detection Blue) 色検出のための青色データを設定します。 リセット時は値を保持します。
1、0	-	-	R	-	リザーブビットです。

出力データと本レジスタの設定値が一致したときに CDE 端子より High レベルを出力します。出力カラーデータフォーマットについては「23.3.6 出力データおよび表示キャプチャデータフォーマット」を参照してください。

(4) 下地色レジスタ (BPOR : Background Plane Output Register)

- アドレス : H'FFF80098

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	BPOR						—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BPOG						—	—	BPOB						—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~24	-	-	R	-	リザーブビットです。
23~18	BPOR	-	R/W	あり	下地色赤 (Background Plane Output Red) 表示サイズあるいは透過色などにより表示するプレーンのない場合に表示する赤色を設定します。 リセット時は値を保持します。
17、16	-	-	R	-	リザーブビットです。
15~10	BPOG	-	R/W	あり	下地色緑 (Background Plane Output Green) 表示サイズあるいは透過色などにより表示するプレーンのない場合に表示する緑色を設定します。 リセット時は値を保持します。
9、8	-	-	R	-	リザーブビットです。
7~2	BPOB	-	R/W	あり	下地色青 (Background Plane Output Blue) 表示サイズあるいは透過色などにより表示するプレーンのない場合に表示する青色を設定します。 リセット時は値を保持します。
1、0	-	-	R	-	リザーブビットです。

(5) ラスタ割り込みオフセットレジスタ (RINTOFSR : Raster INTerrupt OffSet Register)

- アドレス : H'FFF8009C

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RINTOFS									
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~10	-	-	R	-	リザーブビットです。
9~0	RINTOFS	-	R/W	あり	ラスタ割り込みオフセット (Raster INTerrupt OffSet) 垂直表示開始位置レジスタ (VDSR) で設定したラスタ数を基準とするラスタオフセット値 (H 数) を設定します。 オフセット値を n とすると VDS + n ラスタ目の水平表示期間後、HSYNC の立ち下がり で表示ステータスレジスタ (DSSR) の RINT が 1 にセットされます。 リセット時は値を保持します。

23.2.4 表示プレーンレジスタ (アルファ値プレーンレジスタ)

これより以下にプレーン 1 からプレーン 4 までの各プレーンで同じ機能のレジスタに関する説明をプレーン n として記載します。説明文の n と#は次の意味を示しています。

n : 1、2、3、4 を表します。

: # = n の関係になります。たとえばプレーン 3 モードレジスタのアドレスは H'FFF80#00 が H'FFF80300 となります。

アルファ値プレーンで使用するレジスタは表示プレーンレジスタと殆ど機能が同じであるため、本章で一緒に説明します。

レジスタ名称 : 表示プレーンレジスタ名の先頭に"アルファ値"が付きます。

レジスタ略称 : 表示プレーンレジスタ略称の先頭に"Alpha (A)"が付きます。

アドレス : 表示プレーンレジスタのアドレスの右隣にアルファ値レジスタのアドレスを記載しています。(#=1)
プレーン n メモリ幅レジスタ (PnMWR : Plane n Memory Width Register) はアルファ値プレーンでは次のようになります。

アルファ値プレーン n メモリ幅レジスタ (ΔPnMWR : ΔAlpha Plane n Memory Width Register)

モードレジスタは表示プレーンとは機能が異なりますので、章を分けて説明します。

(1) プレーン n モードレジスタ (PnMR : Plane n Mode Register)

- アドレス : H'FFF80#00

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	Pn YCDF	—	—	Pn TC	Pn WAE
初期値 :	—	—	—	—	—	—	—	—	—	—	—	0	—	—	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PnSPIM		—	PnCPSL		PnDC		—	PnBM		—	—	PnDDF		—
初期値 :	—	0	0	0	—	0	0	0	0	—	0	0	—	—	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~21	-	-	R	-	リザーブビットです。
20	PnYCDF	0	R/W	あり	プレーン nYC データ形式 (Plane n YC Data Format) 0 : YC データの並びを UYVY 形式に設定します。 1 : YC データの並びを YUYV 形式に設定します。
19、18	-	-	R	-	リザーブビットです。
17	PnTC	0	R/W	あり	プレーン n 透過色指定 (Plane n Transparent Color) 0 : 8bit/pixel 表示設定時、プレーン n の透過色レジスタ設定に従います。 1 : 8bit/pixel 表示設定時、カラーパレット透過色レジスタに設定した透過色を有効にします。

ビット	ビット名	初期値	R/W	内部更新	説明
16	PnWAE	0	R/W	あり	プレーン n ラップアラウンドイネーブル (Plane n Wrap Around Enable) 0: プレーン n のラップアラウンドを行いません。 1: プレーン n のラップアラウンドを行います。
15	-	-	R	-	リザーブビットです。
14~12	PnSPIM	000	R/W	あり	プレーン n 重ね合わせモード (Plane n SuPerImpose Mode) 000: プレーン n は透過色処理を行います。 プレーン n が透過色の場合は下位プレーンを表示します。 001: プレーン n と下位プレーンとのブレンディングを行います。プレーン n が透過色の場合はブレンディングを行わず、下位プレーンを表示します。 010: プレーン n と下位プレーンとの EOR 演算を行います。プレーン n が透過色の場合は EOR 演算を行わず、下位プレーンを表示します。 011: 設定禁止。 100: プレーン n は透過処理を行いません。 プレーン n を表示します。 101: プレーン n と下位プレーンとのブレンディングを行います。プレーン n の透過色指定は無視し、プレーン n のすべての画素と下位プレーンとのブレンディングを行います。 110: プレーン n と下位プレーンとの EOR 演算を行います。プレーン n の透過色指定は無視し、プレーン n のすべての画素と下位プレーンとの EOR 演算を行います。 111: 設定禁止。
11	-	-	R	-	リザーブビットです。
10~8	PnCPSL	000	R/W	あり	プレーン n カラーパレットセレクト (Plane n Color Palette SeLect) ビット 1、0 のプレーン n 表示データフォーマットが 8bit/pixel 設定時に使用するカラーパレットを指定します。 000: カラーパレットを選択。 001~111: 設定禁止。
7	PnDC	0	R/W	あり	プレーン n 表示エリアチェンジ (Plane n Display area Change) 0: マニュアルディスプレイチェンジモード時に、表示を行うフレームバッファの切り替えを行いません。 1: マニュアルディスプレイチェンジモード時に、表示を行うフレームバッファの切り替えを行います。 PnDC=0 のとき、ビットセットが可能です。切り替え単位は、フレーム単位で行います。 本ビットはフレームバッファ切り替え後 (垂直ブランキング検出後)、0 クリアされます。
6	-	-	R	-	リザーブビットです。

ビット	ビット名	初期値	R/W	内部更新	説明
5、4	PnBM	00	R/W	あり	プレーン n バッファモード (Plane n Buffer Mode) 00 : マニュアルディスプレイチェンジモード。 01 : オートレンダリングモード。 10 : オートディスプレイチェンジモード (プリンキングモード)。 11 : ビデオキャプチャモード。 マニュアルディスプレイチェンジモード、オートレンダリングモード、オートディスプレイチェンジモード (プリンキングモード) 設定時は表示領域開始アドレス 0、1 を使用したダブルバッファ制御を行います。また、ビデオキャプチャモード設定時は、表示ステータスレジスタ (DSSR) のビデオキャプチャフレームバッファ (VCFB) に該当する開始アドレス 0、1、2 を使用したトリプルバッファ制御を行います
3、2	-	-	R	-	リザーブビットです。
1、0	PnDDF	00	R/W	あり	プレーン n 表示データフォーマット (Plane n Display Data Format) 00 : 8bit/pixel モード。 01 : 16bit/pixel モード。 10 : ARGB モード。 11 : YC モード (4 : 2 : 2YUV を 8 : 8 : 8RGB へ変換します)。

(2) プレーン n メモリ幅レジスタ (PnMWR : Plane n Memory Width Register)

- アドレス : H'FFF80#04 (アルファ値プレーンアドレス : H'FFF8A#04)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PnMWX									—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~13	-	-	R	-	リザーブビットです。
12~4	PnMWX	-	R/W	あり	プレーン n メモリ幅 X (Plane n Memory Width X) プレーン n のメモリ幅を 16 画素 ~ 4096 画素まで 16 画素単位に設定します。 リセット時は値を保持します。
3~0	-	-	R	-	リザーブビットです。

(3) プレーン n ブレンド比レジスタ (PnALPHAR : Plane n Blending Ratio Register)

- アドレス : H'FFF80#08 (アルファ値プレーンでは使用しません)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PnABIT	—	PnBRSL			PnALPHA								
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~14	-	-	R	-	リザーブビットです。
13, 12	PnABIT	-	R/W	あり	プレーン n A ビット機能選択 (Plane n A BIT function select) ビット 13、12 を有効にするには表示拡張機能制御レジスタ 2 (DEFR2) / DEFE2G に 1 を設定してください。初期状態ではビット 13、12 に 1 を設定することができません。 00 : プレーン n モードレジスタ (PnMR) / PnDDF が ARGB モードの場合、A ビットが 1 のときにブレンディングを行います。 01 : プレーン n モードレジスタ (PnMR) / PnDDF が ARGB モードの場合、A ビットが 0 のときにブレンディングを行います。 1x : プレーン n モードレジスタ (PnMR) / PnDDF が ARGB モードの場合、A ビットに関係なくブレンディングを行います。 リセット時は値を保持します。
11	-	-	R	-	リザーブビットです。

ビット	ビット名	初期値	R/W	内部更新	説明
10~8	PnBRSL	-	R/W	あり	<p>プレーン n ブレンド比セレクト (Plane n Blending Ratio SeLect)</p> <p>本ビットはプレーン n モードレジスタ (PnMR) /PnSPIM がブレンド指定の場合に有効となります。</p> <p>ビット 10 を有効にするには表示拡張機能制御レジスタ (DEFR) / DEFE に 1 を設定してください。初期状態ではビット 10 は 0 固定となります。</p> <p>x00 : 本レジスタのビット 7~0 をブレンド比とします。</p> <p>x01 : 設定禁止。</p> <p>x10 : プレーン n モードレジスタ (PnMR) /PnCPSL で指定したカラーパレットレジスタのビット 31~24 をブレンド比とします。</p> <p>【注】プレーン n モードレジスタ (PnMR) /PnDDF で表示データフォーマットを 8bit/pixel に指定した場合のみ有効となります。8bit/pixel 以外の場合は本レジスタのビット 7~0 をブレンド比とします。</p> <p>011 : 本レジスタのビット 2~0 で指定したプレーンの表示データをブレンド比とします。</p> <ul style="list-style-type: none"> ・ビット 2~0=000 : プレーン 1 面の表示データをブレンド比とします。 ・ビット 2~0=001 : プレーン 2 面の表示データをブレンド比とします。 ・ビット 2~0=010 : プレーン 3 面の表示データをブレンド比とします。 ・ビット 2~0=011 : プレーン 4 面の表示データをブレンド比とします。 <p>【注】1. 自プレーンを指定した場合は本レジスタのビット 7~0 をブレンド比とします。</p> <p>2. 指定したプレーンは次の条件を設定してください。条件を満たさない場合、ブレンド比は不定値となります。表示プレーン優先順位レジスタ (DPPR) で表示は ON としてください。表示データフォーマットは 8bit/pixel としてください。表示サイズは自プレーンと同じか大きくなるようにしてください。表示位置 X、Y は自プレーンと同じとしてください。</p>

ビット	ビット名	初期値	R/W	内部更新	説明
10~8	PnBRSL	-	R/W	あり	<p>111:本レジスタのビット2~0で指定したアルファ値プレーンの表示データをブレンド比とします。</p> <ul style="list-style-type: none"> ・ビット2~0=000:アルファ値プレーン1のデータをブレンド比とします。 ・ビット2~0=上記以外:本レジスタのビット7~0がブレンド比となります。 <p>アルファ値プレーンを選択する場合は次の設定を行ってください。</p> <p>(1)アルファ値プレーン制御レジスタ(DAPCR)のビット0またはビット4を1に設定してください。</p> <p>(2)アルファ値プレーン用の各レジスタを設定してください。</p> <p>リセット時は値を保持します。</p>
7~0	PnALPHA	-	R/W	あり	<p>プレーン n ブレンド比レジスタ (Plane n Blending Ratio Register) プレーン n のブレンド比であるアルファ値 () を設定するレジスタです。</p> <p>ブレンド結果 = (x プレーン n + (H'100 -) x 下位プレーン) / H'100</p> <p>【注】上記の式でブレンド結果、 、プレーン n、下位プレーンはすべて 8bit データとなります。</p> <p>リセット時は値を保持します。</p>

(4) プレーン n 表示サイズ X レジスタ (PnDSXR : Plane n Display Size X Register)

- アドレス : H'FFF80#10 (アルファ値プレーンアドレス : H'FFF8A#10)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PnDSX										
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	-	-	R	-	リザーブビットです。
10~0	PnDSX	-	R/W	あり	プレーン n 表示サイズ X (Plane n Display Size X) プレーン n の水平方向の表示サイズを設定するレジスタです。本レジスタにはドットクロック単位で値を設定してください。 【注】プレーン n モードレジスタ (PnMR) / PnDDF で YC モードを設定した場合には偶数値を設定してください。 リセット時は値を保持します。

(5) プレーン n 表示サイズ Y レジスタ (PnDSYR : Plane n Display Size Y Register)

- アドレス : H'FFF80#14 (アルファ値プレーンアドレス : H'FFF8A#14)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PnDSY										
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~10	-	-	R	-	リザーブビットです。
9~0	PnDSY	-	R/W	あり	プレーン n 表示サイズ Y (Plane n Display Size Y) プレーン n の垂直方向の表示サイズを設定するレジスタです。本レジスタにはラスタライン単位で値を設定してください。 リセット時は値を保持します。

(6) プレーン n 表示位置 X レジスタ (PnDPXR : Plane n Display Position X Register)

- アドレス : H'FFF80#18 (アルファ値プレーンアドレス : H'FFF8A#18)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PnDPX										
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~11	-	-	R	-	リザーブビットです。
10~0	PnDPX	-	R/W	あり	プレーン n 表示位置 X (Plane n Display Position X) プレーン n の表示モニタに対する水平開始位置を設定するレジスタです。本レジスタには表示モニタの左上を原点として、ドットクロック単位で設定してください。 リセット時は値を保持します。

(7) プレーン n 表示位置 Y レジスタ (PnDPYR : Plane n Display Position Y Register)

- アドレス : H'FFF80#1C (アルファ値プレーンアドレス : H'FFF8A#1C)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PnDPY										
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~10	-	-	R	-	リザーブビットです。
9~0	PnDPY	-	R/W	あり	プレーン n 表示位置 Y (PnDPY : Plane n Display Position Y) プレーン n の表示モニタに対する垂直開始位置を設定するレジスタです。本レジスタには表示モニタの左上を原点として、ラスタライン単位で値を設定してください。 リセット時は値を保持します。

(8) プレーン n 表示領域開始アドレス 0 レジスタ (PnDSA0R : Plane n Display Area Start Address 0 Register)

- アドレス : H'FFF80#20 (アルファ値プレーンアドレス : H'FFF8A#20)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PnDSA0															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PnDSA0												—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~4	PnDSA0	-	R/W	あり	<p>プレーン n 表示領域開始アドレス 0 (Plane n Display Area Start Address0)</p> <p>ビット 31 ~ 29 を有効にするには表示拡張機能制御レジスタ (DEFR) / DEFE に 1 を設定してください。初期状態では有効になりません。</p> <p>本レジスタは、プレーンのバッファモードがマニュアルディスプレイモード / オートレンダリングモード / オートディスプレイチェンジモード / ビデオキャプチャモード時に、フレームバッファ 0 面として使用します。</p> <p>【注】本レジスタは 32 ビットアドレスモードにおいては、指定するメモリ領域の 32 ビットアドレスの下位 29 ビット中、25 ビットのアドレス (A28 ~ A4) をビット 28 ~ ビット 4 に指定してください。</p> <p>リセット時は値を保持します。</p>
3~0	-	-	R	-	リザーブビットです。

(9) プレーン n 表示領域開始アドレス 1 レジスタ (PnDSA1R : Plane n Display Area Start Address 1 Register)

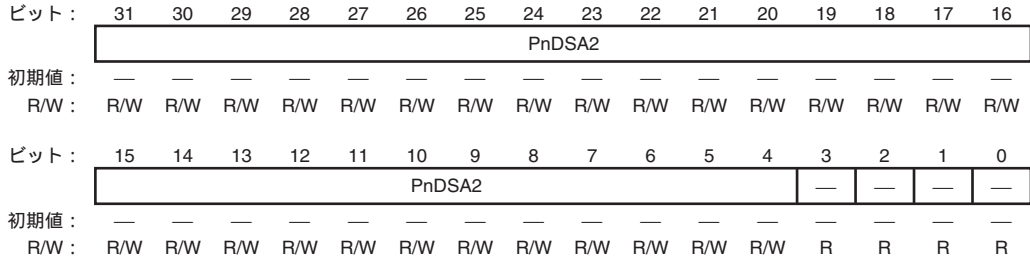
- アドレス : H'FFF80#24 (アルファ値プレーンアドレス : H'FFF8A#24)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PnDSA1															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PnDSA1												—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~4	PnDSA1	-	R/W	あり	<p>プレーン n 表示領域開始アドレス 1 (Plane n Display Area Start Address1)</p> <p>ビット 31 ~ 29 を有効にするには表示拡張機能制御レジスタ (DEFR) / DEFE に 1 を設定してください。初期状態では有効になりません。</p> <p>本レジスタは、プレーンのバッファモードがマニュアルディスプレイモード / オートレンダリングモード / オートディスプレイエンジンモード / ビデオキャプチャモード時に、フレームバッファ 1 面として使用します。</p> <p>【注】本レジスタは 32 ビットアドレスモードにおいては、指定するメモリ領域の 32 ビットアドレスの下位 29 ビット中、25 ビットのアドレス (A28 ~ A4) をビット 28 ~ ビット 4 に指定してください。</p> <p>リセット時は値を保持します。</p>
3~0	-	-	R	-	リザーブビットです。

(10) プレーン n 表示領域開始アドレス 2 レジスタ (PnDSA2R : Plane n Display Area Start Address 2 Register)

- アドレス : H'FFF80#28 (アルファ値プレーンアドレス : H'FFF8A#28)



ビット	ビット名	初期値	R/W	内部更新	説 明
31~4	PnDSA2	-	R/W	あり	<p>プレーン n 表示領域開始アドレス 2 (Plane n Display Area Start Address2)</p> <p>ビット 31 ~ 29 を有効にするには表示拡張機能制御レジスタ (DEFR) / DEFE に 1 を設定してください。初期状態では有効になりません。</p> <p>本レジスタは、プレーンのバッファモードがビデオキャプチャモード時に、フレームバッファ 2 面として使用します。</p> <p>【注】本レジスタは 32 ビットアドレスモードにおいては、指定するメモリ領域の 32 ビットアドレスの下位 29 ビット中、25 ビットのアドレス (A28 ~ A4) をビット 28 ~ ビット 4 に指定してください。</p> <p>リセット時は値を保持します。</p>
3~0	-	-	R	-	リザーブビットです。

(11) ブレーン n 開始位置 X レジスタ (PnSPXR : Plane n Start Position X Register)

- アドレス : H'FFF80#30 (アルファ値プレーンアドレス : H'FFF8A#30)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PnSPX											
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~12	-	-	R	-	リザーブビットです。
11~0	PnSPX	-	R/W	あり	ブレーン n 開始位置 X (Plane n Start Position X) メモリ上におけるブレーン n の開始位置 X を設定します。 【注】 1. ブレーン n モードレジスタ (PnMR) / PnDDF で YC モードを設定した場合には偶数値を設定してください。 2. ブレーン n メモリ幅 X (PnMWX) の 2 倍を超える値は設定禁止です。 リセット時は値を保持します。

(12) ブレーン n 開始位置 Y レジスタ (PnSPYR : Plane n Start Position Y Register)

- アドレス : H'FFF80#34 (アルファ値プレーンアドレス : H'FFF8A#34)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PnSPY															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	-	-	R	-	リザーブビットです。
15~0	PnSPY	-	R/W	あり	ブレーン n 開始位置 Y (Plane n Start Position Y) メモリ上におけるブレーン n の開始位置 Y を設定します。 【注】 { ブレーン n ラップアラウンド開始位置 Y (PnWASPY) + ブレーン n ラップアラウンドメモリ幅 Y (PnWAMWY) の 2 倍 } を超える値は設定禁止です。 リセット時は値を保持します。

(13) プレーン n ラップアラウンド開始位置レジスタ (PnWASPR: Plane n Wrap Around Start Position Register)

- アドレス: H'FFF80#38 (アルファ値プレーンアドレス: H'FFF8A#38)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	PnWASPY										—	—	—	—	
初期値:	—	—	—										—	—	—	—	
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~14	-	-	R	-	リザーブビットです。
13~4	PnWASPY	-	R/W	あり	プレーン n ラップアラウンド開始位置 Y (Plane n Wrap Around Start Position Y) 表示領域開始アドレスレジスタで指定するアドレスを基準に、1 ラップアラウンドエリアの Y 方向開始位置を設定します。 開始位置は 16 画素ごとの設定が可能です。(ビット 3~ビット 0: 0 固定) リセット時は値を保持します。
3~0	-	-	R	-	リザーブビットです。

(14) プレーン n ラップアラウンドメモリ幅レジスタ (PnWAMWR: Plane n Wrap Around Memory Width Register)

- アドレス: H'FFF80#3C (アルファ値プレーンアドレス: H'FFF8A#3C)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PnWAMWY										—	—
初期値:	—	—	—	—	—										—	—
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~12	-	-	R	-	リザーブビットです。
11~0	PnWAMWY	-	R/W	あり	プレーン n ラップアラウンドメモリ幅 Y (Plane n Wrap Around Memory Width Y) ラップアラウンドの Y 方向メモリ幅を 240 から 4095 ラインの範囲で任意設定します。 リセット時は値を保持します。

(15) ブレーン n ブリンクング周期レジスタ (PnBTR : Plane n Blinking Time Register)

- アドレス : H'FFF80#40 (アルファ値ブレーンアドレス : H'FFF8A#40)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PnBTA								PnBTB							
初期値 :	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	-	-	R	-	リザーブビットです。
15~8	PnBTA	00000001	R/W	あり	ブレーン n ブリンクング周期 A (Plane n Blinking Time A)
7~0	PnBTB	00000001	R/W	あり	ブレーン n ブリンクング周期 B (Plane n Blinking Time B)

ブレーン n モードレジスタ (PnMR) / バッファモード (PnBM) がオートディスプレイチェンジモード (ブリンクングモード) に設定されたとき、本レジスタに表示領域 0、1 が表示される期間の長さをフィールド単位で設定することにより、表示領域アドレス 0、1 を使用したブリンクング動作を行います。

ここで、本レジスタを 1 に設定すると (0 以外の値を必ず設定してください)。毎フィールド単位に表示領域アドレス 0、1 を切り替えます。

(16) ブレーン n 透過色 1 レジスタ (PnTC1R : Plane n Transparent Color 1 Register)

- アドレス : H'FFF80#44 (アルファ値プレーンでは使用しません)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	—	—	—	—	—	—	—	—	PnTC1								—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	内部更新	説明
31~8	-	-	R	-	リザーブビットです。
7~0	PnTC1	-	R/W	あり	ブレーン n 透過色 1 (Plane n Transparent Color 1 for 8bit) 8bit/pixel データフォーマットのブレーン n 透過色を指定する場合に使用します。 本レジスタに設定した透過色を有効にするためには、ブレーン n モードレジスタ (PnMR) / 透過色指定 (PnTC) を 0 に設定してください。 リセット時は値を保持します。

(17) ブレーン n 透過色 2 レジスタ (PnTC2R : Plane n Transparent Color 2 Register)

- アドレス : H'FFF80#48 (アルファ値プレーンでは使用しません)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PnTC2															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~16	-	-	R	-	リザーブビットです。
15~0	PnTC2	-	R/W	あり	ブレーン n 透過色 2 (Plane n Transparent Color 2 for 16bit) 16bit/pixel, ARGB データフォーマットのブレーン n 透過色を指定する場合に使用します。 ARGB モードの場合、本レジスタのビット 14~0 と比較し、ビット 15 は無視します。 リセット時は値を保持します。

(18) ブレーン n メモリ長レジスタ (PnMLR : Plane n Memory Length Register)

- アドレス : H'FFF80#50 (アルファ値ブレーンアドレス : H'FFF8A#50)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PnMLY
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PnMLY															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~17	-	-	R	-	リザーブビットです。
16~0	PnMLY	0	R/W	あり	<p>ブレーン n メモリ長 Y (Plane n Memory Length Y)</p> <p>ブレーン n のメモリの長さ (Y 方向のメモリ領域) を設定します。</p> <p>表示がこの領域を超えた場合、表示データは下地色レジスタ (BPOR) のデータとなります。</p> <p>設定値が 0 (初期値) の場合、領域は無限として扱いますので、表示データが下地色レジスタになることはありません。</p>

(19) アルファ値プレーン n モードレジスタ (APnMR : Alpha Plane n Mode Register)

- アドレス : H'FFF8A#00

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PnWAE
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PnDC	—	PnBM	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	0	—	0	0	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~17	-	-	R	-	リザーブビットです。
16	PnWAE	0	R/W	あり	プレーン n ラップアラウンドイネーブル (Plane n Wrap Around Enable) 0 : プレーン n のラップアラウンドを行いません。 1 : プレーン n のラップアラウンドを行います。
15~8	-	-	R	-	リザーブビットです。
7	PnDC	0	R/W	あり	プレーン n 表示エリアチェンジ (Plane n Display area Change) 0 : マニュアルディスプレイチェンジモード時に、表示を行うフレームバッファの切り替えを行いません。 1 : マニュアルディスプレイチェンジモード時に、表示を行うフレームバッファの切り替えを行います。 PnDC=0 のとき、ビットセットが可能です。切り替え単位は、フレーム単位で行います。 本ビットはフレームバッファ切り替え後 (垂直ブランキング検出後)、0 クリアされます。
6	-	-	R	-	リザーブビットです。
5, 4	PnBM	00	R/W	あり	プレーン n バッファモード (Plane n Buffer Mode) 00 : マニュアルディスプレイチェンジモード。 01 : オートレンダリングモード。 10 : オートディスプレイチェンジモード (プリンキングモード)。 11 : ビデオキャプチャモード。 マニュアルディスプレイチェンジモード、オートレンダリングモード、オートディスプレイチェンジモード (プリンキングモード) 設定時は表示領域開始アドレス 0、1 を使用したダブルバッファ制御を行います。また、ビデオキャプチャモード設定時は、表示ステータスレジスタ (DSSR) のビデオキャプチャフレームバッファ (VCFB) に該当する開始アドレス 0、1、2 を使用したトリプルバッファ制御を行います
3~0	-	-	R	-	リザーブビットです。

ビット 20 : プレーン n YC データ形式 (PnYCDF) 表示データフォーマットは 8bit/pixel のみのため、無効となります。

ビット 17 : プレーン n 透過色指定 (PnTC) アルファ値は透過色とはならないため、無効となります。

ビット 14、13、12 : プレーン n 重ね合わせモード (PnSPIM) 合成することはできないため、無効となります。

ビット 10、9、8 : プレーン n カラーパレットセレクト (PnCPSL) カラーパレットを使用することはできないため、無効となります。

ビット 1、0 : プレーン n 表示データフォーマット (PnDDF) 表示データフォーマットは 8bit/pixel のみのため、無効となります。

23.2.5 表示キャプチャレジスタ

(1) 表示キャプチャメモリ幅レジスタ (DCMWR : Display Capture Memory Width Register)

• アドレス : H'FFF8C104

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	DCMWX										—	—	—	—

初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~13	-	-	R	-	リザーブビットです。
12~4	DCMWX	-	R/W	あり	表示キャプチャメモリ幅 X (Display Capture Memory Width X) 表示キャプチャのメモリ幅を 16 画素 ~ 4096 画素まで 16 画素単位に設定します。 キャプチャがこの領域を超えた場合、超えた領域はキャプチャされません。 リセット時は値を保持します。
3~0	-	-	R	-	リザーブビットです。

(2) 表示キャプチャ格納領域開始アドレスレジスタ (DCSAR : Display Capture Area Start Address Register)

- アドレス : H'FFF8C120

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DCSA0															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCSA0												—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	内部更新	説明
31~4	DCSA0	-	R/W	あり	表示キャプチャ格納領域開始アドレス(Display Capture Area Start Address) ビット 31 ~ 29 を有効にするには表示拡張機能制御レジスタ (DEFR) / DEFE に 1 を設定してください。初期状態では有効になりません。 【注】本レジスタは 32 ビットアドレスモードにおいては、指定するメモリ領域の 32 ビットアドレスの下位 29 ビット中、25 ビットのアドレス (A28 ~ A4) をビット 28 ~ ビット 4 に指定してください。 リセット時は値を保持します。
3~0	-	-	R	-	リザーブビットです。

(3) 表示キャプチャメモリ長レジスタ (DCMLR : Display Capture Memory Length Register)

- アドレス : H'FFF8C150

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DCMLY
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCMLY															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31~17	-	-	R	-	リザーブビットです。
16~0	DCMLY	-	R/W	あり	表示キャプチャメモリ長 Y (Display Capture Memory Length Y) 表示キャプチャのメモリの長さ (Y 方向のメモリ領域) を設定します。 キャプチャがこの領域を超えた場合、超えた領域はキャプチャされません。

23.2.6 カラーパレットレジスタ

(1) カラーパレットレジスタ (CP1(000~255)R : Color Palette 1 (000~255) Register)

• アドレス : H'FFF81000 ~ H'FFF813FC

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	CP1_000A								CP1_000R								—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R		
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	CP1_000G								—	—	CP1_000B				—	—		
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R		
	⋮																	
ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	CP1_255A								CP1_255R								—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R		
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	CP1_255G								—	—	CP1_255B				—	—		
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R		

ビット	ビット名	初期値	R/W	内部更新	説明
31~24	CP1_000A ~ CP1_255A	-	R/W	あり	カラーパレット 1_000~255 ブレンド比 (Color Palette 1_000~255 Blending Ratio) ブレン n ブレンド比レジスタ(PnALPHAR)/PnBRSL が 10 のとき、ブレンド比であるアルファ値となります。 リセット時は値を保持します。
23~18	CP1_000R ~ CP1_255R	-	R/W	あり	カラーパレット 1_000~255 赤 (Color Palette 1_000~255 Red) カラーパレット 1 の赤色データを設定します。 リセット時は値を保持します。
17、16	-	-	R	-	リザーブビットです。
15~10	CP1_000G ~ CP1_255G	-	R/W	あり	カラーパレット 1_000~255 緑 (Color Palette 1_000~255 Green) カラーパレット 1 の緑色データを設定します。 リセット時は値を保持します。
9、8	-	-	R	-	リザーブビットです。
7~2	CP1_000B ~ CP1_255B	-	R/W	あり	カラーパレット 1_000~255 青 (Color Palette 1_000~255 Blue) カラーパレット 1 の青色データを設定します。 リセット時は値を保持します。
1、0	-	-	R	-	リザーブビットです。

【注】 RGB 各 6 ビットのカラーを設定する 256 本レジスタ群で、26 万色中同時 256 表示可能なカラーパレットとして使用します。

8bit/pixel データの表示時に有効となります。カラーパレット制御レジスタ (CPCR) の CP1CE を 1 にセットすることにより、設定した内容が次の VSYNC の立ち下がり (内部更新タイミング) または表示リセット解除で有効となります。なお、カラーパレットを更新する場合は、必ず全面書き換えを行ってください。カラーパレットを CPU からリードする場合は、CP1CE ビットを 1 にセットする前に行ってください。カラーパレットはロングワードアクセスです。

23.2.7 外部同期制御レジスタ

(1) 外部同期制御レジスタ (ESCR : External Synchronization Control Register)

• アドレス : H'FFF90000

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	DCLK SEL	—	—	—	DCLK DIS
初期値 :	—	—	—	—	—	—	—	—	—	—	—	0	—	—	—	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	FRQSEL			
初期値 :	—	—	—	—	—	—	0	0	—	—	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説 明
31~21	-	-	R	-	リザーブビットです。
20	DCLKSEL	0	R/W	なし	入力ドットクロック選択 (DCLKIN SElect) 0 : 入力ドットクロックは DCLKIN 端子になります。 1 : 入力ドットクロックは 166.5MHz のクロックになります。 本設定の場合、ドットクロック分周比は 2 分周以上 (分周後の周波数が 83.3MHz 以下) となるようにしてください。
19~17	-	-	R	-	リザーブビットです。
16	DCLKDIS	0	R/W	なし	出力ドットクロックディスエーブル (DCLKOUT DISable) 0 : DCLKOUT を出力します。 1 : DCLKOUT を出力しません。DCLKOUT は Low 固定となります。
15~10	-	-	R	-	リザーブビットです。
9、8	SYNCSSEL	00	R/W	なし	ドットクロック位相合わせ用同期信号選択 (SYNC SElect) 00 : 位相処理を行いません。 01 : 位相処理を行いません。 10 : EXVSYNC 信号により同期を行います。 11 : EXHSYNC 信号により同期を行います。
7、6	-	-	R	-	リザーブビットです。

ビット	ビット名	初期値	R/W	内部更新	説明
5~0	FRQSEL	000000	R/W	なし	<p>ドットクロック分周比選択 (FReQuency SElect)</p> <p>ビット 5 を有効にするには表示拡張機能許可レジスタ (DEFR) / DEFE に 1 を設定してください。初期状態ではビット 5 は 0 固定となります。</p> <p>000000 : 入力ドットクロック (逡倍用クロック) の分周を行いません。</p> <p>000001 : 入力ドットクロック (逡倍用クロック) の 2 分周。</p> <p>000010 : 入力ドットクロック (逡倍用クロック) の 3 分周。</p> <p>000011 : 入力ドットクロック (逡倍用クロック) の 4 分周。</p> <p>000100 : 入力ドットクロック (逡倍用クロック) の 5 分周。</p> <p>000101 : 入力ドットクロック (逡倍用クロック) の 6 分周。</p> <p>000110 : 入力ドットクロック (逡倍用クロック) の 7 分周。</p> <p>000111 : 入力ドットクロック (逡倍用クロック) の 8 分周。</p> <p>001000 : 入力ドットクロック (逡倍用クロック) の 9 分周。</p> <p>001001 : 入力ドットクロック (逡倍用クロック) の 10 分周。</p> <p>001010 : 入力ドットクロック (逡倍用クロック) の 11 分周。</p> <p>001011 : 入力ドットクロック (逡倍用クロック) の 12 分周。</p> <p>001100 : 入力ドットクロック (逡倍用クロック) の 13 分周。</p> <p>001101 : 入力ドットクロック (逡倍用クロック) の 14 分周。</p> <p>001110 : 入力ドットクロック (逡倍用クロック) の 15 分周。</p> <p>001111 : 入力ドットクロック (逡倍用クロック) の 16 分周。</p> <p>010000 : 入力ドットクロック (逡倍用クロック) の 17 分周。</p> <p>010001 : 入力ドットクロック (逡倍用クロック) の 18 分周。</p> <p>010010 : 入力ドットクロック (逡倍用クロック) の 19 分周。</p> <p>010011 : 入力ドットクロック (逡倍用クロック) の 20 分周。</p> <p>010100 : 入力ドットクロック (逡倍用クロック) の 21 分周。</p> <p>010101 : 入力ドットクロック (逡倍用クロック) の 22 分周。</p> <p>010110 : 入力ドットクロック (逡倍用クロック) の 23 分周。</p> <p>010111 : 入力ドットクロック (逡倍用クロック) の 24 分周。</p> <p>011000 : 入力ドットクロック (逡倍用クロック) の 25 分周。</p> <p>011001 : 入力ドットクロック (逡倍用クロック) の 26 分周。</p> <p>011010 : 入力ドットクロック (逡倍用クロック) の 27 分周。</p> <p>011011 : 入力ドットクロック (逡倍用クロック) の 28 分周。</p> <p>011100 : 入力ドットクロック (逡倍用クロック) の 29 分周。</p> <p>011101 : 入力ドットクロック (逡倍用クロック) の 30 分周。</p> <p>011110 : 入力ドットクロック (逡倍用クロック) の 31 分周。</p> <p>011111 : 入力ドットクロック (逡倍用クロック) の 32 分周。</p> <p>100000 : 入力ドットクロック (逡倍用クロック) の 33 分周。</p>

ビット	ビット名	初期値	R/W	内部更新	説 明
5~0	FRQSEL	000000	R/W	なし	100001: 入力ドットクロック (逡倍用クロック) の 34 分周。 100010: 入力ドットクロック (逡倍用クロック) の 35 分周。 100011: 入力ドットクロック (逡倍用クロック) の 36 分周。 100100: 入力ドットクロック (逡倍用クロック) の 37 分周。 100101: 入力ドットクロック (逡倍用クロック) の 38 分周。 100110: 入力ドットクロック (逡倍用クロック) の 39 分周。 100111: 入力ドットクロック (逡倍用クロック) の 40 分周。 101000: 入力ドットクロック (逡倍用クロック) の 41 分周。 101001: 入力ドットクロック (逡倍用クロック) の 42 分周。 101010: 入力ドットクロック (逡倍用クロック) の 43 分周。 101011: 入力ドットクロック (逡倍用クロック) の 44 分周。 101100: 入力ドットクロック (逡倍用クロック) の 45 分周。 101101: 入力ドットクロック (逡倍用クロック) の 46 分周。 101110: 入力ドットクロック (逡倍用クロック) の 47 分周。 101111: 入力ドットクロック (逡倍用クロック) の 48 分周。 110000: 入力ドットクロック (逡倍用クロック) の 49 分周。 110001: 入力ドットクロック (逡倍用クロック) の 50 分周。 110010: 入力ドットクロック (逡倍用クロック) の 51 分周。 110011: 入力ドットクロック (逡倍用クロック) の 52 分周。 110100: 入力ドットクロック (逡倍用クロック) の 53 分周。 110101: 入力ドットクロック (逡倍用クロック) の 54 分周。 110110: 入力ドットクロック (逡倍用クロック) の 55 分周。 110111: 入力ドットクロック (逡倍用クロック) の 56 分周。 111000: 入力ドットクロック (逡倍用クロック) の 57 分周。 111001: 入力ドットクロック (逡倍用クロック) の 58 分周。 111010: 入力ドットクロック (逡倍用クロック) の 59 分周。 111011: 入力ドットクロック (逡倍用クロック) の 60 分周。 111100: 入力ドットクロック (逡倍用クロック) の 61 分周。 111101: 入力ドットクロック (逡倍用クロック) の 62 分周。 111110: 入力ドットクロック (逡倍用クロック) の 63 分周。 111111: 入力ドットクロック (逡倍用クロック) の 64 分周。

(2) 出力信号タイミング調整レジスタ (OTAR : Output signal Timing Adjustment Register)

• アドレス : H'FFF90004

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	DEA			—	CLAMPA			—	DRGBA			—	—	—	—
初期値 :	—	0	0	0	—	0	0	0	—	0	0	0	—	—	—	—
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CDEA			—	DISPA			—	SYNCA		
初期値 :	—	—	—	—	—	0	0	0	—	0	0	0	—	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	内部更新	説明
31	-	-	R	-	リザーブビットです。
30~28	DEA	000	R/W	なし	DE 信号出力タイミング調整 (DE output timing Adjustment) 000 : 出力タイミングの調整を行いません。 ドットクロックの立ち上がりで DE 信号を出力し、基準タイミングとなります。 001 : 基準タイミングに対してドットクロック (1) サイクル分遅延させ、立ち上がりタイミングで DE 信号を出力します。 010 : 基準タイミングに対してドットクロック (2) サイクル分遅延させ、立ち上がりタイミングで DE 信号を出力します。 011 : 基準タイミングに対してドットクロック (3) サイクル分遅延させ、立ち上がりタイミングで DE 信号を出力します。 100 : 基準タイミングに対してドットクロック (1/2) サイクル分速く、立ち下がりタイミングで DE 信号を出力します。 101 : 基準タイミングに対してドットクロック (1/2) サイクル分遅延させ、立ち下がりタイミングで DE 信号を出力します。 110 : 基準タイミングに対してドットクロック (1+1/2) サイクル分遅延させ、立ち下がりタイミングで DE 信号を出力します。 111 : 基準タイミングに対してドットクロック (2+1/2) サイクル分遅延させ、立ち下がりタイミングで DE 信号を出力します。
27	-	-	R	-	リザーブビットです。

ビット	ビット名	初期値	R/W	内部更新	説明
26~24	CLAMPA	000	R/W	なし	<p>CLAMP 信号出力タイミング調整 (CLAMP output timing Adjustment)</p> <p>000: 出力タイミングの調整を行いません。 ドットクロックの立ち上がりで CLAMP 信号を出力し、基準タイミングとなります。</p> <p>001: 基準タイミングに対してドットクロック (1) サイクル分遅延させ、立ち上がりタイミングで CLAMP 信号を出力します。</p> <p>010: 基準タイミングに対してドットクロック (2) サイクル分遅延させ、立ち上がりタイミングで CLAMP 信号を出力します。</p> <p>011: 基準タイミングに対してドットクロック (3) サイクル分遅延させ、立ち上がりタイミングで CLAMP 信号を出力します。</p> <p>100: 基準タイミングに対してドットクロック (1/2) サイクル分速く、立ち下がりタイミングで CLAMP 信号を出力します。</p> <p>101: 基準タイミングに対してドットクロック (1/2) サイクル分遅延させ、立ち下がりタイミングで CLAMP 信号を出力します。</p> <p>110: 基準タイミングに対してドットクロック (1+1/2) サイクル分遅延させ、立ち下がりタイミングで CLAMP 信号を出力します。</p> <p>111: 基準タイミングに対してドットクロック (2+1/2) サイクル分遅延させ、立ち下がりタイミングで CLAMP 信号を出力します。</p>
23	-	-	R	-	リザーブビットです。

ビット	ビット名	初期値	R/W	内部更新	説 明
22~20	DRGBA	000	R/W	なし	<p>デジタル RGB 信号出力タイミング調整(Digital RGB output timing Adjustment)</p> <p>000 : 出力タイミングの調整を行いません。 ドットクロックの立ち上がりでデジタル RGB 信号を出力し、基準タイミングとなります。</p> <p>001 : 基準タイミングに対してドットクロック (1) サイクル分遅延させ、立ち上がりタイミングでデジタル RGB 信号を出力します。</p> <p>010 : 基準タイミングに対してドットクロック (2) サイクル分遅延させ、立ち上がりタイミングでデジタル RGB 信号を出力します。</p> <p>011 : 基準タイミングに対してドットクロック (3) サイクル分遅延させ、立ち上がりタイミングでデジタル RGB 信号を出力します。</p> <p>100 : 基準タイミングに対してドットクロック (1/2) サイクル分速く、立ち下がりタイミングでデジタル RGB 信号を出力します。</p> <p>101 : 基準タイミングに対してドットクロック (1/2) サイクル分遅延させ、立ち下がりタイミングでデジタル RGB 信号を出力します。</p> <p>110 : 基準タイミングに対してドットクロック (1+1/2) サイクル分遅延させ、立ち下がりタイミングでデジタル RGB 信号を出力します。</p> <p>111 : 基準タイミングに対してドットクロック (2+1/2) サイクル分遅延させ、立ち下がりタイミングでデジタル RGB 信号を出力します。</p>
19~11	-	-	R	-	リザーブビットです。

ビット	ビット名	初期値	R/W	内部更新	説 明
10~8	CDEA	000	R/W	なし	<p>CDE 信号出力タイミング調整 (CDE output timing Adjustment)</p> <p>000: 出力タイミングの調整を行いません。 ドットクロックの立ち上がりで CDE 信号を出力し、基準タイミングとなります。</p> <p>001: 基準タイミングに対してドットクロック (1) サイクル分遅延させ、立ち上がりタイミングで CDE 信号を出力します。</p> <p>010: 基準タイミングに対してドットクロック (2) サイクル分遅延させ、立ち上がりタイミングで CDE 信号を出力します。</p> <p>011: 基準タイミングに対してドットクロック (3) サイクル分遅延させ、立ち上がりタイミングで CDE 信号を出力します。</p> <p>100: 基準タイミングに対してドットクロック (1/2) サイクル分速く、立ち下がりタイミングで CDE 信号を出力します。</p> <p>101: 基準タイミングに対してドットクロック (1/2) サイクル分遅延させ、立ち下がりタイミングで CDE 信号を出力します。</p> <p>110: 基準タイミングに対してドットクロック (1+1/2) サイクル分遅延させ、立ち下がりタイミングで CDE 信号を出力します。</p> <p>111: 基準タイミングに対してドットクロック (2+1/2) サイクル分遅延させ、立ち下がりタイミングで CDE 信号を出力します。</p>
7	-	-	R	-	リザーブビットです。

ビット	ビット名	初期値	R/W	内部更新	説 明
6~4	DISPA	000	R/W	なし	<p>DISP 信号出力タイミング調整 (DISP output timing Adjustment)</p> <p>000 : 出力タイミングの調整を行いません。</p> <p>ドットクロックの立ち上がりで DISP 信号を出力し、基準タイミングとなります。</p> <p>001 : 基準タイミングに対してドットクロック (1) サイクル分遅延させ、立ち上がりタイミングで DISP 信号を出力します。</p> <p>010 : 基準タイミングに対してドットクロック (2) サイクル分遅延させ、立ち上がりタイミングで DISP 信号を出力します。</p> <p>011 : 基準タイミングに対してドットクロック (3) サイクル分遅延させ、立ち上がりタイミングで DISP 信号を出力します。</p> <p>100 : 基準タイミングに対してドットクロック (1 / 2) サイクル分速く、立ち下がりタイミングで DISP 信号を出力します。</p> <p>101 : 基準タイミングに対してドットクロック (1 / 2) サイクル分遅延させ、立ち下がりタイミングで DISP 信号を出力します。</p> <p>110 : 基準タイミングに対してドットクロック (1 + 1 / 2) サイクル分遅延させ、立ち下がりタイミングで DISP 信号を出力します。</p> <p>111 : 基準タイミングに対してドットクロック (2 + 1 / 2) サイクル分遅延させ、立ち下がりタイミングで DISP 信号を出力します。</p>
3	-	-	R	-	リザーブビットです。

ビット	ビット名	初期値	R/W	内部更新	説 明
2~0	SYNCA	000	R/W	なし	<p>SYNC (HSYNC、VSYNC、CSYNC、ODDF) 信号出力タイミング調整 (SYNc output timing Adjustment)</p> <p>000: 出力タイミングの調整を行いません。</p> <p>ドットクロックの立ち上がりで SYNC (HSYNC、VSYNC、CSYNC、ODDF) 信号を出力し、基準タイミングとなります。</p> <p>001: 基準タイミングに対してドットクロック (1) サイクル分遅延させ、立ち上がりタイミングで SYNC (HSYNC、VSYNC、CSYNC、ODDF) 信号を出力します。</p> <p>010: 基準タイミングに対してドットクロック (2) サイクル分遅延させ、立ち上がりタイミングで SYNC (HSYNC、VSYNC、CSYNC、ODDF) 信号を出力します。</p> <p>011: 基準タイミングに対してドットクロック (3) サイクル分遅延させ、立ち上がりタイミングで SYNC (HSYNC、VSYNC、CSYNC、ODDF) 信号を出力します。</p> <p>100: 基準タイミングに対してドットクロック (1/2) サイクル分速く、立ち下がりタイミングで SYNC (HSYNC、VSYNC、CSYNC、ODDF) 信号を出力します。</p> <p>101: 基準タイミングに対してドットクロック (1/2) サイクル分遅延させ、立ち下がりタイミングで SYNC (HSYNC、VSYNC、CSYNC、ODDF) 信号を出力します。</p> <p>110: 基準タイミングに対してドットクロック (1+1/2) サイクル分遅延させ、立ち下がりタイミングで SYNC (HSYNC、VSYNC、CSYNC、ODDF) 信号を出力します。</p> <p>111: 基準タイミングに対してドットクロック (2+1/2) サイクル分遅延させ、立ち下がりタイミングで SYNC (HSYNC、VSYNC、CSYNC、ODDF) 信号を出力します。</p>

【注】 立ち下がりタイミングを設定した場合は、電気的特性は対象外となります。

23.3 表示機能

23.3.1 出力画面構造

ディスプレイユニット (DU) は、最大 4 階層表示でウィンドウ表示を行います。それぞれのウィンドウをプレーンと呼び、プレーンごとの重ね合わせ順序は任意に設定可能です。各プレーンは、表示 ON/OFF や表示データフォーマット (8bit/pixel、16bit/pixel、ARGB、YC)、ブレンディング機能などの独自設定が可能です。ウィンドウ表示のプレーンに加え、アルファ値専用のプレーンを最大 1 階層で合成が可能です。

各プレーンはダブルバッファ (ビデオキャプチャ指定プレーンのみトリプルバッファ) 構成となり、スムーズな表示が可能です。

【注】 高解像度表示の場合、合成するプレーン面数や表示サイズによりユニファイドメモリのトラフィック量が多くなり、トラフィック量起因による制限が発生する場合がありますが、表示機能には制限がありません。

表 23.3 プレーンの表示機能

	表示 ON/ OFF	表示データフォーマット				重ね合わせ	ブリンキング	サイズ	スクロール	ラップ アラウンド
		8bit/pixel	16bit/pixel	ARGB	YC					
プレーン 1		*1			*2	ブレンド / 透過色 / EOR 演算		X、Y 任意		
プレーン 2										
プレーン 3										
プレーン 4										
プレーン 1			x	x	x	x				
下地色*3	x	x	x	x	x	x	x	x	x	x

【注】 *1 カラーパレット 1、カラーパレット 2、カラーパレット 3、カラーパレット 4 のいずれかを選択。

*2 YC RGB 変換は、最上位プレーンの YUV データのみ変換可能です。

*3 下地色は RGB:6・6・6 のデータフォーマットとなります。

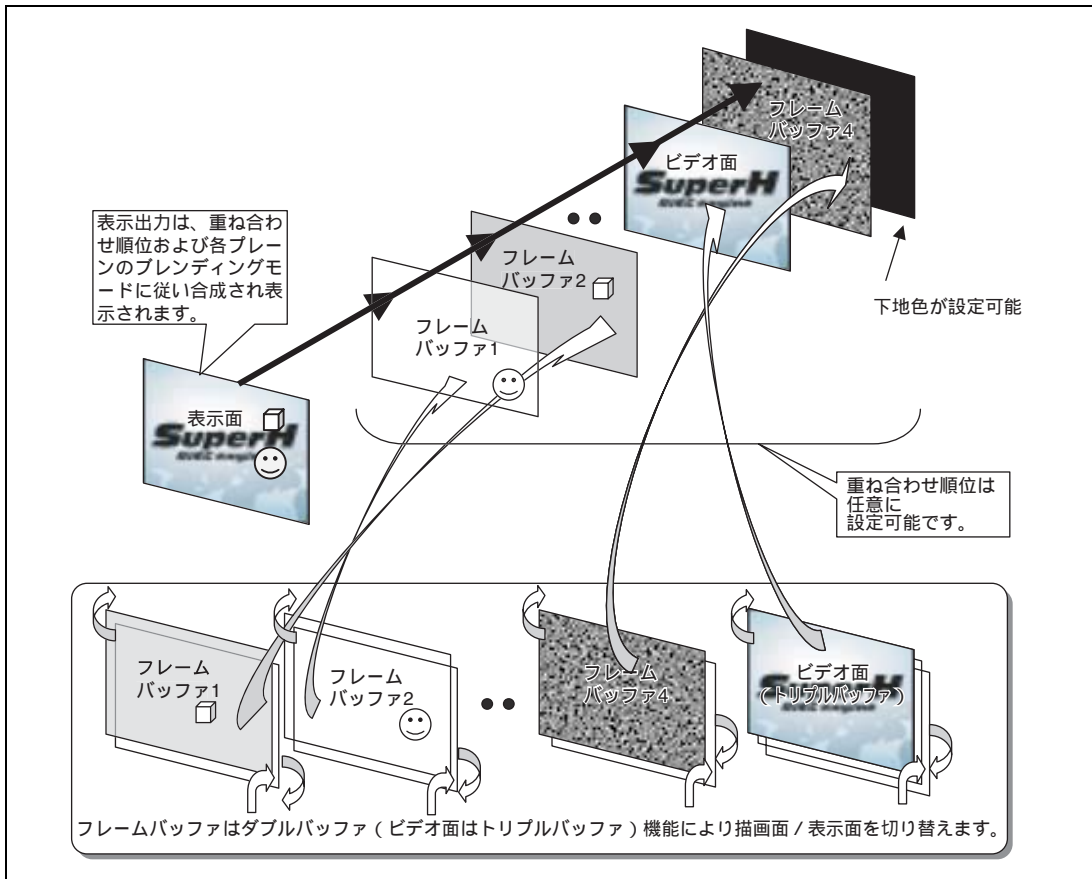


図 23.2 プレーン構成および重ね合わせ概略

23.3.2 表示 ON、OFF

すべての表示 ON、OFF は、表示システム制御レジスタ (DSYSR) /DEN で設定します。DEN が 0 の場合は表示オフ時出力レジスタ (DOOR) に設定された表示データを表示します。

プレーン 1~4 の表示 ON、OFF は、表示プレーン優先順位レジスタ (DPPR) で設定します。下記のような表示条件の場合は下地色レジスタ (BPOR) に設定された表示データを表示します。

1. プレーン 1~4 がすべて表示 OFF
2. 表示サイズと表示位置により表示するプレーンのない領域
3. 表示するプレーンの画素がすべて透過色である場合

表 23.4 プレーン 1~4 の表示 ON/OFF

表示面	表示プレーン優先順位レジスタ (DPPR)
プレーン 1	優先順位 1~8 のいずれかにプレーン 1 を選択し、当該許可ビットに 1 を設定
プレーン 2	優先順位 1~8 のいずれかにプレーン 2 を選択し、当該許可ビットに 1 を設定
プレーン 3	優先順位 1~8 のいずれかにプレーン 3 を選択し、当該許可ビットに 1 を設定
プレーン 4	優先順位 1~8 のいずれかにプレーン 4 を選択し、当該許可ビットに 1 を設定

【注】 表示プレーン優先順位レジスタ (DPPR) で表示 ON としても、次の条件の場合は表示 OFF として扱われ、該当プレーンは表示しません。

1. プレーン n 表示位置 X レジスタ (PnDPXR) に設定した値が画面サイズ { 水平表示終了位置レジスタ (HDE) - 水平表示開始位置レジスタ (HDS) } より大きいプレーン。
2. プレーン n 表示位置 Y レジスタ (PnDPYR) に設定した値が画面サイズ { 垂直表示終了位置レジスタ (VDE) - 垂直表示開始位置レジスタ (VDS) } より大きいプレーン。
3. プレーン n 表示サイズ X レジスタ (PnDSXR) に設定した値が 0 であるプレーン。
4. プレーン n 表示サイズ Y レジスタ (PnDSYR) に設定した値が 0 であるプレーン。
5. プレーン n メモリ幅レジスタ (PnMWR) に設定した値が 0 であるプレーン。
6. プレーン n 開始位置 X レジスタ (PnSPXR) に設定した値がプレーン n メモリ幅レジスタ (PnMWR) に設定した値の 2 倍以上であるプレーン。

23.3.3 プレーンパラメータ

プレーンでは表示領域開始位置・メモリ幅・表示開始位置・表示サイズをレジスタによって設定します。

プレーンに関する各種開始位置およびサイズ概念図と各種開始位置とサイズの設定に関するレジスタを以下に示します。

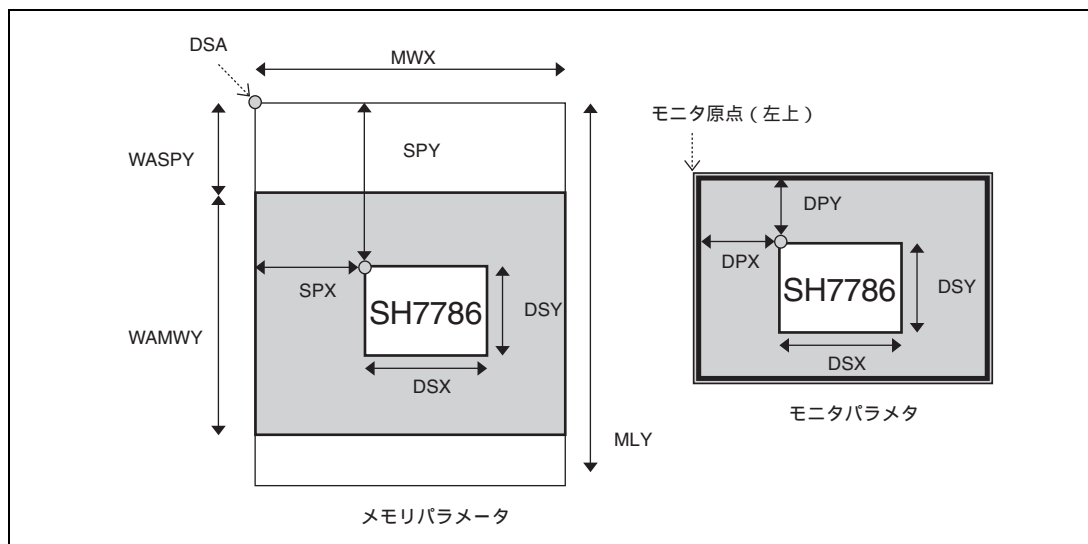


図 23.3 パラメータ

表 23.5 メモリパラメータ・モニタパラメータ設定レジスタ

No	図中の名称	設定レジスタ名	説明
	MWX (プレーンメモリ幅)	PnMWXR	プレーンの X 方向のメモリ幅を 16 画素 ~ 4096 画素まで 16 画素単位に設定します。
	DSA (表示領域開始位置)	PnDSA0R ~ PnDSA2R	メモリ領域におけるプレーン n の開始アドレスを設定します。
	WASPY (プレーン n ラップアラウンド 開始位置)	PnWASPR	DSA で設定したアドレスを基準に、プレーン n ラップアラウンドエリアの Y 方向開始位置を画素単位で設定します。
	WAMWY (ラップアラウンドメモリ幅)	PnWAMWR	ラップアラウンドの Y 方向のメモリ幅を 240 ~ 4095 ラインの範囲で任意設定します。
	SPX (開始位置 X)	PnSPXR	DSA で設定したアドレスを原点として表示開始位置までの X 方向の距離を画素単位で設定します
	SPY (開始位置 Y)	PnSPYR	DSA で設定したアドレスを原点として表示開始位置までの Y 方向の距離をラスタ単位で設定します
	DSX (表示サイズ X)	PnDSXR	プレーン n の X 方向の表示サイズを画素単位で設定します。
	DSY (表示サイズ Y)	PnDSYR	プレーン n の Y 方向の表示サイズをラスタ単位で設定します。

No	図中の名称	設定レジスタ名	説明
	DPX (表示位置 X)	PnDPXR	モニタの左上を原点として表示位置までの X 方向の距離を画素単位で設定します。
	DPY (表示位置 Y)	PnDPYR	モニタの左上を原点として表示位置までの Y 方向の距離をラスタ単位で設定します。
	MLY (メモリ長 Y)	PnMLR	プレーン n の Y 方向のメモリ領域をラスタ単位で設定します。

23.3.4 メモリ割り付け

各プレーンは表示面、描画面 1 およびビデオ表示のための描画面 2 の表示領域開始アドレスを個別に設定することができます。表示領域開始アドレスレジスタには、使用するメモリ領域の先頭アドレスを各々に設定します。

ディスプレイユニット (DU) では、表示プレーンがビデオキャプチャでは、それぞれのプレーンごとの表示領域開始アドレス 0、1 および 2 を使用してトリプルバッファ制御を行い、ビデオキャプチャ以外では、プレーンごとの表示領域開始アドレス 0 および 1 を使用してダブルバッファ制御を行い各プレーンを表示します。

アルファ値専用プレーンは表示プレーンと同じバッファ制御ができます。

表示キャプチャでは格納する領域を 1 つのみ設定することができます。

各プレーンで使用する、表示領域開始アドレスレジスタ一覧を以下に示します。

表 23.6 メモリ割り付け設定レジスタ

表示面	設定レジスタ名称	
プレーン 1	プレーン 1 表示領域開始アドレスレジスタ 0	P1DSA0R
	プレーン 1 表示領域開始アドレスレジスタ 1	P1DSA1R
	プレーン 1 表示領域開始アドレスレジスタ 2	P1DSA2R
プレーン 2	プレーン 2 表示領域開始アドレスレジスタ 0	P2DSA0R
	プレーン 2 表示領域開始アドレスレジスタ 1	P2DSA1R
	プレーン 2 表示領域開始アドレスレジスタ 2	P2DSA2R
プレーン 3	プレーン 3 表示領域開始アドレスレジスタ 0	P3DSA0R
	プレーン 3 表示領域開始アドレスレジスタ 1	P3DSA1R
	プレーン 3 表示領域開始アドレスレジスタ 2	P3DSA2R
プレーン 4	プレーン 4 表示領域開始アドレスレジスタ 0	P4DSA0R
	プレーン 4 表示領域開始アドレスレジスタ 1	P4DSA1R
	プレーン 4 表示領域開始アドレスレジスタ 2	P4DSA2R
プレーン 1	アルファ値プレーン 1 表示領域開始アドレスレジスタ 0	AP1DSA0R
	アルファ値プレーン 1 表示領域開始アドレスレジスタ 1	AP1DSA1R
	アルファ値プレーン 1 表示領域開始アドレスレジスタ 2	AP1DSA2R
表示キャプチャ	表示キャプチャ格納領域開始アドレスレジスタ	DCSAR

23.3.5 表示データフォーマット

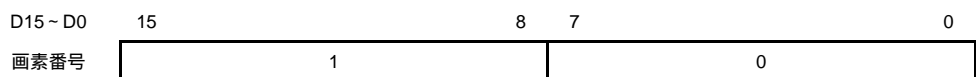
表示されるカラーデータには次の形式があります。

ユニファイドメモリ上にリトルエンディアンで配置された場合のデータ構成を示します。

- 8bit/pixel

カラーパレットのインデックスです。カラーパレットによって RGB 各 6 ビットの画像データに変換して表示します。

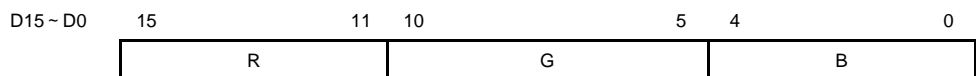
8bit/pixel データ (インデックスカラー)



- 16bit/pixel : RGB

RGB のレベルを R : 5 ビット、G : 6 ビット、B : 5 ビットで表現します。

16bit/pixel データ (RGB データ) フォーマット

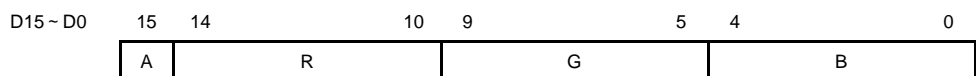


- 16bit/pixel : ARGB

ARGB のレベルを A : 1、R : 5、G : 5、B : 5 ビットで表現します。RGB の値のほかにアルファ値を設定します。

A 値によるブレンディング制御はブレン n モードレジスタ (PnMR)/PnSPIM がブレンディングを行う設定の場合に有効となります。ブレン n ブレンド比レジスタ (PnALPHAR)/PnALPHA の PnABIT ビットが 00 の場合、A 値 = 1 で ブレンディングを行います。PnABIT ビットが 01 の場合、A 値 = 0 で ブレンディングを行います。PnABIT ビットが 10 あるいは 11 の場合は A 値の値によらず ブレンディングを行います。PnSPIM がブレンディング設定でないとき A 値の値によらずブレンディングを行いません。

16bit/pixel データ (ARGB データ) フォーマット



- YC

YC(YCbCr) = 4:2:2 形式の画像データです。演算回路により RGB 各 8 ビットの画像データに変換して表示します。

YC のデータ並びは UYVY 形式と YUYV 形式に対応しています。UYVY 形式と YUYV 形式はプレーン n モードレジスタ (PnMR) /PnYCDF にて選択できます。

(1) UYVY 形式

D63 ~ D48	63	56	55	48
画像データ 3, 4	Y3		V2	
D47 ~ D32	47	40	39	32
画像データ 3, 4	Y2		U2	
D31 ~ D16	31	24	23	16
画像データ 1, 2	Y1		V0	
D15 ~ D0	15	8	7	0
画像データ 1, 2	Y0		U0	

(2) YUYV 形式

D63 ~ D48	63	56	55	48
画像データ 3, 4	V2		Y3	
D47 ~ D32	47	40	39	32
画像データ 3, 4	U2		Y2	
D31 ~ D16	31	24	23	16
画像データ 1, 2	V0		Y1	
D15 ~ D0	15	8	7	0
画像データ 1, 2	U0		Y0	

23.3.6 出力データおよび表示キャプチャデータフォーマット

ディスプレイユニット (DU) から Digital RGB 出力する場合、各表示データフォーマットを R・G・B 8・8・8 に展開した後に出力します。端子へ出力する場合は展開後の 8 ビット中、上位 6 ビットを出力します。

表示キャプチャデータは Red および Blue 端子出力の上位 5 ビット、Green 端子出力の 6 ビットを格納します。データフォーマットを下表に記します。

表 23.7 出力データフォーマット

RGB 端子出力データ	Red						Green						Blue																	
	5	4	3	2	1	0	5	4	3	2	1	0	5	4	3	2	1	0												
8bit/pixel	R(6bit)						0	0	G(6bit)						0	0	B(6bit)						0	0						
16bit/pixel	R(5bit)						0	0	0	0	G(6bit)						0	0	B(5bit)						0	0	0	0		
ARGB	R(5bit)						0	0	0	0	G(5bit)						0	0	0	0	B(5bit)						0	0	0	0
YC RGB	R(6bit)						0	0	G(6bit)						0	0	B(6bit)						0	0						
表示キャプチャ	R(5bit)										G(6bit)								B(5bit)											

23.3.7 エンディアン変換

ディスプレイユニット (DU) は、表示システム制御レジスタ (DSYSR) /DSEC ビットの設定によりビッグエンディアン / リトルエンディアンの変換が可能です。

Display Unit 内部はリトルエンディアン固定となっており、表示システム制御レジスタ (DSYSR) /DSEC ビットを 1 に設定することで、ユニファイドメモリ上にビッグエンディアンで配置された表示データをリトルエンディアンに変換して読み出しが行えます。

エンディアン変換の単位 (バイト / ワード) は、プレーン n モードレジスタ (PnMR) /PnDDF の設定に従います。

表 23.8 エンディアン変換単位

PnMR/PnDDF	データフォーマット	エンディアン変換の単位
00	8bit/pixel	バイト単位
01	16bit/pixel (RGB データ)	ワード単位
10	ARGB モード	ワード単位
11	YC モード	バイト単位

以下に各単位におけるエンディアン変換を図 23.4 に示します。

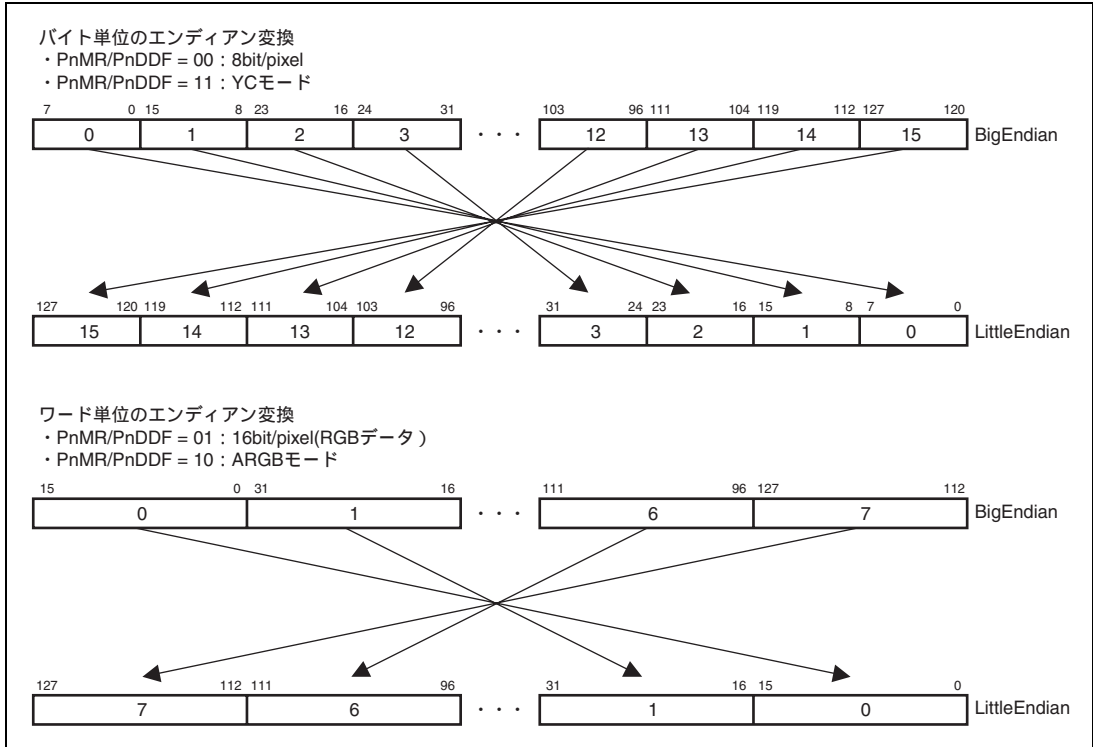


図 23.4 エンディアン変換

23.3.8 カラーパレット

8bit/pixel データはカラーパレットを使用します。

カラーパレットは、プレーン n モードレジスタ (PnMR) / PnCPSL で設定します。カラーパレットは 2 面の交替バッファで構成されており、一方が表示面、他方が CPU アクセス面となります。カラーパレットの設定後、カラーパレット制御レジスタ (CPCR) のカラーパレット切り替えイネーブルビット (CPICE) を 1 にセットすることにより、次の VSYNC の立ち上がり (内部更新タイミング)、または表示リセット解除 (DSYSR : DRES ビット 10) で設定したカラーパレットが有効になります。

(1) カラーパレット使用上の注意

1. 交替バッファで構成されているため、カラーパレットの更新時には全面書き換えが必要です。ただし、カラーパレットの更新内容を管理している場合は、該当部分のみの書き換えでも問題ありません。
2. カラーパレットの設定終了時には、必ず切り替えイネーブルビットを 1 に設定してください。
3. カラーパレットを CPU からリードする場合は、切り替えイネーブルビットを 1 にセットする前に行ってください。

(2) カラーパレット設定手順

(a) 初期状態からの切り替え手順

初期状態 (パワーオンリセット後) は表示リセット状態です。

1. 表示制御レジスタを設定。
2. カラーパレットを設定。
3. カラーパレット設定完了後、カラーパレット切り替えイネーブルに 1 を設定。
4. 表示リセットを解除。

(b) 表示状態からの切り替え手順

表示状態はシステム制御レジスタの DRES=0、DEN=1 の状態です。

1. カラーパレット切り替えイネーブルの 0 を確認。
2. カラーパレットを設定。
3. カラーパレット設定完了後、カラーパレット切り替えイネーブルに 1 を設定。

23.3.9 プレーンの重ね合わせ表示

各プレーンは、ブレンディング、透過色、EOR 演算の 3 種類を組み合わせた重ね合わせ表示が可能です。プレーン n モードレジスタ (PnMR) /PnSPIM を設定することで重ね合わせ表示を選択します。

ただし、同一プレーンに対し ブレンディングと EOR 演算を同時に行うことはできません。

表 23.9 重ね合わせ表示

PnSPIM	重ね合わせ表示
000	指定プレーンは透過処理を行います。 指定プレーンが透過色の場合は下位プレーンを表示します。(初期値)
001	指定プレーンと下位プレーンとのブレンディングを行います。 指定プレーンが透過色の場合はブレンディングを行わず、下位プレーンを表示します。
010	指定プレーンと下位プレーンとの EOR 演算を行います。 指定プレーンが透過色の場合は EOR 演算を行わず、下位プレーンを表示します。
011	設定禁止。(下位プレーンを表示します)
100	指定プレーンは透過処理を行いません。 指定プレーンを表示します。
101	指定プレーンと下位プレーンとのブレンディングを行います。 指定プレーンの透過色指定は無視し、指定プレーンのすべての画素と下位プレーンとのブレンディングを行います。
110	指定プレーンと下位プレーンとの EOR 演算を行います。 指定プレーンの透過色指定は無視し、指定プレーンのすべての画素と下位プレーンとの EOR 演算を行います。
111	設定禁止。(下位プレーンを表示します)

ブレンディングおよび EOR 演算は表示データフォーマットを R・G・B 8:8:8 に展開したあとに行います。各表示データフォーマットの補完フォーマットを下表に示します。

表 23.10 各表示データフォーマットにおける R・G・B 8:8:8 展開時のビット構成

データフォーマット	R (8bit)			G (8bit)			B (8bit)		
8bit/pixel	R (6bit)	0	0	G (6bit)	0	0	B (6bit)	0	0
16bit/pixel	R (5bit)	0	0	G (6bit)	0	0	B (5bit)	0	0
ARGB	R (5bit)	0	0	G (5bit)	0	0	B (5bit)	0	0
YC RGB	R (8bit)			G (8bit)			B (8bit)		

ブレンディングおよび EOR 演算は下位のプレーンから上位のプレーンの順に処理を行います。これをブロック図化したものを図 23.5 に示します。

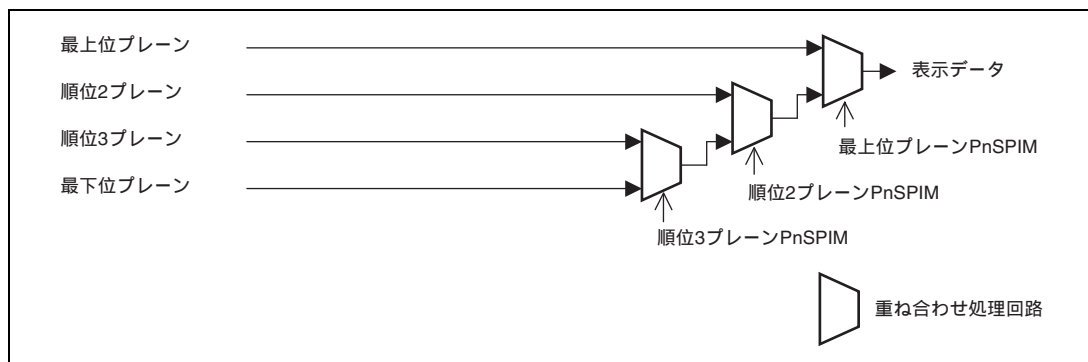


図 23.5 ブレンディング・EOR 演算時のプレーン処理順序

ブレンディングあるいは EOR 演算する表示データのデータフォーマットが 8bit/pixel の場合は、あらかじめ使用するカラーパレットの選択を行ってから ブレンディングあるいは EOR 演算の ON/OFF を設定してください。このとき ブレンディングあるいは EOR 演算する両プレーンでカラーパレットの設定を行った場合、ブレンディングあるいは EOR 演算されず指定プレーンのみ表示されます。下位プレーンがすべて表示 OFF のとき、指定プレーンを表示します。つまり、下地色レジスタ (BPOR) に指定された表示データと指定プレーンとのブレンディングあるいは EOR 演算は行いません。

(1) ブレンディング

ブレンディングは次の 4 種類から選択できるアルファ値 () に従いブレンディング処理を行います。

1. プレーン n ブレンド比レジスタ (PnALPHAR) /PnALPHA。
2. カラーパレット内のブレンド比ビット。
3. 表示プレーンの表示データ。
4. アルファ値専用プレーンのデータ。

$$\text{ブレンディング結果} = (\times \text{指定プレーン} + (H'100 -) \times \text{下位プレーン}) / H'100$$

【注】 上記式でブレンディング結果、指定プレーン、下位プレーンはすべて 8 ビットデータとなります。

アルファ値を 0 に設定した場合は、下位プレーンのみを表示します。ここで、プレーン n モードレジスタ (PnMR) /PnDDF が ARGB モードに設定かつ、プレーン n モードレジスタ (PnMR) /PnSPIM がブレンディングを行う設定の場合、出力 ARGB データフォーマットの A 値に従い、プレーン n ブレンド比レジスタ (PnALPHAR) /PnALPHA で設定されたアルファ値により ブレンディングが行われます。プレーン n ブレンド比レジスタ (PnALPHAR) /PnALPHA の PnABIT ビットが 00 の場合、A 値 = 1 で ブレンディングを行います。PnABIT ビットが 01 の場合、A 値 = 0 で ブレンディングを行います。PnABIT ビットが 10 あるいは 11 の場合は A 値の値によらず ブレンディングを行います。

(2) 透過色

各プレーンは、プレーン n モードレジスタ (PnMR) /PnSPIM のビット 2 を 0 に設定することで指定面と下位プレーンとの透過色処理が可能です。ただし、YC モードの場合は透過色処理は行うことはできません。

(a) 8bit/pixel モードの場合

プレーン n モードレジスタ (PnMR) /PnTC=0 (初期値) のときプレーン n 透過色 1 レジスタ (PnTC1R) 設定に従い透過色処理を行います。プレーン n モードレジスタ (PnMR) /PnTC=1 のとき、カラーパレット透過色レジスタ (CPT1R) の設定に従った色を透過色に指定できます。透過色に指定できるのはインデックス H'00 ~ H'0F のみで、H'10 ~ H'FF は透過色に指定できません。

カラーパレット透過色レジスタはプレーン n モードレジスタ (PnMR) /PnCPSL ビットで選択します。

(b) 16bit/pixel モード、ARGB モードの場合

プレーン n モードレジスタ (PnMR) /PnTC の設定に関係なくプレーン n 透過色 2 レジスタ (PnTC2R) に従い透過色処理を行います。

ARGB モードの場合、プレーン n 透過色 2 レジスタ (PnTC2R) のビット 14~0 と比較し、ビット 15 は無視します。

以上を纏め、下表に PnTC=0、1 のそれぞれの場合に有効となる透過色指定レジスタを示します。

表 23.11 透過色指定レジスタ

データフォーマット	透過色指定ビット (PnMR) /PnTC	カラーパレットセレクトビット (PnMR) /PnCPSL	透過色指定レジスタ
8bit/pixel	0		PnTC1R
	1	000	CP1TR
16bit/pixel			PnTC2R
ARGB			PnTC2R

(3) EOR 演算

指定プレーンと下位プレーンとの EOR 演算を行います。

23.3.10 表示の競合

(1) YC データの競合

ディスプレイユニット (DU) 内には YC-RGB 変換回路を 1 セットのみ有していますので、同時に 2 プレーン以上の YC-RGB 変換を行うことができません。同時に 2 プレーン以上の YC-RGB 変換の必要な画素があった場合は、最も上にあるプレーンの画素を YC-RGB 変換し、下位のプレーンは表示されません。

下図に 3 プレーンが YC データの場合の YC-RGB 変換するプレーンを示します。

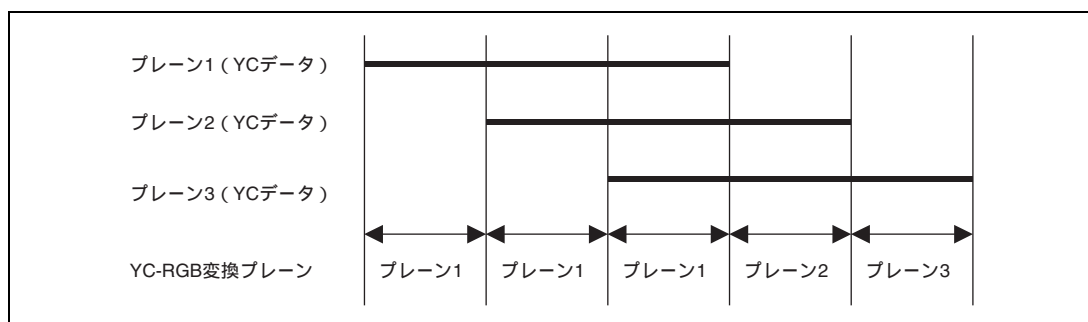


図 23.6 YC データの競合図

(2) プレーンの優先順位

各プレーンの表示優先順位は表示プレーン優先順位レジスタ (DPPR) にて設定しますが、1 つのプレーンが 2 つ以上の順位に設定された場合は、最も上の順位を選択します。

たとえば、表示プレーン優先順位 (DPPR) レジスタの設定値が H'00CB D888 の場合、優先順位と表示 ON/OFF の結果は次のとおりになります。

最上位プレーン	プレーン 1
順位 2 プレーン	該当プレーンなし
順位 3 プレーン	該当プレーンなし
最下位プレーン	プレーン 4
表示 OFF プレーン	プレーン 2、プレーン 3

23.3.11 ブリンクング

各プレーンは、表示領域開始アドレス 0 および 1 を使用してブリンクング動作が可能です。各プレーンは通常プレーン n モードレジスタ (PnMR) /PnBM の設定に従いダブルバッファ制御を行います。プレーン n モードレジスタ (PnMR) /PnBM をオートディスプレイ (ブリンクングモード) =10 に設定することにより、プレーン n ブリンクング周期レジスタ (PnBTR) /PnBTA、PnBTB で設定した周期でブリンクングを行います。

ここで、ブリンクング周期を 1 に設定すると毎 VSYNC 単位に表示領域開始アドレス 0、1 を切り替えることが可能で、旧 Q2SD のオートディスプレイチェンジモードと同様の機能が実現可能です。

【注】 プレーン n ブリンクング周期レジスタ (PnBTR) /PnBTA、PnBTB には 0 以外の値を設定してください。

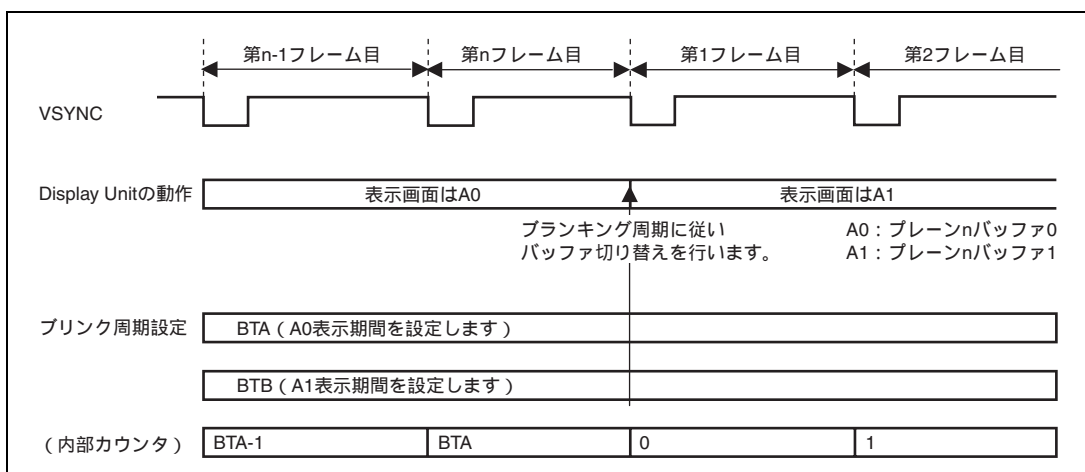


図 23.7 ブリンクング

23.3.12 スクロール表示

各プレーンは、表示領域と表示画面のサイズおよび開始位置をプレーンごと独立に設定することにより、スムーズなスクロール処理がプレーン独立に可能です。

スクロール表示を行うためには、各プレーンの表示領域開始アドレス 0~2 レジスタ (PnDSA0~2R) で指定したメモリの先頭を原点として、プレーン n 表示開始位置 X、Y (プレーン n 開始位置 X レジスタ (PnSPXR) およびプレーン n 開始位置 Y レジスタ (PnSPYR) で指定された座標) をサイクリックに設定することにより可能です。

スクロール表示概要を下図に示します。表示開始位置を A から B に設定することによりスクロール表示を行います。

【注】 各プレーンの表示サイズなどの領域設定は、メモリ構成領域外を表示しないように設定してください。

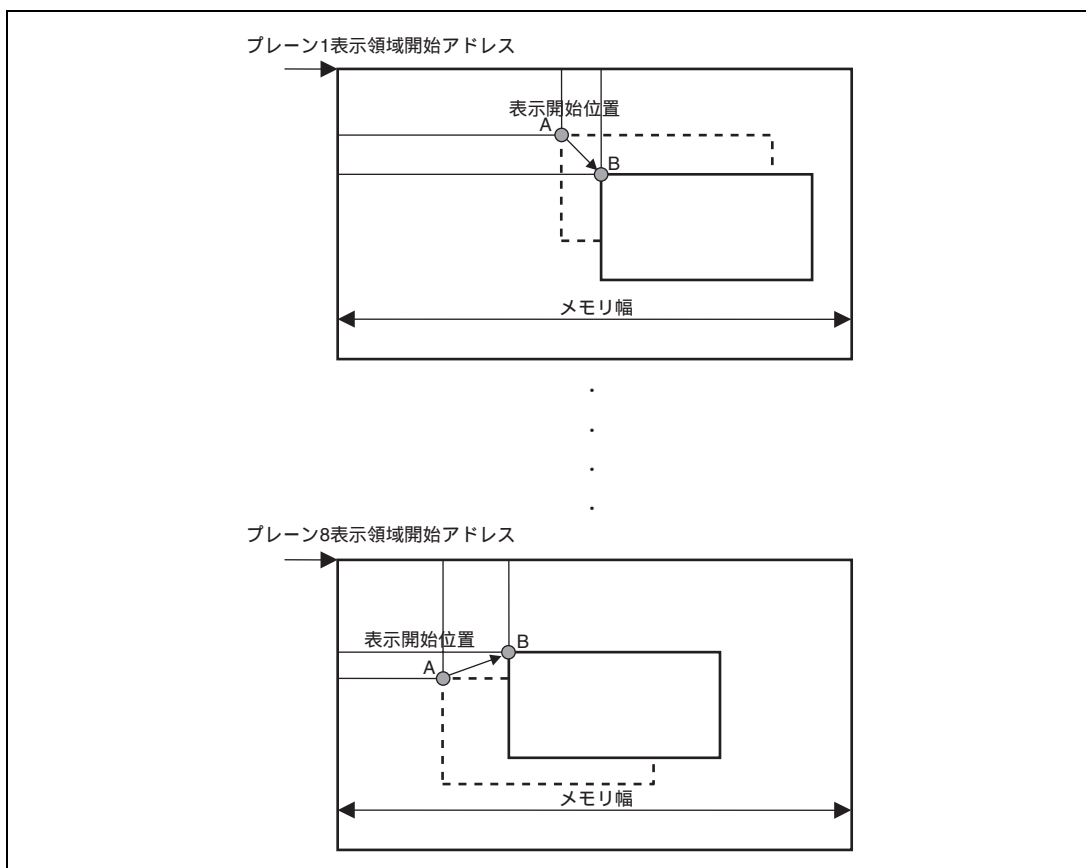


図 23.8 スクロール機能概略図

23.3.13 ラップアラウンド表示

各プレーンは、スクロール表示に加えて、球面スクロールを実現できるラップアラウンド表示ができます。ラップアラウンド表示を有効にする場合、プレーン n モードレジスタ (PnMR) /PnWAE にビットセットします。スクロール表示のため、プレーン n 表示開始位置 X、Y (プレーン n 開始位置 X レジスタ (PnSPXR) に設定するプレーン n 開始位置 X、プレーン n 開始位置 Y レジスタ(PnSPYR)に設定するプレーン n 開始位置 Y) を変化させた結果、プレーン n がラップアラウンドエリアをはみ出した場合でも、ラップアラウンド表示では、下図のようにラップアラウンドエリアを球面に見立てて、はみ出した部分を補完して表示します。ラップアラウンドエリアの指定方法を以下に示します。

1. プレーン n 表示領域開始アドレス 0 ~ 2 レジスタ (PnDSA0 ~ 2R) にプレーン n で使用するメモリの先頭アドレスを指定します。
2. 指定したメモリの先頭を原点として、プレーン n ラップアラウンド開始位置レジスタ (PnWASPR) でラップアラウンドエリアの左上座標を指定します。ラップアラウンドエリアの X 方向幅は、プレーン n メモリ幅レジスタ (PnMWR) で設定するメモリ幅です。
3. ラップアラウンドエリアの Y 方向幅は、プレーン n ラップアラウンドメモリ幅レジスタ (PnWAMWR) で設定します。

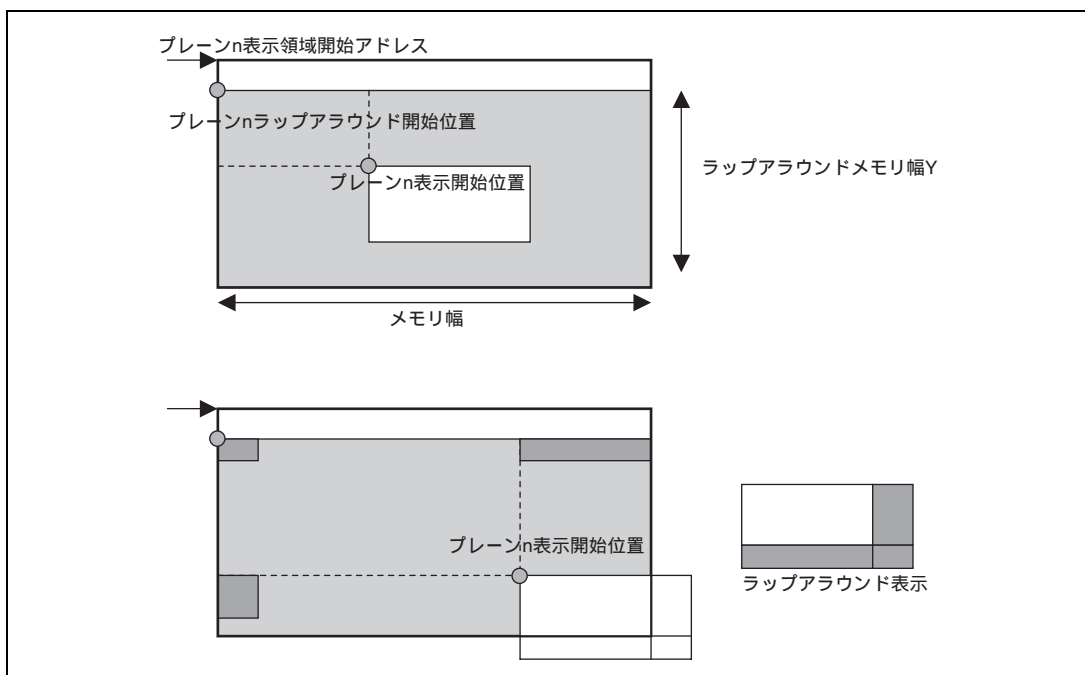


図 23.9 ラップアラウンド機能概略図

【注】 ラップアラウンド表示が無効な場合 (プレーン n モードレジスタ (PnMR) /PnWAE ビット=0)、ラップアラウンドエリアをはみ出した部分は下地色レジスタ (BPOR) で指定した色となり、この色にて重ね合わせ処理を行います。

23.3.14 左上はみ出し表示

各プレーンは、メモリ上の表示開始位置（プレーン n 開始位置 X レジスタ (PnSPXR)、プレーン n 開始位置 Y レジスタ (PnSPYR)）と表示サイズ（プレーン n 表示サイズ X レジスタ (PnDSXR)、プレーン n 表示サイズ Y レジスタ (PnDSYR)）を任意に設定できるので、これらのレジスタを組み合わせることで、メモリ上の表示データを書き換えることなく、モニタの原点（左上）に対して左上へのはみ出し表示ができます。

もとの絵のサイズが (DSX, DSY)、開始位置が (SPX, SPY) の絵に対して、サイズを (DSX- X, DSY- Y)、開始位置を (SPX+ X, SPY+ Y) に設定することにより、左側に X、上側に Y 分はみ出して表示することができます。このとき、表示位置（プレーン n 表示位置 X レジスタ (PnDPXR)、プレーン n 表示位置 Y レジスタ (PnDPYR)）は 0 固定しておきます。

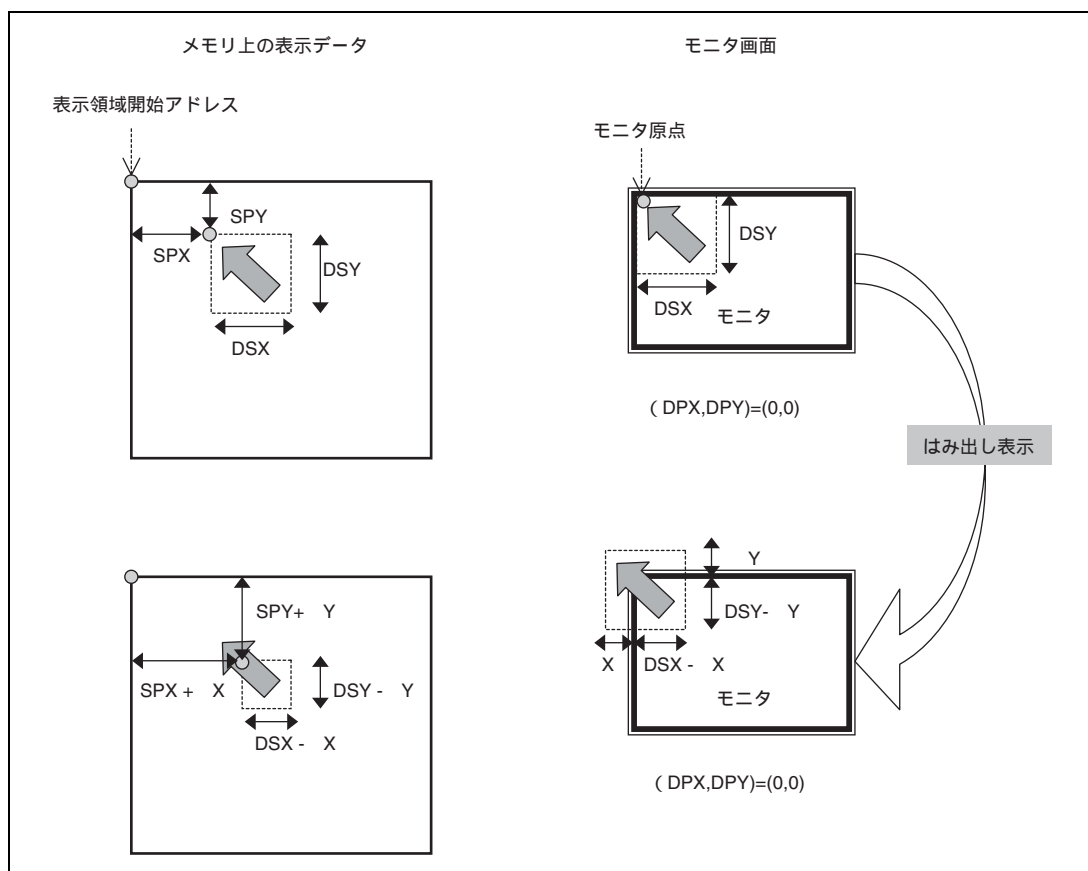


図 23.10 左上はみ出し表示概略図

23.3.15 ダブルバッファ制御

ディスプレイユニット (DU) のダブルバッファ制御は、描画が終了するまで表示を切り替えないオートレンダリングモード、表示や描画の切り替えをすべてソフトウェアで制御するマニュアルディスプレイチェンジモード、プリンキングを実現するオートディスプレイチェンジモードおよびビデオインプット (VIN) モジュールのフレーム ID に従うビデオキャプチャモードの 4 種類の機能を備えています。

オートレンダリングモードとマニュアルディスプレイチェンジモードの場合、ディスプレイチェンジは、ノンインタレースおよびインタレースシンクのと看、フレーム単位で行われ、インタレースシンク & ビデオのと看、フィールド単位で行われます。オートディスプレイチェンジモードの場合はすべてフィールド単位となり、ビデオキャプチャモードの場合はすべてフレーム単位となります。

(1) オートレンダリングモード

オートレンダリングモードは、描画が終了するまで表示の切り替えを行わないモードです。1 フレーム以内に描画が終了しなくても、そのまま描画は続行されます。

(2) マニュアルディスプレイチェンジモード

マニュアルディスプレイチェンジモードは、表示のフレーム切り替えと描画開始をソフトウェアで制御するモードです。表示の切り替えはソフトウェアによってプレーン n モードレジスタ (PnMR) /PnDC ビットで切り替えを行うか、表示ステータスレジスタ (DSSR) の DFB n で示されるプレーン n 表示開始アドレスレジスタ (PnDSA0R ~ 1R) にバッファ 0 またはバッファ 1 の開始アドレスを設定することで行えます。

描画の開始はレンダリングスタートビットで制御します。これらの制御タイミングは VBK と TRA による割り込みを用います。

なお、本モードから他のモードへ移行するときは必ず PnDC ビットに 1 を設定した後に行ってください。

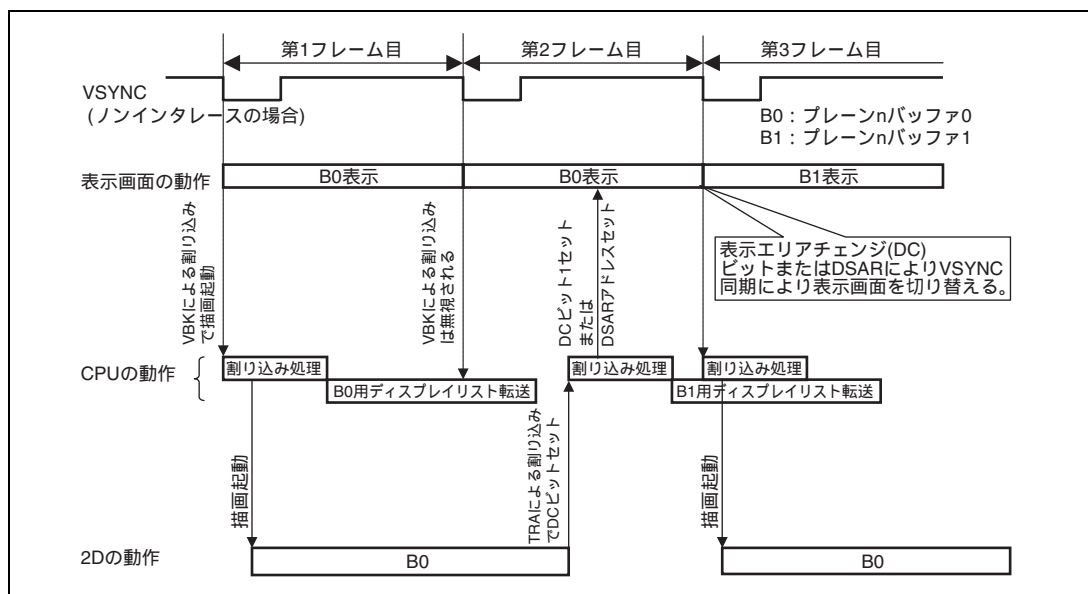


図 23.11 マニュアルディスプレイチェンジモード

(3) オートディスプレイチェンジモード

オートディスプレイチェンジモードは「23.3.11 プリンキング」をご参照ください。

(4) ビデオキャプチャモード

ビデオキャプチャモードは、ビデオインプット (VIN) モジュールからの最新キャプチャフレームを示すフレーム ID に従い、フレーム単位にて、表示フレームバッファを切り替えます。

23.3.16 同期方式

外部機器との同期動作を容易にするため、マスタモードのほかに TV 同期機能を備えています。マスタモード、TV 同期モードの選択は、表示システム制御レジスタ (DSYSR) /TVM (TV 同期モード)で行います。マスタモード (内部同期モード) の場合は垂直同期位置レジスタ (VSPR) で設定される垂直同期信号 (VSYNC) の立ち下り位置を検出し、TV 同期モード (外部同期モード) の場合は EXVSYNC 信号の立ち下り位置を検出し、表示ステータスレジスタ (DSSR) /FRM、VBK に反映します。

(1) マスタモード (内部同期モード)

表示タイミング生成レジスタに、水平、垂直同期信号 (HSYNC、VSYNC) の周期、パルス幅を設定することで、その波形を出力します。また、それに同期して表示データを出力します。

インタレースシンクモード、インタレースシンク & ビデオモードの場合は、ODDF 端子に奇数フィールド / 偶数フィールドを示す信号を出力します。

(2) TV 同期モード (外部同期モード)

TV 同期モードは TV、ビデオなどの外部の同期信号発生回路から入力される水平同期信号、垂直同期信号 (EXHSYNC、EXVSYNC) に同期して表示データを出力します。EXHSYNC 信号の立ち下がりエッジおよび EXVSYNC の立ち上がりエッジを基準として表示データを出力します。

外部の同期信号発生回路から水平同期信号、垂直同期信号およびクロックを、EXHSYNC、EXVSYNC、DCLKIN 端子にそれぞれ入力してください。CSYNC は High を出力します。インタレースシンクモード、インタレースシンク & ビデオモードの場合は、ODDF 端子に奇数フィールド / 偶数フィールドを示す信号を入力してください。ノンインタレースモードの場合は ODDF 端子を Low または High に固定してください。

また、TV 同期モードで動作させる際にも、「23.2.2 表示タイミング生成レジスタ」の HSWR、HCR、VSPR、VCR の設定は必須です。

ディスプレイユニット (DU) に設定した表示サイズ分の表示完了前であっても後であっても、EXVSYNC 信号が入力されると、ディスプレイユニット (DU) は垂直表示完了動作を行い次画面の制御に移行します。EXVSYNC 信号が入力されない場合は、垂直帰線期間のまま EXVSYNC 信号を待ち続けます (自走制御は行いません)。同様に EXHSYNC 信号が入力されると、ディスプレイユニット (DU) は水平表示完了動作を行い次ラスタの制御に移行します。EXHSYNC 信号が入力されない場合は、水平帰線期間のまま EXHSYNC 信号を待ち続けます (自走制御は行いません)。

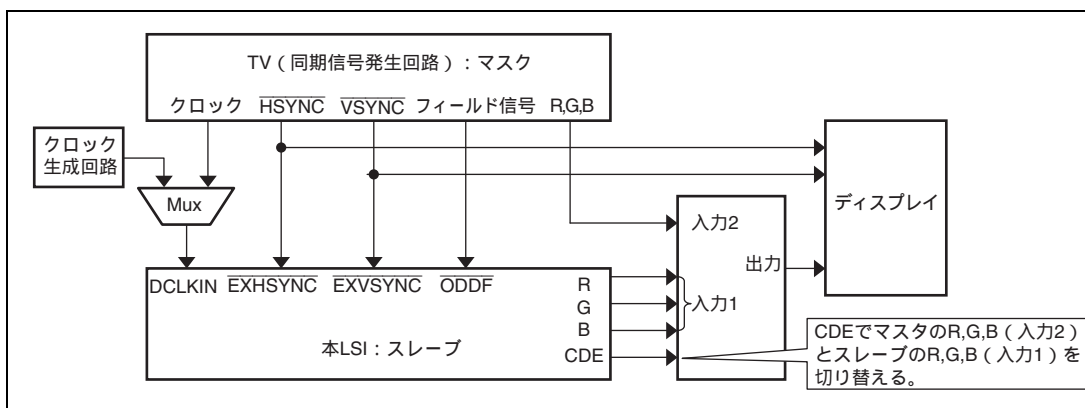


図 23.12 TV 同期モード時の信号の流れ

(3) 同期方式切り替えモード

マスターモードから TV 同期モード、または TV 同期モードからマスターモードに切り替える際に、必要な場合は、本モードを経由して切り替えてください。本モードを経由しなくても、同期方式を切り替えることは可能です。

本モードではディスプレイユニット (DU) に接続する入出力端子が入力になるため、端子の衝突を避けることができます。また、内部ドットクロックを停止するので、入力するクロックが乱れても表示動作に影響を与えません。

23.3.17 アルファ値プレーン

現行の表示データとアルファ値を兼用しているプレーン (表示プレーン) 4 面に加え、アルファ値のみの専用プレーン (プレーン) 1 面を使用して プレンディングすることができます。アルファ値プレーンのデータはアルファ値のみに使用することができ、表示データとして合成することはできません。

アルファ値プレーンを有効にするにはアルファ値プレーン制御レジスタ (DAPCR) のビット 0 またはビット 4 に 1 を設定してください。アルファ値プレーンを使用する場合はプレーン n ブレンド比レジスタ (PnALPHAR) で選択します。プレーン n ブレンド比レジスタ (PnALPHAR) のビット 10、9、8 を 111、ビット 2~0 を 000 または 001 に設定してください。

23.3.18 表示キャプチャ

合成後の表示データ、つまり端子へ出力するデジタル RGB-666 データを RGB-565 または ARGB-1555 のデータに変換しリードと同じ構成の Buffer に格納し、SuperHyway 経路で表示キャプチャ格納領域開始アドレスレジスタ (DCSAR) で指定した領域へ格納します。表示データをキャプチャする場合は表示キャプチャ制御レジスタ (DCPCR) のビット 0 に 1 を設定してください。設定後の次フレームからキャプチャ動作が開始します。表示キャプチャの仕様は次のとおりです。

データフォーマット : RGB-565 (端子出力 RGB-666 の R と B の下位 1 ビットを削除) または
ARGB-1555 (端子出力 RGB-666 の R,G,B の下位 1 ビットを削除。A 値はレジスタで指定します)

キャプチャ領域開始アドレス : 1 アドレスのみ設定可能

キャプチャサイズ X : モニタサイズと同じ (水平表示終了位置 (HDE) - 水平表示開始位置 (HDS))

キャプチャサイズ Y : モニタサイズと同じ (垂直表示終了位置 (VDE) - 垂直表示開始位置 (VDS))

メモリ幅 X : レジスタ指定。メモリ幅を超えた時点で Buffer へのライトを終了。

メモリ長 Y : レジスタ指定。メモリ長 (ライン) を超えた時点でメモリへの格納を終了。

23.4 表示制御

23.4.1 表示タイミング生成

Display Unit では表示画面の水平方向および垂直方向表示タイミングを生成します。表示タイミングは「23.2.2 表示タイミング生成レジスタ」で設定します。下図にノンインタレースモード時の表示タイミングを示します。またここでは表示画面を下表に示す変数で定義します。

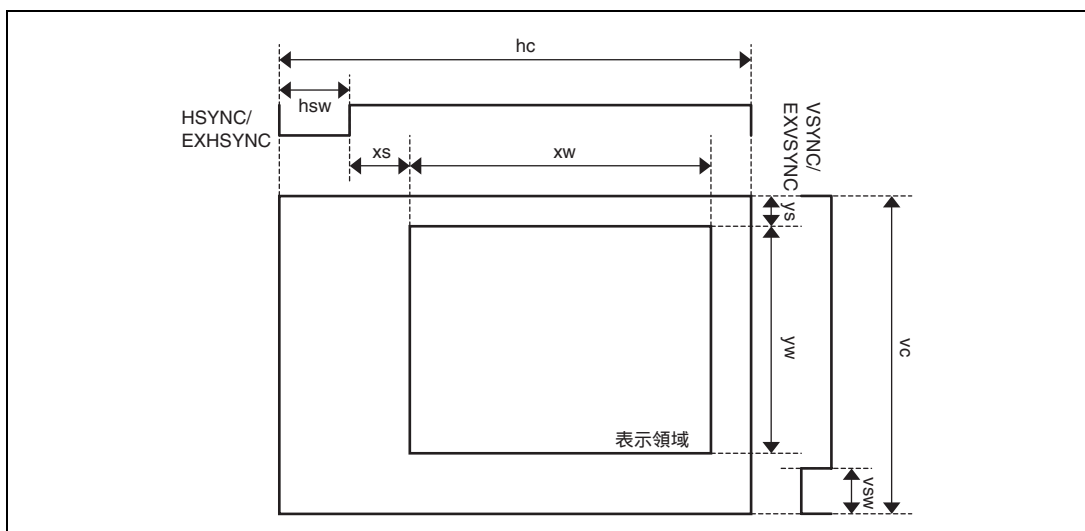


図 23.13 表示画面の水平方向および垂直方向のタイミング生成図

表 23.12 表示画面で定義した変数

変数	内容	単位
hc*1	水平走査周期	ドットクロック
hsw	水平同期パルス幅	ドットクロック
xs	HSYNC の立ち上がりから表示画面水平方向の表示開始位置まで	ドットクロック
xw	表示画面の 1 ラスタ当たりの表示幅	ドットクロック
vc*2	垂直走査周期	ラスタライン数
vsw	垂直同期パルス幅	ラスタライン数
ys	VSYNC の立ち上がりから表示画面垂直方向の表示開始位置まで	ラスタライン数
yw	表示画面の垂直表示期間	ラスタライン数

【注】 *1 $hsw + xs + xw < hc + 18$

*2 $vsw + ys + yw < vc$

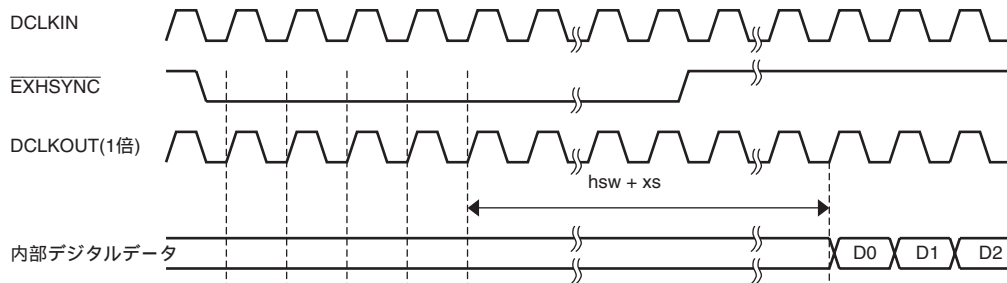
表示タイミング生成レジスタは、走査方式、および同期方式により設定値が異なります。そのため表示タイミング生成レジスタの設定は表 23.13 に示すような計算を行ったうえで設定します。

表 23.13 表示画面のレジスタ設定値対応表

レジスタ名称	ビット名称	同期方式	
		マスタモード	TV 同期モード
水平表示開始位置レジスタ (HDSR)	HDS	$hsw + xs - 19$	$hsw + xs - 25$ * ²
水平表示終了位置レジスタ (HDER)	HDE	$hsw + xs - 19 + xw$	$hsw + xs - 25 + xw$ * ²
垂直表示開始位置レジスタ (VDSR)	VDS	$ys - 2$ * ³	$ys - 2$ * ³
垂直表示終了位置レジスタ (VDER)	VDE	$ys - 2 + yw$	$ys - 2 + yw$
水平同期パルス幅レジスタ (HSWR)	HSW	$hsw - 1$	$hsw - 1$
水平走査周期レジスタ (HCR)	HC	$hc - 1$	$hc - 1$
垂直同期位置レジスタ (VSPR)	VSP	$vc - vsw - 1$	$vc - vsw - 1$
垂直走査周期レジスタ (VCR)	VC	$vc - 1$	$vc - 1$

【注】 *1 すべての走査モードで、VDS、VDE、VSP、VC の設定値は 1 フィールド単位の設定になります。

*2 DS、HDE の規定は EXHSYNC の立ち下がり、DCLKOUT の立ち上がりで検出し、さらに DCLKOUT の 4 つめの立ち上がりからの値です。



*3 VDS は、1 以上にしてください。

*4 HC は、 $HC > HDE$ の条件を満たすように設定してください。

23.4.2 CSYNC

マスタモードの場合、コンポジット同期信号 (CSYNC) を出力します。等価パルス幅レジスタ (EQWR) で、CSYNC の等価パルスの Low レベルパルス幅を設定します。セレーション幅レジスタ (SPWR) で、CSYNC のセレーションパルスの Low レベルパルス幅を設定します。

CSYNC 波形の選択は表示モードレジスタ (DSMR) /CSY (CSYNC モード) で行います。

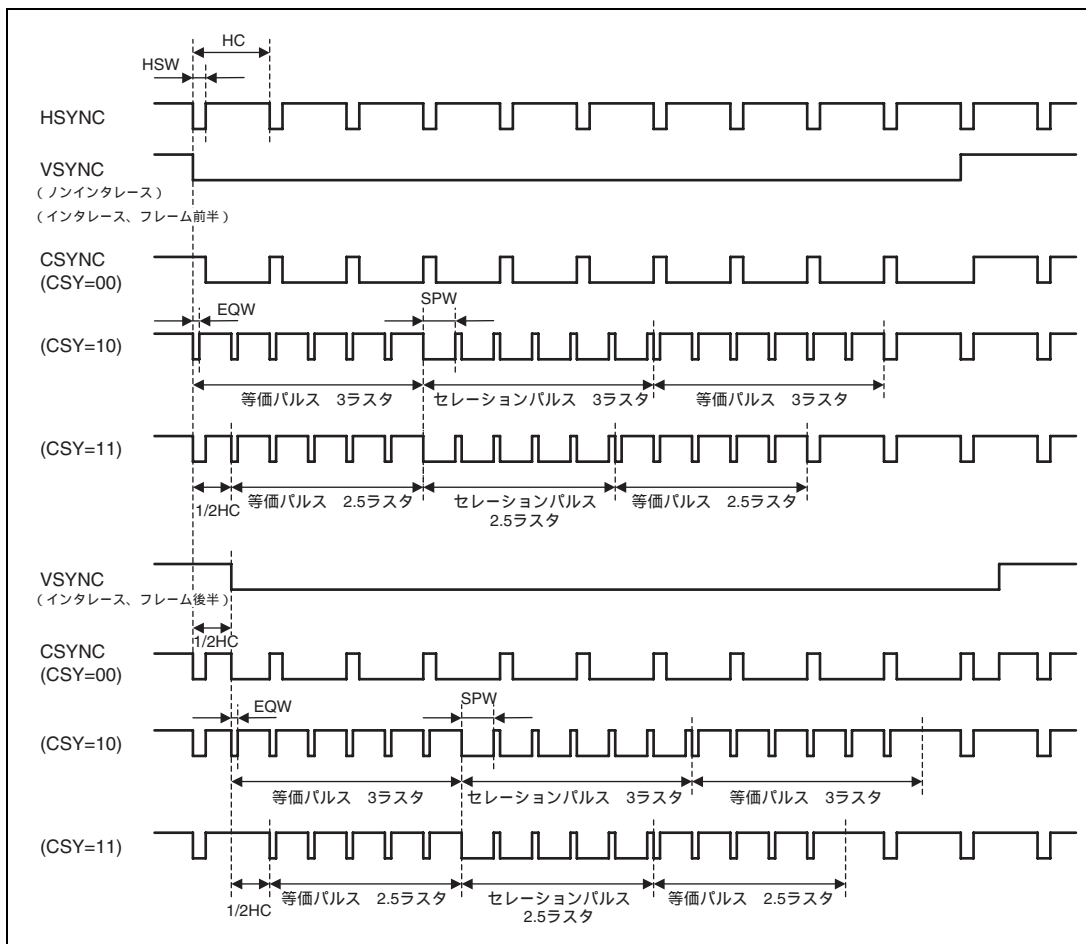


図 23.14 CSYNC タイミングチャート

23.4.3 走査方式

走査方式をノンインタレースモード、インタレースシンクモード、およびインタレースシンク&ビデオモードから選択できます。モード選択は、表示システム制御レジスタ (DSYSR) /SCM (スキャンモード) で行います。

1. ノンインタレースモード

1フィールドで1フレームを構成する走査方式です。

2. インタレースシンクモード

2フィールドで1フレームを構成する走査方式です。2フィールドは、偶数フィールドと奇数フィールドで、同じデータを表示します。

3. インタレースシンク&ビデオモード

2フィールドで1フレームを構成する走査方式です。2フィールドは、偶数フィールドと奇数フィールドで、異なるデータを表示します。

表示モードレジスタ (DSMR) の ODEV ビットで、インタレースシンクモード、インタレースシンク&ビデオモードにおけるフィールドの表示順を設定します。ODEV ビットが 0 のとき、1 フレームは、奇数フィールド、偶数フィールドの表示順となり、ODEV ビットが 1 のとき、1 フレームは偶数フィールド、奇数フィールドの順になります。

マスタモードのときは、ODDF 端子より偶数フィールド表示中は High レベルを、奇数フィールド表示中は Low レベルを出力します。TV 同期モードのときは、ODDF 端子に偶数フィールドを表示させたい場合は High レベルを、奇数フィールドを表示させたい場合は Low レベルを入力します。

【注】 TV 同期モードでノンインタレースモードの場合は ODDF 端子を Low レベルまたは High レベルに固定してください。

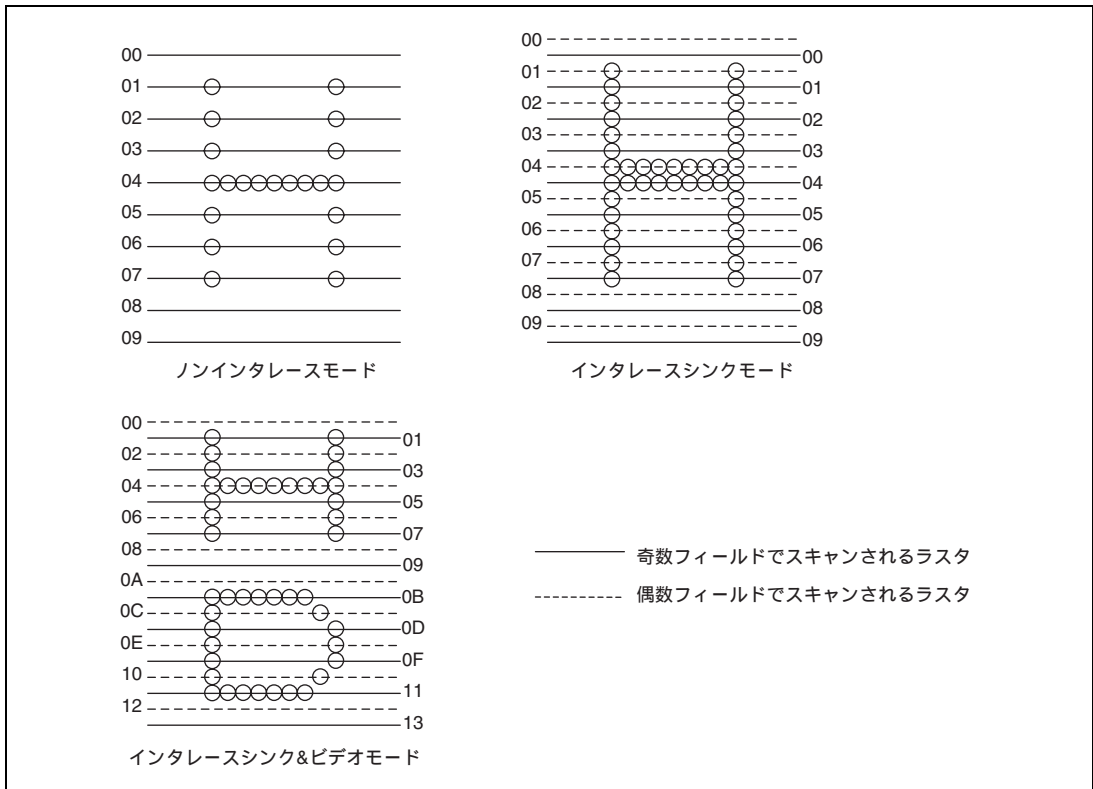


図 23.15 各走査方式による表示イメージ図

(1) 垂直走査周期例

- ノンインタレース : 1 / 60 秒フィールド、1 / 30 秒フィールド
- インタレースシンク : 1 / 30 秒フレーム
- インタレースシンク & ビデオ : 1 / 30 秒フレーム

(2) ノンインタレース方式の表示

入力される画像信号の間を空けずに、一度に全ライン表示する方式です。

高解像度表示のできるモニタなどの入力方式です。

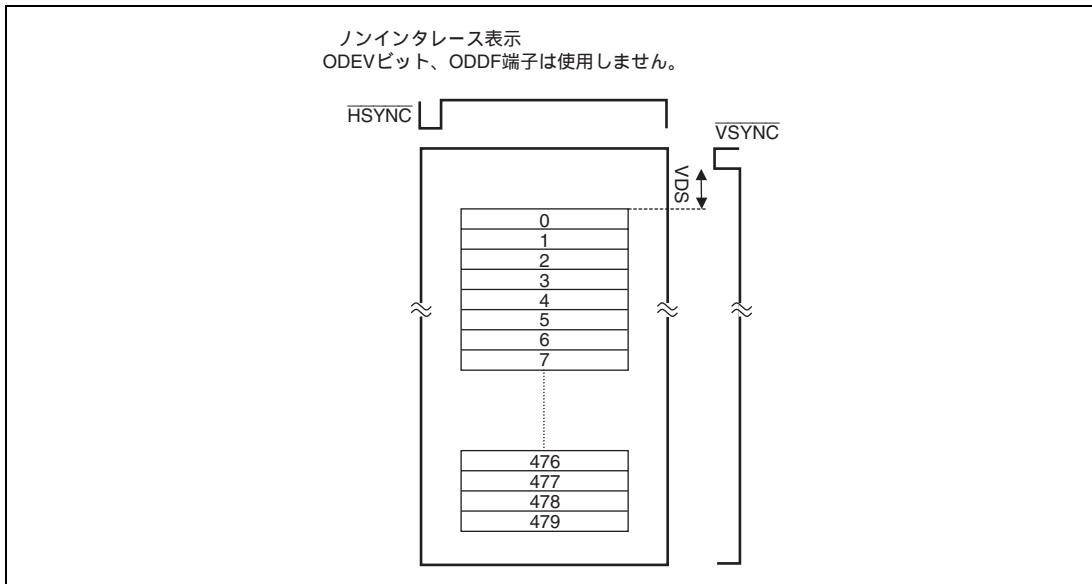


図 23.16 ノンインタレース方式の表示

(3) インタレース方式の表示

入力される画像信号を走査周期 VC ごとに、偶数ラインと奇数ラインを切り替えて交互に表示し、2VC 周期で 1 画面 (1 フレーム) を合成 (先の 1VC のデータは残像) して表示する方式です。これは通常の TV やビデオの入力方式です。

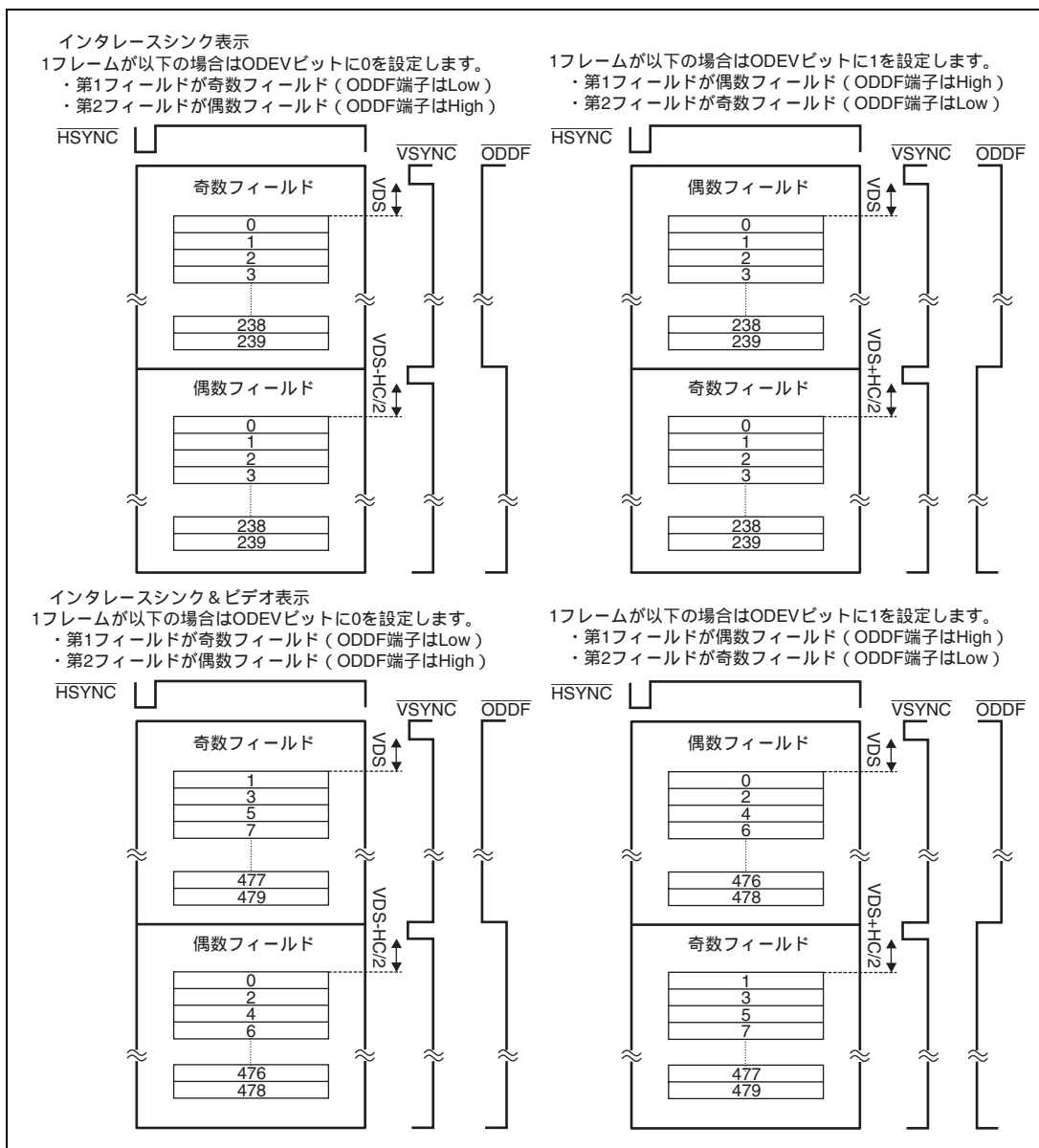


図 23.17 インタレース方式の表示

23.4.4 色検出

出力表示データと、色検出レジスタ (CDEP) に設定したカラーが一致したとき、CDE 端子より High レベルを出力します。

表示モードレジスタ (DSMR) /CDEM ビットにより、表示期間外のレベルを固定することができます。また、表示モードレジスタ (DSMR) /CDEL ビットにより、出力レベルの極性を選択できます。

表 23.14 CDE 端子の出力レベル

CDEL	CDEM	表示期間中の CDE 端子		表示期間外の CDE 端子	
		出力表示データと色検出レジスタとの比較結果		色検出レジスタの値*	
		一致	不一致	"0"	"0"以外
0	00	High	Low	High	Low
0	01	High	Low	High	Low
0	10	High	Low	Low	Low
0	11	High	Low	High	High
1	00	Low	High	Low	High
1	01	Low	High	Low	High
1	10	Low	High	High	High
1	11	Low	High	Low	Low

【注】 * 表示期間外は出力表示データが 0 となります。

23.4.5 外部同期制御

(1) ドットクロック同期制御

ディスプレイユニット (DU) は、TV 同期モード時、外部から入力ドットクロック (逡倍用クロック : DCLKIN) を入力することにより外部同期信号 (EXHSYNC、EXVSYNC) に従ったドットクロック (出力ドットクロック : DCLKOUT) 生成が可能です。

外部より入力ドットクロック (逡倍用クロック : DCLKIN) を入力し以下の各パラメータを設定してください。

表 23.15 外部同期制御パラメータ

変数	内容
ESCR/SYNCSEL	ドットクロック位相合わせ用同期信号選択 (EXHSYNC、EXVSYNC)
ESCR/FRQSEL	ドットクロック分周比選択

1. ESCR/SYNCSELビットにより生成する内部ドットクロック (出力ドットクロック : DCLKOUT) の同期タイミングを設定。
2. ESCR/FRQSELビットにより内部ドットクロック生成のための分周比を設定してください。

以下にEXHSYNCに同期した入力ドットクロックを4分周した内部ドットクロックタイミングを示します。

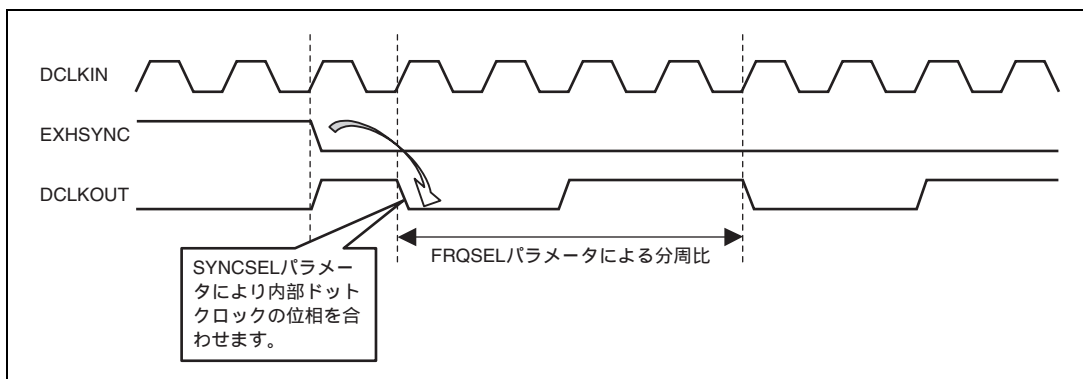


図 23.18 EXHSYNC に同期した DCLKIN を 4 分周した DCLKOUT タイミング図

23.4.6 出力信号タイミング調整

ディスプレイユニット (DU) は、それぞれの出力信号 (HSYNC、VSYNC、CSYNC、ODDF の同期信号 4 本ならびに、DISP、CDE、CLAMP、DE、DigitalRGB) のドットクロックに対する出力タイミングを選択可能です。タイミングの選択は出力信号タイミング調整レジスタ/OTAR で設定します。

表 23.16 出力信号のタイミング設定パラメータ

変数	内容
SYNCA	HSYNC、VSYNC、CSYNC、ODDF 信号の出力タイミングを設定します。
DISPA	DISP 信号の出力タイミングを設定します。
CDEA	CDE 信号の出力タイミングを設定します。
DRGBA	DigitalRGB 信号の出力タイミングを設定します。
CLAMPA	CLAMP 信号の出力タイミングを設定します。
DEA	DE 信号の出力タイミングを設定します。

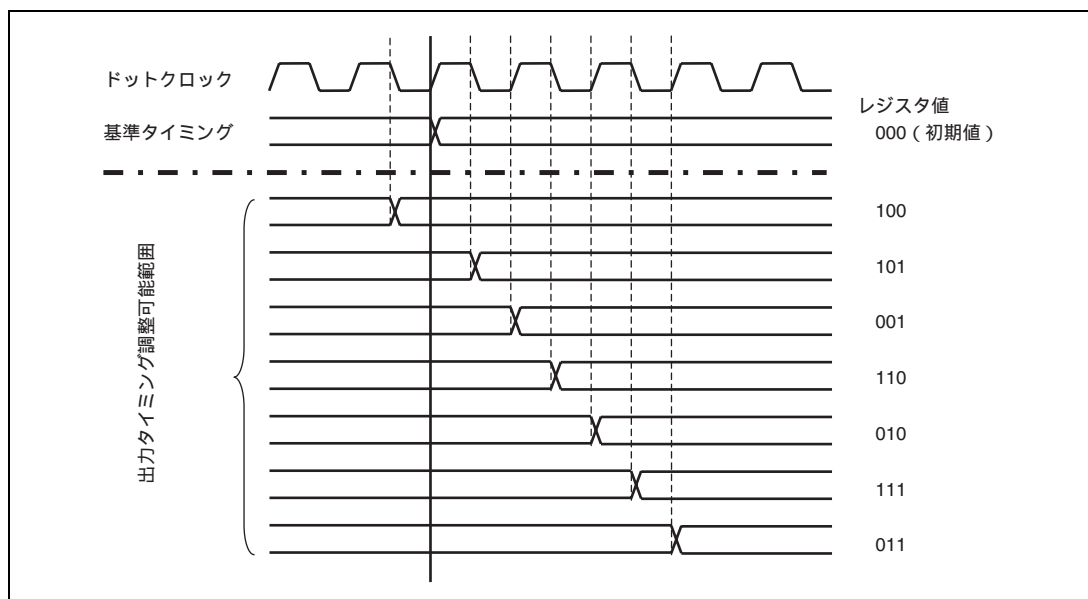


図 23.19 出力タイミング調整可能範囲

23.5 使用上の注意

23.5.1 モジュールスタンバイモード

ディスプレイユニット (DU) に供給するクロックを停止するモジュールスタンバイモードをサポートしています。

ディスプレイユニット (DU) がスタンバイモードに入ってもレジスタ内容は保持されます。また、スタンバイモードの期間、ディスプレイユニット (DU) へのアクセスはしないようにしてください。

23.5.2 モジュールスタンバイモードへの遷移

1. 表示システム制御レジスタ (DSYSR) の表示イネーブル (DEN) = 0、表示リセット (DRES) = 0として表示オフの設定を行います。
2. 次のVBKフラグを表示ステータスレジスタ (DSSR) のVBKビットで確認します (VBKのタイミングで表示オフが実行されるため)。
3. クロックを停止してください。

23.5.3 モジュールスタンバイモードの解除と表示起動

1. クロックを起動してください。
2. 表示システム制御レジスタ (DSYSR) の表示イネーブル (DEN) = 1、表示リセット (DRES) = 0として表示オンの設定を行います。

23.5.4 外部 SYNC 信号の取り込み

表示タイミングを生成するための外部 SYNC 信号は 3 通りの取り込み方法があります。

1. DCLKIN (分周する場合は分周後クロック) の立ち上がりで取り込む。
2. DCLKIN (分周する場合は分周後クロック) の立ち下がりで取り込む。
3. 分周を前提として、分周前クロックで取り込んだ SYNC 信号を分周後クロックで取り込む。

外部 SYNC 信号の取り込みに関する電気的特性 (AC スペック) の保証は 1. の場合のみとなります。2.、3. の電気的特性 (AC スペック) は保証しません。

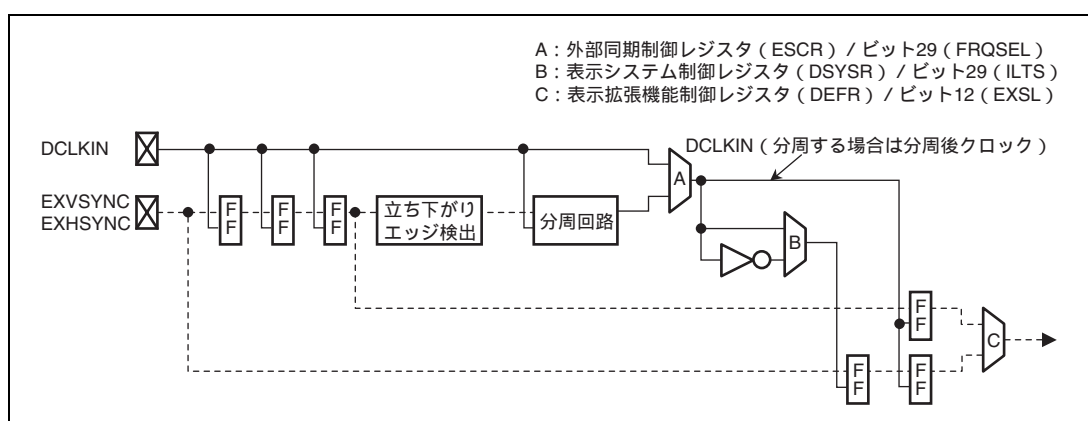


図 23.20 表示タイミング生成用外部 SYNC 信号の取り込み回路図

23.5.5 外部 SYNC 信号の同時変化制約

外部 SYNC 信号の取り込みに関する電気的特性 (AC スペック) を満たさない場合、外部 SYNC 信号である EXHSYNC と EXVSYNC を変化させる場合は 2 サイクル以上空けて変化させてください。サイクルの基準となるクロックは表示拡張機能制御レジスタ (DEFER) の EXSL (ビット 12) が 0 の場合は分周後ドットクロック、1 の場合は分周前ドットクロックとなります。

24. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

本 LSI は、6 チャンネルの FIFO バッファ内蔵のシリアルコミュニケーションインタフェース (SCIF : Serial Communication Interface with FIFO) を内蔵しています。SCIF は、調歩同期式とクロック同期式の 2 方式でシリアル通信ができます。

送受信に FIFO バッファをおのおの 64 段内蔵しており、効率の良い高速連続通信を行うことができます。チャンネル 0 は、モデムコントロール機能 ($\overline{\text{RTS}}$ 、 $\overline{\text{CTS}}$) を内蔵しています。

24.1 特長

SCIF には次のような特長があります。

- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。

シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレークの検出 : フレーミングエラーが発生し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークを検出します。また、フレーミングエラー発生時に SCIF0_RXD ~ SCIF5_RXD 端子のレベルをシリアルポートレジスタ (SCSPTR) から直接読み出すことによってもブレークを検出できます。

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信ができます。シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また送信部および受信部ともに 64 段の FIFO バッファ構造になっているのでシリアルデータの連続送信、連続受信ができます。

- データの送受信は LSB が先頭 (LSB First)

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- クロックソース：ボーレートジェネレータからの内部クロック、またはSCIF0_SCK ~ SCIF5_SCK端子からの外部クロックから選択可能
- 4種類の割り込み要因
送信FIFOデータエンプティ、ブレーク、受信FIFOデータフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。
- 送信FIFOデータエンプティ時と受信FIFO内に受信データがあるとき、DMA転送要求を出すことにより、DMAコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- 調歩同期式モードにおいてモデムコントロール機能 ($\overline{\text{SCIF0_RTS}}$ 、 $\overline{\text{SCIF0_CTS}}$) を内蔵しています。(チャンネル0のみ)
- 送受信FIFOレジスタ内のデータ数および受信FIFOレジスタ内の受信データの受信エラー数を知ることができます。
- 調歩同期式モードにおいて、受信時、タイムアウトエラー (DR) を検出できます。

図 24.1 に SCIF のブロック図を、図 24.2 ~ 図 24.6 に I/O ポートのブロック図を示します。本 LSI は 6 チャンネルあります。図 24.1 ~ 図 24.6 では、チャンネルを省略して説明しています。

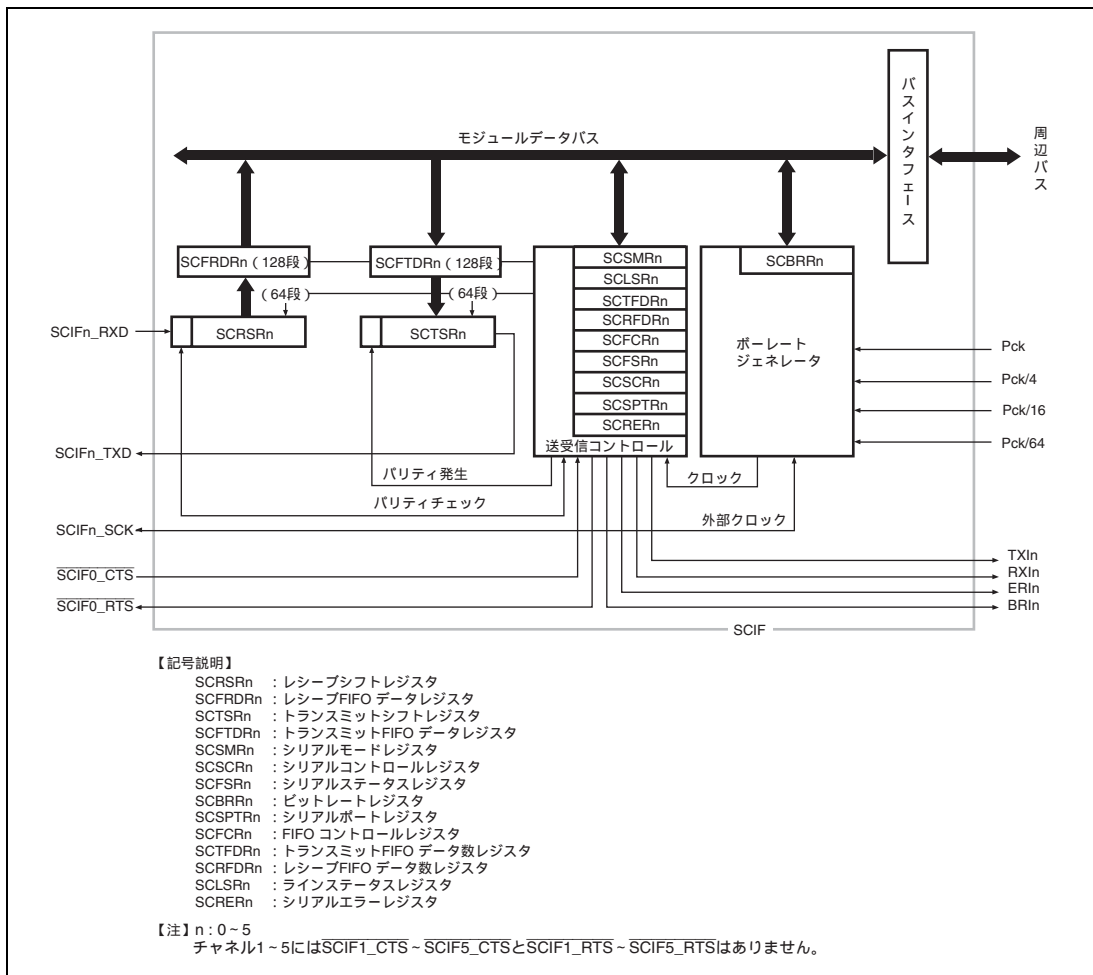


図 24.1 SCIF のブロック図

SCIF の I/O ポートのブロック図を図 24.2 ~ 図 24.6 に示します。

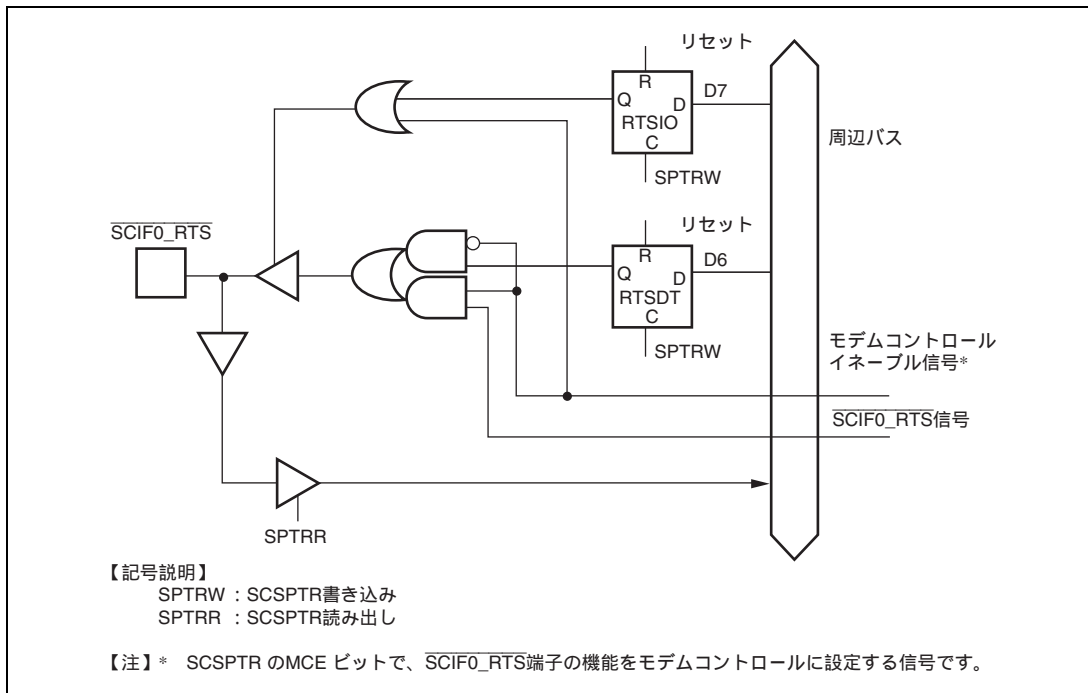


図 24.2 SCIF0_RTS 端子

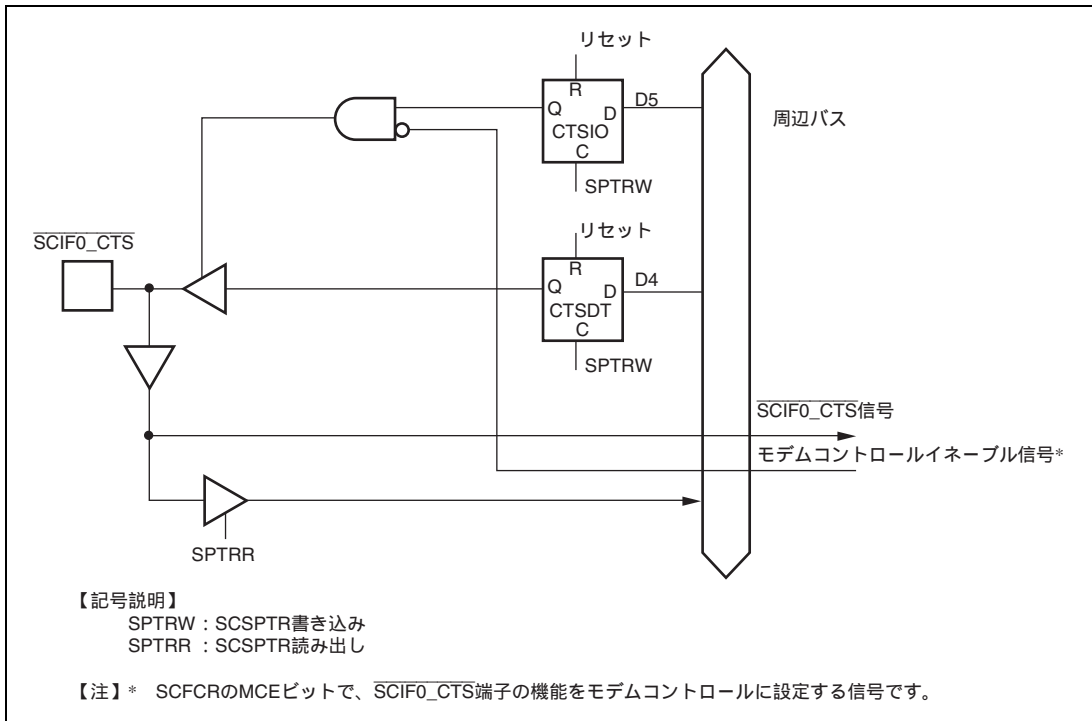


図 24.3 SCIF0_CTS 端子

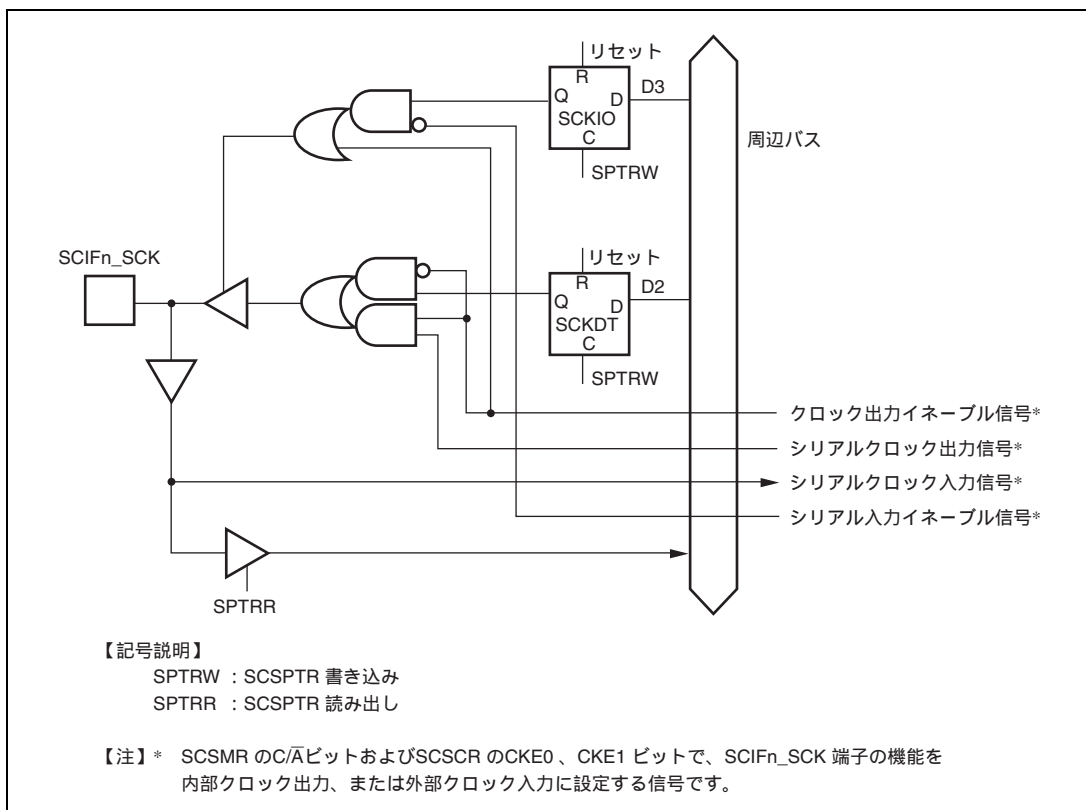


図 24.4 SCIFn_SCK 端子 (n = 0 ~ 5)

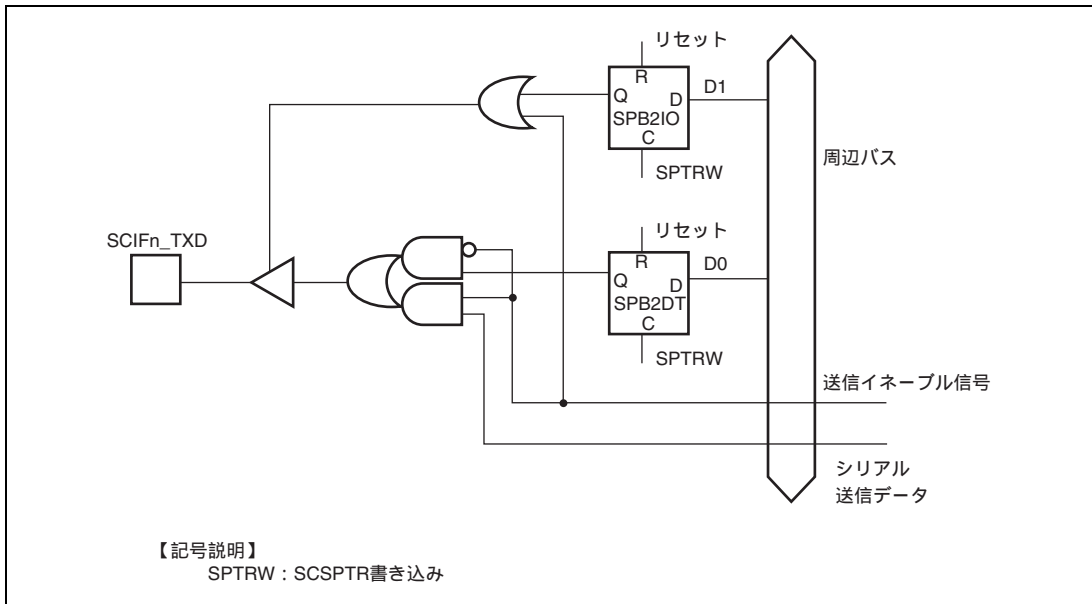


図 24.5 SCIFn_TXD 端子 (n = 0 ~ 5)

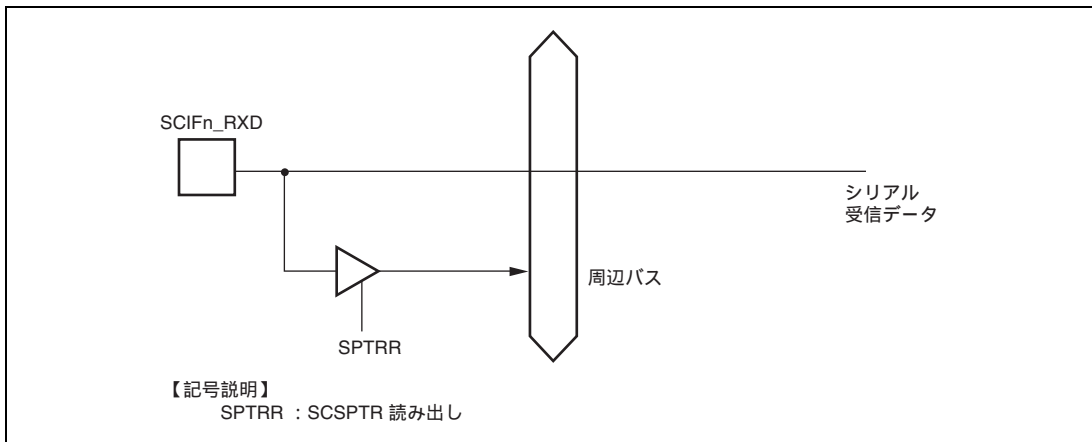


図 24.6 SCIFn_RXD 端子 (n = 0 ~ 5)

24.2 入出力端子

SCIF の端子構成を表 24.1 に示します。各チャンネルとも端子の機能は同じですので、本文中ではチャンネルを省略して説明しています。なお、モデムコントロール端子はチャンネル 0 にあります。

表 24.1 SCIF の端子構成

名称	略称	入出力	機能
シリアルクロック端子	SCIF0_SCK ~ SCIF5_SCK	入出力	クロック入出力
レシーブデータ端子	SCIF0_RXD ~ SCIF5_RXD	入力	受信データ入力
トランスミットデータ端子	SCIF0_TXD ~ SCIF5_TXD	出力	送信データ出力
モデムコントロール端子	SCIF0_CTS	入出力	送信可
モデムコントロール端子	SCIF0_RTS	入出力	送信要求

【注】 SCIF の動作設定を SCSMR の C \bar{A} ビット、SCSCR の TE、RE、CKE1、CKE0 ビットおよび SCFCR の MCE ビットで行うことにより、シリアル端子として機能します。ブレーク状態の送出、検出は、SCIF の SCSPTR によって行うことができます。

24.3 レジスタの説明

SCIF には以下のレジスタがあります。各チャンネルともレジスタの構成は同じですので、本文中ではチャンネルを省略して説明しています。

表 24.2 レジスタ構成 (1)

チャンネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
0	シリアルモードレジスタ 0	SCSMR0	R/W	H'FFEA 0000	H'1FEA 0000	16	Pck
	ビットレートレジスタ 0	SCBRR0	R/W	H'FFEA 0004	H'1FEA 0004	8	Pck
	シリアルコントロールレジスタ 0	SCSCR0	R/W	H'FFEA 0008	H'1FEA 0008	16	Pck
	トランスミット FIFO データレジスタ 0	SCFTDR0	W	H'FFEA 000C	H'1FEA 000C	8	Pck
	シリアルステータスレジスタ 0	SCFSR0	R/W ^{*1}	H'FFEA 0010	H'1FEA 0010	16	Pck
	レシーブ FIFO データレジスタ 0	SCFRDR0	R	H'FFEA 0014	H'1FEA 0014	8	Pck
	FIFO コントロールレジスタ 0	SCFCR0	R/W	H'FFEA 0018	H'1FEA 0018	16	Pck
	トランスミット FIFO データ数レジスタ 0	SCTFDR0	R	H'FFEA 001C	H'1FEA 001C	16	Pck
	レシーブ FIFO データ数レジスタ 0	SCRFDR0	R	H'FFEA 0020	H'1FEA 0020	16	Pck
	シリアルポートレジスタ 0	SCSPTR0	R/W	H'FFEA 0024	H'1FEA 0024	16	Pck
	ラインステータスレジスタ 0	SCLSR0	R/W ^{*2}	H'FFEA 0028	H'1FEA 0028	16	Pck
	シリアルエラーレジスタ 0	SCRER0	R	H'FFEA 002C	H'1FEA 002C	16	Pck

チャネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
1	シリアルモードレジスタ 1	SCSMR1	R/W	H'FFEB 0000	H'1FEB 0000	16	Pck
	ビットレートレジスタ 1	SCBRR1	R/W	H'FFEB 0004	H'1FEB 0004	8	Pck
	シリアルコントロールレジスタ 1	SCSCR1	R/W	H'FFEB 0008	H'1FEB 0008	16	Pck
	トランスミット FIFO データレジスタ 1	SCFTDR1	W	H'FFEB 000C	H'1FEB 000C	8	Pck
	シリアルステータスレジスタ 1	SCFSR1	R/W* ¹	H'FFEB 0010	H'1FEB 0010	16	Pck
	レシーブ FIFO データレジスタ 1	SCFRDR1	R	H'FFEB 0014	H'1FEB 0014	8	Pck
	FIFO コントロールレジスタ 1	SCFCR1	R/W	H'FFEB 0018	H'1FEB 0018	16	Pck
	トランスミット FIFO データ数レジスタ 1	SCTFDR1	R	H'FFEB 001C	H'1FEB 001C	16	Pck
	レシーブ FIFO データ数レジスタ 1	SCRFDR1	R	H'FFEB 0020	H'1FEB 0020	16	Pck
	シリアルポートレジスタ 1	SCSPTR1	R/W	H'FFEB 0024	H'1FEB 0024	16	Pck
	ラインステータスレジスタ 1	SCLSR1	R/W* ²	H'FFEB 0028	H'1FEB 0028	16	Pck
	シリアルエラーレジスタ 1	SCRER1	R	H'FFEB 002C	H'1FEB 002C	16	Pck
2	シリアルモードレジスタ 2	SCSMR2	R/W	H'FFEC 0000	H'1FEC 0000	16	Pck
	ビットレートレジスタ 2	SCBRR2	R/W	H'FFEC 0004	H'1FEC 0004	8	Pck
	シリアルコントロールレジスタ 2	SCSCR2	R/W	H'FFEC 0008	H'1FEC 0008	16	Pck
	トランスミット FIFO データレジスタ 2	SCFTDR2	W	H'FFEC 000C	H'1FEC 000C	8	Pck
	シリアルステータスレジスタ 2	SCFSR2	R/W* ¹	H'FFEC 0010	H'1FEC 0010	16	Pck
	レシーブ FIFO データレジスタ 2	SCFRDR2	R	H'FFEC 0014	H'1FEC 0014	8	Pck
	FIFO コントロールレジスタ 2	SCFCR2	R/W	H'FFEC 0018	H'1FEC 0018	16	Pck
	トランスミット FIFO データ数レジスタ 2	SCTFDR2	R	H'FFEC 001C	H'1FEC 001C	16	Pck
	レシーブ FIFO データ数レジスタ 2	SCRFDR2	R	H'FFEC 0020	H'1FEC 0020	16	Pck
	シリアルポートレジスタ 2	SCSPTR2	R/W	H'FFEC 0024	H'1FEC 0024	16	Pck
	ラインステータスレジスタ 2	SCLSR2	R/W* ²	H'FFEC 0028	H'1FEC 0028	16	Pck
	シリアルエラーレジスタ 2	SCRER2	R	H'FFEC 002C	H'1FEC 002C	16	Pck
3	シリアルモードレジスタ 3	SCSMR3	R/W	H'FFED 0000	H'1FED 0000	16	Pck
	ビットレートレジスタ 3	SCBRR3	R/W	H'FFED 0004	H'1FED 0004	8	Pck
	シリアルコントロールレジスタ 3	SCSCR3	R/W	H'FFED 0008	H'1FED 0008	16	Pck
	トランスミット FIFO データレジスタ 3	SCFTDR3	W	H'FFED 000C	H'1FED 000C	8	Pck
	シリアルステータスレジスタ 3	SCFSR3	R/W* ¹	H'FFED 0010	H'1FED 0010	16	Pck
	レシーブ FIFO データレジスタ 3	SCFRDR3	R	H'FFED 0014	H'1FED 0014	8	Pck
	FIFO コントロールレジスタ 3	SCFCR3	R/W	H'FFED 0018	H'1FED 0018	16	Pck
	トランスミット FIFO データ数レジスタ 3	SCTFDR3	R	H'FFED 001C	H'1FED 001C	16	Pck
	レシーブ FIFO データ数レジスタ 3	SCRFDR3	R	H'FFED 0020	H'1FED 0020	16	Pck
	シリアルポートレジスタ 3	SCSPTR3	R/W	H'FFED 0024	H'1FED 0024	16	Pck
	ラインステータスレジスタ 3	SCLSR3	R/W* ²	H'FFED 0028	H'1FED 0028	16	Pck
	シリアルエラーレジスタ 3	SCRER3	R	H'FFED 002C	H'1FED 002C	16	Pck

チャネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期 クロック
4	シリアルモードレジスタ 4	SCSMR4	R/W	H'FFEE 0000	H'1FEE 0000	16	Pck
	ビットレートレジスタ 4	SCBRR4	R/W	H'FFEE 0004	H'1FEE 0004	8	Pck
	シリアルコントロールレジスタ 4	SCSCR4	R/W	H'FFEE 0008	H'1FEE 0008	16	Pck
	トランスミット FIFO データレジスタ 4	SCFTDR4	W	H'FFEE 000C	H'1FEE 000C	8	Pck
	シリアルステータスレジスタ 4	SCFSR4	R/W*1	H'FFEE 0010	H'1FEE 0010	16	Pck
	レシーブ FIFO データレジスタ 4	SCFRDR4	R	H'FFEE 0014	H'1FEE 0014	8	Pck
	FIFO コントロールレジスタ 4	SCFCR4	R/W	H'FFEE 0018	H'1FEE 0018	16	Pck
	トランスミット FIFO データ数レジスタ 4	SCTFDR4	R	H'FFEE 001C	H'1FEE 001C	16	Pck
	レシーブ FIFO データ数レジスタ 4	SCRFDR4	R	H'FFEE 0020	H'1FEE 0020	16	Pck
	シリアルポートレジスタ 4	SCSPTR4	R/W	H'FFEE 0024	H'1FEE 0024	16	Pck
	ラインステータスレジスタ 4	SCLSR4	R/W*2	H'FFEE 0028	H'1FEE 0028	16	Pck
	シリアルエラーレジスタ 4	SCRER4	R	H'FFEE 002C	H'1FEE 002C	16	Pck
5	シリアルモードレジスタ 5	SCSMR5	R/W	H'FFEF 0000	H'1FEF 0000	16	Pck
	ビットレートレジスタ 5	SCBRR5	R/W	H'FFEF 0004	H'1FEF 0004	8	Pck
	シリアルコントロールレジスタ 5	SCSCR5	R/W	H'FFEF 0008	H'1FEF 0008	16	Pck
	トランスミット FIFO データレジスタ 5	SCFTDR5	W	H'FFEF 000C	H'1FEF 000C	8	Pck
	シリアルステータスレジスタ 5	SCFSR5	R/W*1	H'FFEF 0010	H'1FEF 0010	16	Pck
	レシーブ FIFO データレジスタ 5	SCFRDR5	R	H'FFEF 0014	H'1FEF 0014	8	Pck
	FIFO コントロールレジスタ 5	SCFCR5	R/W	H'FFEF 0018	H'1FEF 0018	16	Pck
	トランスミット FIFO データ数レジスタ 5	SCTFDR5	R	H'FFEF 001C	H'1FEF 001C	16	Pck
	レシーブ FIFO データ数レジスタ 5	SCRFDR5	R	H'FFEF 0020	H'1FEF 0020	16	Pck
	シリアルポートレジスタ 5	SCSPTR5	R/W	H'FFEF 0024	H'1FEF 0024	16	Pck
	ラインステータスレジスタ 5	SCLSR5	R/W*2	H'FFEF 0028	H'1FEF 0028	16	Pck
	シリアルエラーレジスタ 5	SCRER5	R	H'FFEF 002C	H'1FEF 002C	16	Pck

表 24.2 レジスタ構成 (2)

チャンネル	名称	略称	パワーオン リセット PRESET 端子 /WDT/H-UDI による	マニュアル リセット WDT/多重例 外による	スリープ/ライ トスリープ Sleep 命令に よる	モジュール スタンバイ
0	シリアルモードレジスタ 0	SCSMR0	H'0000	保持	保持	保持
	ビットレートレジスタ 0	SCBRR0	H'FF	保持	保持	保持
	シリアルコントロールレジスタ 0	SCSCR0	H'0000	保持	保持	保持
	トランスミット FIFO データレジスタ 0	SCFTDR0	不定	不定	保持	保持
	シリアルステータスレジスタ 0	SCFSR0	H'0060	保持	保持	保持
	レシーブ FIFO データレジスタ 0	SCFRDR0	不定	不定	保持	保持
	FIFO コントロールレジスタ 0	SCFCR0	H'0000	保持	保持	保持
	トランスミット FIFO データ数レジスタ 0	SCTFDR0	H'0000	保持	保持	保持
	レシーブ FIFO データ数レジスタ 0	SCRFDR0	H'0000	保持	保持	保持
	シリアルポートレジスタ 0	SCSPTR0	H'0000 ^{*3}	保持	保持	保持
	ラインステータスレジスタ 0	SCLSR0	H'0000	保持	保持	保持
	シリアルエラーレジスタ 0	SCRER0	H'0000	保持	保持	保持
1	シリアルモードレジスタ 1	SCSMR1	H'0000	保持	保持	保持
	ビットレートレジスタ 1	SCBRR1	H'FF	保持	保持	保持
	シリアルコントロールレジスタ 1	SCSCR1	H'0000	保持	保持	保持
	トランスミット FIFO データレジスタ 1	SCFTDR1	不定	不定	保持	保持
	シリアルステータスレジスタ 1	SCFSR1	H'0060	保持	保持	保持
	レシーブ FIFO データレジスタ 1	SCFRDR1	不定	不定	保持	保持
	FIFO コントロールレジスタ 1	SCFCR1	H'0000	保持	保持	保持
	トランスミット FIFO データ数レジスタ 1	SCTFDR1	H'0000	保持	保持	保持
	レシーブ FIFO データ数レジスタ 1	SCRFDR1	H'0000	保持	保持	保持
	シリアルポートレジスタ 1	SCSPTR1	H'0000 ^{*4}	保持	保持	保持
	ラインステータスレジスタ 1	SCLSR1	H'0000	保持	保持	保持
	シリアルエラーレジスタ 1	SCRER1	H'0000	保持	保持	保持
2	シリアルモードレジスタ 2	SCSMR2	H'0000	保持	保持	保持
	ビットレートレジスタ 2	SCBRR2	H'FF	保持	保持	保持
	シリアルコントロールレジスタ 2	SCSCR2	H'0000	保持	保持	保持
	トランスミット FIFO データレジスタ 2	SCFTDR2	不定	不定	保持	保持
	シリアルステータスレジスタ 2	SCFSR2	H'0060	保持	保持	保持
	レシーブ FIFO データレジスタ 2	SCFRDR2	不定	不定	保持	保持
	FIFO コントロールレジスタ 2	SCFCR2	H'0000	保持	保持	保持
	トランスミット FIFO データ数レジスタ 2	SCTFDR2	H'0000	保持	保持	保持

チャネル	名称	略称	パワーオン リセット PRESET 端子 /WDT/H-UDI による	マニュアル リセット WDT/多重例 外による	スリープ/ライ トスリープ Sleep 命令に よる	モジュール スタンバイ
2	レシーブ FIFO データ数レジスタ 2	SCRFDR2	H'0000	保持	保持	保持
	シリアルポートレジスタ 2	SCSPTR2	H'0000*4	保持	保持	保持
	ラインステータスレジスタ 2	SCLSR2	H'0000	保持	保持	保持
	シリアルエラーレジスタ 2	SCRER2	H'0000	保持	保持	保持
3	シリアルモードレジスタ 3	SCSMR3	H'0000	保持	保持	保持
	ビットレートレジスタ 3	SCBRR3	H'FF	保持	保持	保持
	シリアルコントロールレジスタ 3	SCSCR3	H'0000	保持	保持	保持
	トランスミット FIFO データレジスタ 3	SCFTDR3	不定	不定	保持	保持
	シリアルステータスレジスタ 3	SCFSR3	H'0060	保持	保持	保持
	レシーブ FIFO データレジスタ 3	SCFRDR3	不定	不定	保持	保持
	FIFO コントロールレジスタ 3	SCFCR3	H'0000	保持	保持	保持
	トランスミット FIFO データ数レジスタ 3	SCTFDR3	H'0000	保持	保持	保持
	レシーブ FIFO データ数レジスタ 3	SCRFDR3	H'0000	保持	保持	保持
	シリアルポートレジスタ 3	SCSPTR3	H'0000*4	保持	保持	保持
	ラインステータスレジスタ 3	SCLSR3	H'0000	保持	保持	保持
	シリアルエラーレジスタ 3	SCRER3	H'0000	保持	保持	保持
4	シリアルモードレジスタ 4	SCSMR4	H'0000	保持	保持	保持
	ビットレートレジスタ 4	SCBRR4	H'FF	保持	保持	保持
	シリアルコントロールレジスタ 4	SCSCR4	H'0000	保持	保持	保持
	トランスミット FIFO データレジスタ 4	SCFTDR4	不定	不定	保持	保持
	シリアルステータスレジスタ 4	SCFSR4	H'0060	保持	保持	保持
	レシーブ FIFO データレジスタ 4	SCFRDR4	不定	不定	保持	保持
	FIFO コントロールレジスタ 4	SCFCR4	H'0000	保持	保持	保持
	トランスミット FIFO データ数レジスタ 4	SCTFDR4	H'0000	保持	保持	保持
	レシーブ FIFO データ数レジスタ 4	SCRFDR4	H'0000	保持	保持	保持
	シリアルポートレジスタ 4	SCSPTR4	H'0000*4	保持	保持	保持
	ラインステータスレジスタ 4	SCLSR4	H'0000	保持	保持	保持
	シリアルエラーレジスタ 4	SCRER4	H'0000	保持	保持	保持

チャネル	名称	略称	パワーオン リセット PRESET 端子 /WDT/H-UDI による	マニュアル リセット WDT/多重例 外による	スリープ/ライ トスリープ Sleep 命令に よる	モジュール スタンバイ
5	シリアルモードレジスタ 5	SCSMR5	H'0000	保持	保持	保持
	ビットレートレジスタ 5	SCBRR5	H'FF	保持	保持	保持
	シリアルコントロールレジスタ 5	SCSCR5	H'0000	保持	保持	保持
	トランスミット FIFO データレジスタ 5	SCFTDR5	不定	不定	保持	保持
	シリアルステータスレジスタ 5	SCFSR5	H'0060	保持	保持	保持
	レシーブ FIFO データレジスタ 5	SCFRDR5	不定	不定	保持	保持
	FIFO コントロールレジスタ 5	SCFCR5	H'0000	保持	保持	保持
	トランスミット FIFO データ数レジスタ 5	SCTFDR5	H'0000	保持	保持	保持
	レシーブ FIFO データ数レジスタ 5	SCRFDR5	H'0000	保持	保持	保持
	シリアルポートレジスタ 5	SCSPTR5	H'0000*4	保持	保持	保持
	ラインステータスレジスタ 5	SCLSR5	H'0000	保持	保持	保持
シリアルエラーレジスタ 5	SCRE5	H'0000	保持	保持	保持	

【注】 *1 ビット 7~4、1、0 はフラグをクリアするための 0 書き込みのみ可能です。

*2 ビット 0 はフラグをクリアするための 0 書き込みのみ可能です。

*3 ビット 2、0 は不定です。

*4 ビット 6、4、2、0 は不定です。

24.3.1 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

SCIF は、SCRSR に RXD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCFRDR へ転送されます。

SCRSR は、CPU から直接読み出し / 書き込みできません。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—
R/W:	—	—	—	—	—	—	—	—

24.3.2 レシーブ FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 8 ビット長の 64 段 FIFO レジスタです。

SCIF は、1 バイトのシリアルデータの受信が終了すると、SCRSR から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になり、SCFRDR がいっぱいになる 64 バイトデータまで連続した受信動作が可能です。

SCFRDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

また、SCFRDR に受信データがない状態で読み出した値は不定値になります。SCFRDR 内の受信データがいっぱいになると、以降のシリアルデータは失われます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R

24.3.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。

SCIF は、SCFTDR から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TXD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

SCTSR は、CPU から直接読み出し / 書き込みできません。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—
R/W:	—	—	—	—	—	—	—	—

24.3.4 トランスミット FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 8 ビット長の 64 段 FIFO レジスタです。

SCIF は、送信データが SCFTDR に書き込まれたとき、SCTSR が空ならば、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。

SCFTDR は、書き込み専用レジスタですので CPU から読み出すことはできません。SCFTDR 内の送信データが 64 バイトでいっぱいときは次のデータを書き込むことはできません。書き込んだデータは無視されます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—
R/W:	W	W	W	W	W	W	W	W

24.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 16 ビットのレジスタです。

SCSMR は、常に CPU による読み出し / 書き込みが可能です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	—	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	C/ \bar{A}	0	R/W	コミュニケーションモード SCIF の動作モードを調歩同期式モードまたはクロック同期式モードのいずれかから選択します。 0 : 調歩同期式モード 1 : クロック同期式モード
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。7 ビットデータを選択した場合、SCFTDR の MSB (ビット 7) は送信されません。 0 : 8 ビットデータ 1 : 7 ビットデータ
5	PE	0	R/W	パリティイネーブル 調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。 0 : パリティビットの付加、およびチェックを禁止 1 : パリティビットの付加、およびチェックを許可*1

ビット	ビット名	初期値	R/W	説明
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。</p> <p>0 : 偶数パリティ 1 : 奇数パリティ</p> <p>偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。ストップビットの設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。</p> <p>0 : 1 ストップビット*² 1 : 2 ストップビット*³</p> <p>なお受信時には、STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合はストップビットとして扱いますが、0 の場合は次の送信キャラクタのスタートビットとして扱います。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1 0	CKS1 CKS0	0 0	R/W R/W	<p>クロックセレクト 1、0</p> <p>内蔵ポーレートジェネレータへの入力クロックを選択します。CKS1、CKS0 ビットの設定で Pck、Pck/4、Pck/16、Pck/64 の 4 種類から選択できます。選択したクロックと、ビットレートレジスタの設定値、およびポーレートの関係については、「24.3.8 ビットレートレジスタ (SCBRR)」を参照してください。</p> <p>00 : Pck 01 : Pck/4 10 : Pck/16 11 : Pck/64</p> <p>【注】 Pck : 周辺クロック</p>

- 【注】 *1 PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。
- *2 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。
- *3 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。

24.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCIF の送信 / 受信動作、シリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCSCR は、常に CPU による読み出し / 書き込みが可能です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TIE	RIE	TE	RE	REIE	—	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	TIE	0	R/W	トランスミットインタラプトイネーブル SCFTDR から SCTSR へシリアル送信データが転送され、SCFTDR 内のデータ数が送信トリガ設定数以下になり、SCFSR の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。 TXI の解除は、SCFSR の TDFE フラグの 1 を読み出した後、SCFTDR に送信トリガ設定数より多い送信データを書き込み、SCFSR の TDFE フラグを 0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。 0 : 送信 FIFO データエンプティ割り込み (TXI) 要求を禁止 1 : 送信 FIFO データエンプティ割り込み (TXI) 要求を許可
6	RIE	0	R/W	レシーブインタラプトイネーブル ^{*1} SCFSR の RDF フラグまたは DR フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされたときのブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。 0 : 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止 1 : 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可

ビット	ビット名	初期値	R/W	説 明
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>SCIF のシリアル送信動作の開始を許可 / 禁止します。</p> <p>TE ビットが 1 のときに、SCFTDR に送信データを書き込むとシリアル送信を開始します。</p> <p>0 : 送信動作を禁止 1 : 送信動作を許可^{*2}</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>SCIF のシリアル受信動作の開始を許可 / 禁止します。</p> <p>RE ビットが 1 のときに調歩同期モードの場合はスタートビットを、クロック同期モードでは同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。</p> <p>RE ビットを 0 にクリアしても SCFSR の ER、BRK、FER、PER、RDF、DR、SCLSR の ORER の各フラグは影響を受けず、状態を保持しますので注意してください。</p> <p>この状態でスタートビットを検出すると、シリアル受信を開始します。</p> <p>0 : 受信動作を禁止 1 : 受信動作を許可^{*3}</p>
3	REIE	0	R/W	<p>レシーブエラーインタラプトイネーブル</p> <p>受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。</p> <p>受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求の解除は、SCFSR の ER、BRK、SCLSR の ORER の各フラグで 1 を読み出した後で 0 にクリアするか、RIE と REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。DMA 転送時に ERI、BRI 割り込み要求を割り込みコントローラへ通知したいときに設定します。</p> <p>0 : 受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を禁止 1 : 受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を許可</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1	CKE1	0	R/W	クロックイネーブル 1、0 SCIF のクロックソースの選択、および SCIF_SCK 端子からのクロック出力の許可/禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCIF_SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。ただし CKE0 ビットの設定は、内部クロック動作 (CKE1=0) のときにのみ有効です。外部クロック動作 (CKE1=1) の場合は、CKE0 ビットの設定は無効です。また、SCSMR で SCIF の動作モードを決定する前に、必ず CKE1、CKE0 ビットの設定をしてください。 • 調歩同期式 00: クロックソースは内部クロックで、SCIF_SCK 端子は SCSPTR の設定によりポートとして使用可能 01: クロックソースは内部クロックで、SCIF_SCK 端子はクロック出力* ⁴ 1x: クロックソースは外部クロックで、SCIF_SCK 端子はクロック入力* ⁵ • クロック同期式 0x: クロックソースは内部クロックで、SCIF_SCK 端子は同期クロック出力 1x: クロックソースは外部クロックで、SCIF_SCK 端子は同期クロック入力 【記号説明】x: Don't care
0	CKE0	0	R/W	

- 【注】 *1 RXI 割り込み要求の解除は、SCFSR の RDF フラグまたは DR フラグの 1 を読み出した後で 0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。ERI、BRI 割り込み要求の解除は、SCFSR の ER、BRK、SCLSR の OREr の各フラグで 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えません。
- *2 なお、TE ビットを 1 にセットする前に必ず SCSMR、SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセット (SCFCR の TFCL ビットに 1 をセット) してください。
- *3 RE ビットを 1 にセットする前に必ず SCSMR、SCFCR の設定を行い、受信フォーマットを決定し、受信 FIFO をリセット (SCFCR の RFCL ビットに 1 をセット) してください。
- *4 出力クロックの周波数はビットレートの 16 倍
- *5 入力クロックの周波数はビットレートの 16 倍
- (ビットレートレジスタの設定値、およびボーレートの関係については、「24.3.8 ビットレートレジスタ (SCBRR)」を参照してください。)

24.3.7 シリアルステータスレジスタ (SCFSR)

SCFSR は 16 ビット長のレジスタで、SCIF の動作状態を示すステータスフラグです。

SCFSR は常に CPU から読み出し / 書き込みできます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。なお、FER フラグ、および PER フラグは読み出し専用であり、書き込むことはできません。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値 :	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W*1	R/W*1	R/W*1	R/W*1	R	R	R/W*1	R/W*1

ビット	ビット名	初期値	R/W	説明
15-8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	ER	0	R/W*1	<p>レシーブエラー</p> <p>受信時にフレーミングエラー、パリティエラーが発生したことを示します。SCSCR の RE ビットを 0 にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。レシーブエラーが発生しても受信データは SCFRDR に転送され、受信動作を続けます。SCFRDR から読み出すデータに受信エラーがあるかどうかは、SCFSR の FER、PER ビットで判定できます。</p> <p>0: 受信時にフレーミングエラーまたはパリティエラーが発生していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • ER = 1 の状態を読み出した後、0 を書き込んだとき <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき* • 受信時の受信データとパリティビットを合わせた 1 の数がシリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数 / 奇数パリティの設定と一致しなかったとき

ビット	ビット名	初期値	R/W	説明
6	TEND	1	R/W* ¹	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信後に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0: 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> SCFTDR に送信データを書き込み、TEND フラグが 1 の状態を読み出した後、TEND フラグに 0 を書き込んだとき DMAC で SCFTDR ヘデータを書き込んだとき <p>1: 送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット、マニュアルリセット時 SCSCR の TE ビットが 0 のとき 1 バイトのシリアル送信キャラクタの最後尾ビットの送信後に SCFTDR に送信データがないとき
5	TDFE	1	R/W* ¹	<p>トランスミット FIFO データエンプティ</p> <p>SCFTDR から SCTSR にデータ転送が行われ、SCFTDR 内のデータ数が SCFCR の TTRG1、TTRG0 ビットで設定した送信トリガデータ数以下になり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0: SCFTDR 内の送信データ数が送信トリガ設定数より多いことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> TDFE = 1 の状態を読み出した後、SCFTDR に送信トリガ設定数を超える送信データを書き込み、0 を書き込んだとき DMAC で SCFTDR に送信トリガ設定数を超えるデータを書き込んだとき <p>1: SCFTDR の送信データ数が送信トリガ設定数以下であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット、マニュアルリセット時 SCFTDR の送信データ数が送信動作によって送信トリガ設定数以下になったとき*³
4	BRK	0	R/W* ¹	<p>ブ레이크検出</p> <p>受信データのブ레이크信号を検出して示します。</p> <p>0: ブ레이크信号を受信していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> パワーオンリセット、マニュアルリセット時 <p>BRK = 1 の状態を読み出した後、0 を書き込んだとき</p> <p>1: ブ레이크信号を受信したことを表示*⁴</p> <p>[セット条件]</p> <ul style="list-style-type: none"> フレーミングエラーを伴うデータを受信したとき、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合

ビット	ビット名	初期値	R/W	説明
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、SCFRDR に格納された受信データ (次に SCFRDR から読み出すデータ) にフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • 次に SCFRDR から読み出す受信データにフレーミングエラーなし <p>1: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次に SCFRDR から読み出す受信データにフレーミングエラーあり
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期式モードで、SCFRDR に格納された受信データ (次に SCFRDR から読み出すデータ) にパリティエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • 次に SCFRDR から読み出す受信データにパリティエラーなし <p>1: 次に SCFRDR から読み出す受信データにパリティエラーが発生していることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次に SCFRDR から読み出すデータにパリティエラーあり
1	RDF	0	R/W* ¹	<p>レシーブ FIFO データフル</p> <p>受信したデータが SCRSR から SCFRDR に転送され、SCFRDR 内の受信データ数が、SCFCR の RTRG1、RTRG0 ビットで設定した受信トリガデータ数以上になったことを示します。</p> <p>0: SCFRDR 内の受信データ数が受信トリガ設定数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • RDF = 1 を読み出した後、SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出し、0 を書き込んだとき • DMAC で SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出したとき <p>1: SCFRDR 内の受信データ数が受信トリガ設定数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCFRDR に受信トリガ設定数以上の受信データが格納されたとき*⁵

ビット	ビット名	初期値	R/W	説明
0	DR	0	R/W* ¹	<p>レシーブデータレディ</p> <p>調歩同期式モードでは、SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上、次のデータが来ないことを示します。クロック同期式モードに設定した場合はセットされません。</p> <p>0: 受信中または正常に受信完了して SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • DR = 1 を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき • DMAC で SCFRDR 内の受信データをすべて読み出したとき <p>1: 次の受信データが来ないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上次のデータが来ないとき**

【記号説明】 etu (Elementary Time Unit : 1 ビットの転送期間の略)

【注】 *1 フラグをクリアするために 0 を書き込むことのみ可能です。

*2 2ストップモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ストップビット目のストップビットはチェックしません。

*3 SCFTDR は 64 バイトの FIFO レジスタですので TDFE = 1 で書き込むことができる最大データ数は、64 - (送信トリガ設定数) になります。これより多くデータを書き込んだ場合は無視されます。また、SCFTDR 内のデータ数は SCTFDR に示されます。

*4 ブレーク検出すると受信データ (H'00) の FIFO への転送は停止します。ブレークが終了し、受信信号がマーク 1 に戻ると受信データの転送が再開します。

*5 SCFRDR は 64 バイトの FIFO レジスタです。RDF = 1 で少なくとも受信トリガ設定数のデータを読み出すことができます。SCFRDR が空の状態データを読み出すと不定値が読み出されます。なお SCFRDR 内の受信データ数は SCRFDR に示されます。

*6 8 ビット長 1 ストップビットフォーマット時の 1.5 フレーム時間に相当します。

24.3.8 ビットレートレジスタ (SCBRR)

SCBRR は、SCSMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し / 書き込みが可能です。

SCBRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{Pck}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{Pck}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 (0 N 255)

Pck : 周辺モジュール用動作周波数 (MHz)

n : 0、1、2、3

(n とボーレートジェネレータ入力クロックの関係は、表 24.3 を参照してください)

表 24.3 SCSMR の設定値

n	ボーレートジェネレータ 入力クロック	SCSMR の設定値	
		CKS1	CKS0
0	Pck	0	0
1	Pck/4	0	1
2	Pck/16	1	0
3	Pck/64	1	1

【注】 調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{Pck \times 10^6}{(N + 1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

24.3.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は送信 / 受信の各 FIFO レジスタのリセット、およびトリガデータ数の設定を行うレジスタです。またループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し / 書き込みが可能です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	RST RG2*1	RST RG1*1	RST RG0*1	RTRG1	RTRG0	TTRG1	TTRG0	MCE*1	TFCL	RFCL	LOOP
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15 ~ 11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	RSTRG2*1	0	R/W	SCIF_RTS 出力アクティブトリガ SCFCRDR 内に格納された受信データ数が下に示すトリガ設定数以上になったとき、SCIF_RTS 信号はハイレベルになります。 000 : 63 001 : 1 010 : 8 011 : 16 100 : 32 101 : 48 110 : 54 111 : 60
9	RSTRG1*1	0	R/W	
8	RSTRG0*1	0	R/W	
7	RTRG1	0	R/W	レシーブ FIFO データ数トリガ SCFCRDR の RDF フラグをセットする受信データ数を設定するビットです。 SCFCRDR 内に格納された受信データ数が下に示すトリガ設定数以上になったとき RDF フラグをセットします。 00 : 1 01 : 16 10 : 32 11 : 48
6	RTRG0	0	R/W	
5	TTRG1	0	R/W	トランスミット FIFO データ数トリガ SCFCRDR の TDFE フラグをセットする未送信のデータ数を設定するビットです。 送信動作により SCFCRDR 内の送信データ数が、下に示すトリガ設定数以下になったとき TDFE フラグをセットします。 00 : 32 (32) *2 01 : 16 (48) 10 : 2 (62) 11 : 0 (64)
4	TTRG0	0	R/W	

ビット	ビット名	初期値	R/W	説明
3	MCE* ¹	0	R/W	<p>モデムコントロールイネーブル</p> <p>モデムコントロール信号 $\overline{\text{SCIF_CTS}}$、$\overline{\text{SCIF_RTS}}$ を有効にします。クロック同期モードでは MCE ビットを常に 0 にしてください。</p> <p>0: モデム信号を無効*³</p> <p>1: モデム信号を有効</p>
2	TFCL	0	R/W	<p>トランスミット FIFO データ数レジスタクリア</p> <p>トランスミット FIFO データ数レジスタ内の送信データ数を 0 にクリアします。</p> <p>0: クリアしない*⁴</p> <p>1: FIFO データ数を 0 にクリアする</p>
1	RFCL	0	R/W	<p>レシーブ FIFO データ数レジスタクリア</p> <p>レシーブ FIFO データ数レジスタ内の受信データ数を 0 にクリアします。</p> <p>0: クリアしない*⁴</p> <p>1: FIFO データ数を 0 にクリアする</p>
0	LOOP	0	R/W	<p>ループバックテスト</p> <p>送信出力端子 (SCIF_TXD) と受信入力端子 (SCIF_RXD)、$\overline{\text{SCIF_RTS}}$ 端子と $\overline{\text{SCIF_CTS}}$ 端子を内部で接続し、ループバックテストを可能にします。</p> <p>0: ループバックテストを禁止</p> <p>1: ループバックテストを許可</p>

- 【注】 *1 チャンネル 0 にのみあります。チャンネル 1～5 ではリザーブビットです。
- *2 () 内の値はフラグ発生時の SCFTDR の空き数を示します。
- *3 $\overline{\text{SCIF_CTS}}$ は入力値にかかわらず 0 アクティブに、 $\overline{\text{SCIF_RTS}}$ 出力も 0 に固定します。
- *4 パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。

24.3.10 トランスミット FIFO データ数レジスタ (SCTFDR)

SCTFDR は、SCFTDR 内に格納されている送信データ数を示す 16 ビット長のレジスタです。

SCTFDR は常に CPU から読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	T6	T5	T4	T3	T2	T1	T0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	T6~T0	すべて 0	R	SCFTDR 内に格納されている未送信のデータ数を示します。 H'00 は送信データがないことを、H'40 は SCFTDR に最大数 (64 バイト) の送信データが格納されていることを示します。

24.3.11 レシーブ FIFO データ数レジスタ (SCRFDR)

SCRFDR は、SCFRDR 内に格納されている受信データ数を示す 16 ビット長のレジスタです。SCRFDR は常に CPU から読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	R6	R5	R4	R3	R2	R1	R0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	R6~R0	すべて 0	R	SCFRDR 内に格納されている受信データ数を示します。 H'00 は受信データがないことを、H'40 は SCFRDR に最大数 (64 バイト) の受信データが格納されていることを示します。

24.3.12 シリアルポートレジスタ (SCSPTR)

SCSPTR は、常に CPU による読み出し / 書き込み可能な 16 ビットのレジスタで、SCIF の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 1、0 によって RXD 端子から入力データを読み出し、TXD 端子へ出力データを書き込むことができ、シリアル送受信のブ레이크を制御します。

パワーオンリセット、マニュアルリセット時にビット 6、4、2、0 を除いたすべてのビットが 0 に初期化されません。ビット 6、4、2、0 は不定です。モジュールスタンバイ時には初期化されません。シリアルポートを使用して SCIF 端子の値を読み出す場合、周辺クロックの 2 サイクル前の値を読み出しますので注意してください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RT SIO*	RT SDT*	CT SIO*	CT SDT*	SCK IO	SCK DT	SPB2 IO	SPB2 DT
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	RTSIO*	0	R/W	シリアルポート SCIF_RTS ポート入出力 シリアルポートの SCIF_RTS 端子の入出力を指定します。実際に SCIF_RTS 端子をポート出力端子として RTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0 : SCIF_RTS 端子に RTSDT ビットの値を出力しないことを示します 1 : SCIF_RTS 端子に RTSDT ビットの値を出力することを示します
6	RTSDT*	-	R/W	シリアルポート SCIF_RTS ポートデータ シリアルポートの SCIF_RTS 端子の入出力データを指定します。入力か出力かは RTSIO ビットで指定します。出力の場合、RTSDT ビットの値が SCIF_RTS 端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは SCIF_RTS 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。 0 : 入出力データがローレベルであることを示します 1 : 入出力データがハイレベルであることを示します
5	CTSIO*	0	R/W	シリアルポート SCIF_CTS ポート入出力 シリアルポートの SCIF_CTS 端子の入出力を指定します。実際に SCIF_CTS 端子をポート出力端子として CTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0 : CTS 端子に CTSDT ビットの値を出力しないことを示します 1 : CTS 端子に CTSDT ビットの値を出力することを示します

ビット	ビット名	初期値	R/W	説明
4	CTS _{DT} *	-	R/W	シリアルポート SCIF_CTS ポートデータ シリアルポートの SCIF_CTS 端子の入出力データを指定します。入力か出力かは CTSIO ビットで指定します。出力の場合、CTS _{DT} ビットの値が SCIF_CTS 端子に出力されます。CTSIO ビットの値にかかわらず、CTS _{DT} ビットからは SCIF_CTS 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。 0: 入出力データがローレベルであることを示します 1: 入出力データがハイレベルであることを示します
3	SCKIO	0	R/W	シリアルポートクロックポート入出力 シリアルポートの SCIF_SCK 端子の入出力を指定します。実際に SCIF_SCK 端子をポート出力端子として SCK _{DT} ビットで設定した値を出力する場合は、SCSCR の CKE1、CKE0 ビットを 0 に設定してください。 0: SCIF_SCK 端子に SCK _{DT} ビットの値を出力しないことを示します 1: SCIF_SCK 端子に SCK _{DT} ビットの値を出力することを示します
2	SCK _{DT}	-	R/W	シリアルポートクロックポートデータ シリアルポートの SCIF_SCK 端子の入出力データを指定します。入力か出力かは SCKIO ビットで指定します。出力の場合、SCK _{DT} ビットの値が SCIF_SCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCK _{DT} ビットからは SCIF_SCK 端子の値が読み出されます。 パワーオンリセット、マニュアルリセット後の初期値は不定です。 0: 入出力データがローレベルであることを示します 1: 入出力データがハイレベルであることを示します
1	SPB2IO	0	R/W	シリアルポートブ레이크入出力 シリアルポートの SCIF_TXD 端子の出力条件を指定します。実際に SCIF_TXD 端子をポート出力端子として SPB2 _{DT} ビットで設定した値を出力する場合は、SCSCR の TE ビットを 0 に設定してください。 0: SCIF_TXD 端子に SPB2 _{DT} ビットの値を出力しないことを示します 1: SCIF_TXD 端子に SPB2 _{DT} ビットの値を出力することを示します
0	SPB2 _{DT}	-	R/W	シリアルポートブ레이크データ シリアルポートの SCIF_RXD 端子の入力データおよび SCIF_TXD 端子の出力データを指定します。SCIF_TXD 端子の出力条件は SPB2IO ビットで指定します。SCIF_TXD 端子を出力に設定した場合、SPB2 _{DT} ビットの値が SCIF_TXD 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2 _{DT} ビットからは SCIF_RXD 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。 0: 入出力データがローレベルであることを示します 1: 入出力データがハイレベルであることを示します

【注】 * チャンネル 0 のみです。チャンネル 1~5 ではリザーブビットです。

24.3.13 ラインステータスレジスタ (SCLSR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ORER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W*1

ビット	ビット名	初期値	R/W	説明
15-1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ORER	0	R/W*1	オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを示します。 0: 受信中、または正常に受信を完了したことを表示*2 [クリア条件] • パワーオンリセット、マニュアルリセット時 • ORER = 1 の状態を読み出した後、0 を書き込んだとき 1: 受信時にオーバーランエラーが発生したことを表示*3 [セット条件] • SCFRDR が最大数 (64 バイト) のデータを受信した状態で次のシリアル受信を完了したとき

【注】 *1 フラグをクリアするために 0 を書き込むことのみ可能です。

*2 SCSCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*3 SCFRDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。

24.3.14 シリアルエラーレジスタ (SCRER)

SCRER は 16 ビットのレジスタで、SCFRDR 内のデータの受信エラー数を示します。SCRER は常に CPU から読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PER5	PER4	PER3	PER2	PER1	PER0	—	—	FER5	FER4	FER3	FER2	FER1	FER0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PER5	0	R	パリティエラー数 SCFRDR に格納されている受信データでパリティエラーの発生しているデータ数を示します。SCFSR の ER ビットがセットされた後、PER5 ~ PER0 に示される値がパリティエラー発生データ数を表示します。SCFRDR の 64 バイトの受信データすべてがパリティエラーをとともう場合、PER5 ~ PER0 は 0 を表示します。
12	PER4	0	R	
11	PER3	0	R	
10	PER2	0	R	
9	PER1	0	R	
8	PER0	0	R	
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	FER5	0	R	フレーミングエラー数 SCFRDR に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。 SCFSR の ER ビットがセットされた後、FER5 ~ FER0 で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDR の 64 バイトの受信データすべてがフレーミングエラーをとともう場合、FER5 ~ FER0 は 0 を表示します。
4	FER4	0	R	
3	FER3	0	R	
2	FER2	0	R	
1	FER1	0	R	
0	FER0	0	R	

24.4 動作説明

24.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式でシリアル通信ができます。調歩同期式モードの動作については、「24.4.2 調歩同期式モードの動作」を参照してください。

送受信おのおのに 64 段の FIFO バッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。また、モデムコントロール信号として $\overline{\text{SCIF_RTS}}$ 、 $\overline{\text{SCIF_CTS}}$ 信号を内蔵しています (SCIF0 のみ)。

送受信フォーマットの選択は、SCSMR で行います。これを表 24.4 に示します。また、SCIF のクロックソースは、SCSMR の $\overline{\text{C/A}}$ ビットおよび SCSCR の CKE1、CKE0 ビットの組み合わせで決まります。これを表 24.5 に示します。

(1) 調歩同期式モード

- データ長：7ビット/8ビットから選択可能
- データの送受信はLSBが先頭 (LSB First)
- パリティの付加および1ビット/2ビットのストップビットの付加を選択可能 (これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、レシーブFIFOデータフル、オーバランエラー、レシーブデータレディ、およびブレークの検出が可能
- 送受信FIFOレジスタのおのおのの格納データ数を表示
- SCIFのクロックソース：周辺クロック (Pck) / SCIF_SCK端子入力から選択可能

周辺クロック (Pck) を選択した場合：SCIFはポーレートジェネレータのクロックで動作
(SCIF_SCK端子からビットレートの16倍の周波数でクロックを出力可能)

SCIF_SCK端子入力を選択した場合：ビットレートの16倍の周波数でクロックを入力することが必要
(内蔵ポーレートジェネレータを使用しない)

(2) クロック同期式モード

- データ長：8ビットに固定
- データの送受信はLSBが先頭 (LSB First)
- 受信時にオーバランエラーの検出が可能
- SCIFのクロックソース：周辺クロック (Pck) / SCIF_SCK端子入力から選択可能

周辺クロック (Pck) を選択した場合：SCIFはポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力

SCIF_SCK端子入力を選択した場合：入力同期クロックで動作 (内蔵ポーレートジェネレータを使用しない)

表 24.4 SCSMR の設定値とシリアル送信 / 受信フォーマット

SCSMR の設定値				モード	SCIF の送信 / 受信フォーマット		
ビット7	ビット6	ビット5	ビット3		データ長	パリティビット	ストップ
C/ \bar{A}	CHR	PE	STOP				ビット長
0	0	0	0	調歩同期式モード	8 ビットデータ	なし	1 ビット
			1				2 ビット
		1	0				1 ビット
			1				2 ビット
	1	0	0		7 ビットデータ	なし	1 ビット
			1				2 ビット
		1	0				1 ビット
			1				2 ビット
1	*	*	*	クロック同期式モード	8 ビットデータ	なし	なし

【注】 * Don't care

表 24.5 SCSMR、SCSCR の設定と SCIF のクロックソースの選択

SCSMR	SCSCR の設定		モード	クロック ソース	SCIF_SCK 端子の機能
	ビット7	ビット1			
C/ \bar{A}	CKE1	CKE0			
0	0	0	調歩同期式モード	内部	SCIF は SCIF_SCK 端子を使用しません
		1			ビットレートの 16 倍の周波数でクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数でクロックを入力
		1			
1	0	0	クロック同期式モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

24.4.2 調歩同期式モードの動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 64 段の FIFO バッファ構造になっていて、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 24.7 に示します。

調歩同期式シリアル通信では、通常、通信回線はマーク状態（ハイレベル）に保たれています。SCIF は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また、SCIF はデータを 1 ビット期間の 16 倍の周波数で入出力するクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

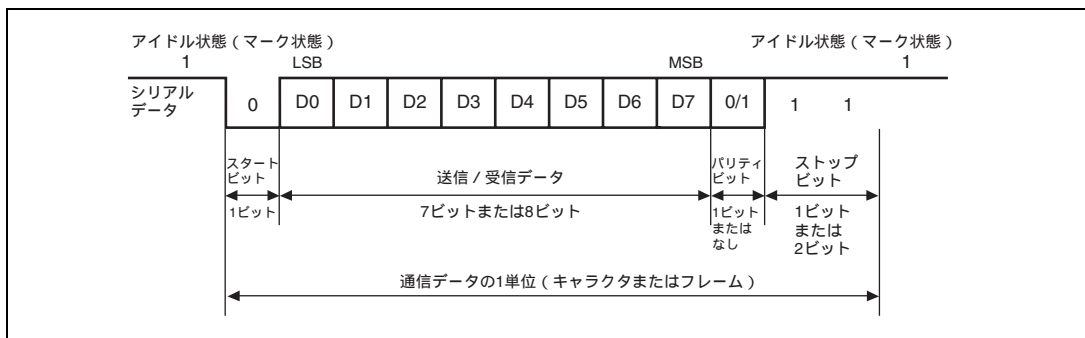


図 24.7 調歩同期式通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

(1) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを、表 24.6 に示します。

送信 / 受信フォーマットは 8 種類あり、SCSMR の設定により選択できます。

表 24.6 シリアル送信 / 受信フォーマット (調歩同期式モード)

SCSMR の設定			シリアル送信 / 受信フォーマットとフレーム長											
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	S [8ビットデータ]									STOP		
0	0	1	S [8ビットデータ]									STOP	STOP	
0	1	0	S [8ビットデータ]									P	STOP	
0	1	1	S [8ビットデータ]									P	STOP	STOP
1	0	0	S [7ビットデータ]								STOP			
1	0	1	S [7ビットデータ]								STOP	STOP		
1	1	0	S [7ビットデータ]								P	STOP		
1	1	1	S [7ビットデータ]								P	STOP	STOP	

【記号説明】

S : スタートビット

STOP : ストップビット

P : パリティビット

(2) クロック

SCIF の送受信クロックは、SCSMR の C/\bar{A} ビットおよび SCSCR の CKE1、CKE0 ビットの設定により、内蔵ポークレートジェネレータの生成した内部クロックまたは SCIF_SCK 端子から入力された外部クロックの 2 種類から選択できます。SCIF のクロックソースの選択については表 24.5 を参照してください。

外部クロックを SCIF_SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数でクロックを入力してください。

内部クロックで動作させるとき、SCIF_SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの 16 倍です。

(3) SCIF の初期化 (調歩同期式)

データの送信 / 受信前には、まず SCSCR の TE ビット、および RE ビットを 0 にクリアした後、以下の順で SCIF を初期化してください。動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。

1. TEビットを0にクリアすると、SCTSRが初期化されます。TE、REビットを0にクリアしても、SCFSR、SCFTDRおよび、SCFRDRの内容は保持されますので注意してください。
2. TEビットの0クリアは、送信データをすべて送信しSCFSRのTENDフラグがセットされた後に行ってください。送信中でも0クリア可能ですが、送信中のデータは0クリア後、マーク状態になります。また再度TEビットを1にセットして送信開始する前にSCFCRのTFRSTビットをいったん1にセットしてSCFTDRをリセットしてください。
3. 外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 24.8 に SCIF の初期化フローチャートの例を示します。

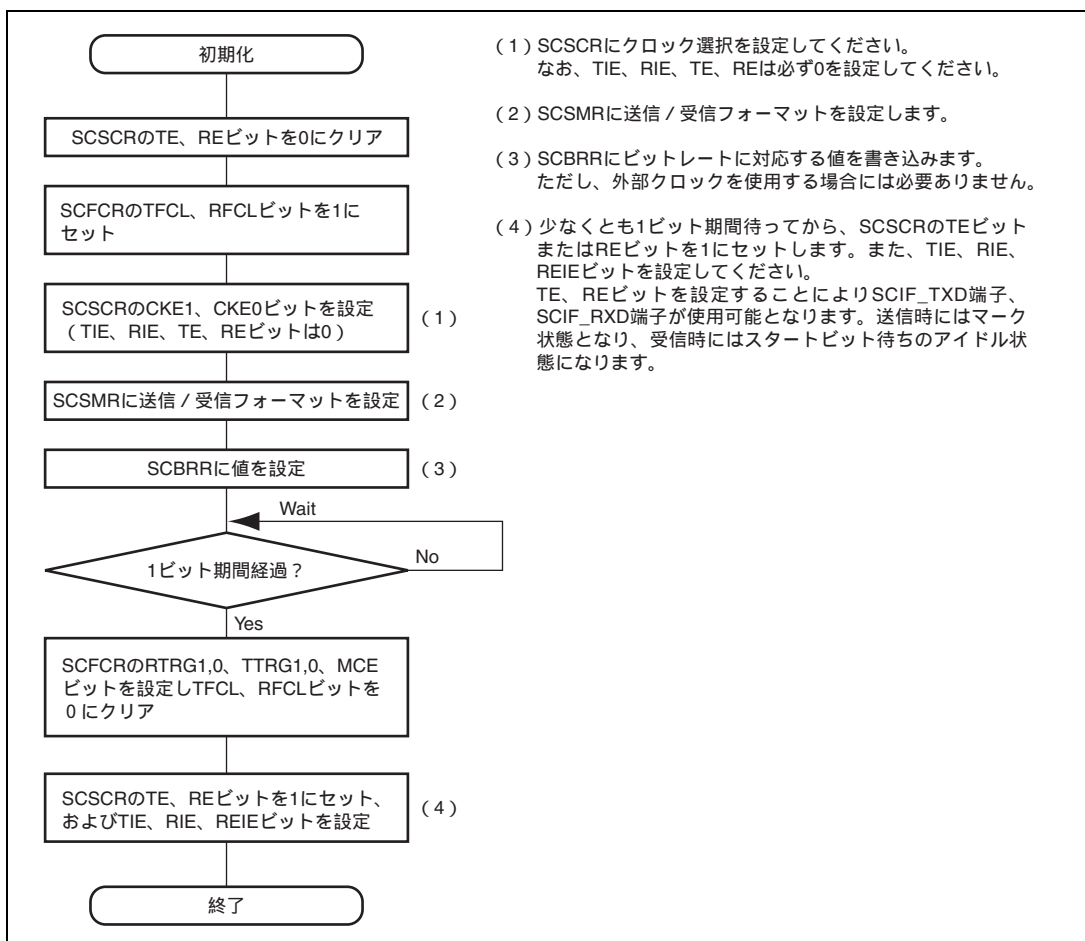


図 24.8 SCIF の初期化フローチャートの例

(4) シリアルデータ送信 (調歩同期式)

図 24.9 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIF を送信動作可能状態に設定した後、以下の手順を参考に行ってください。

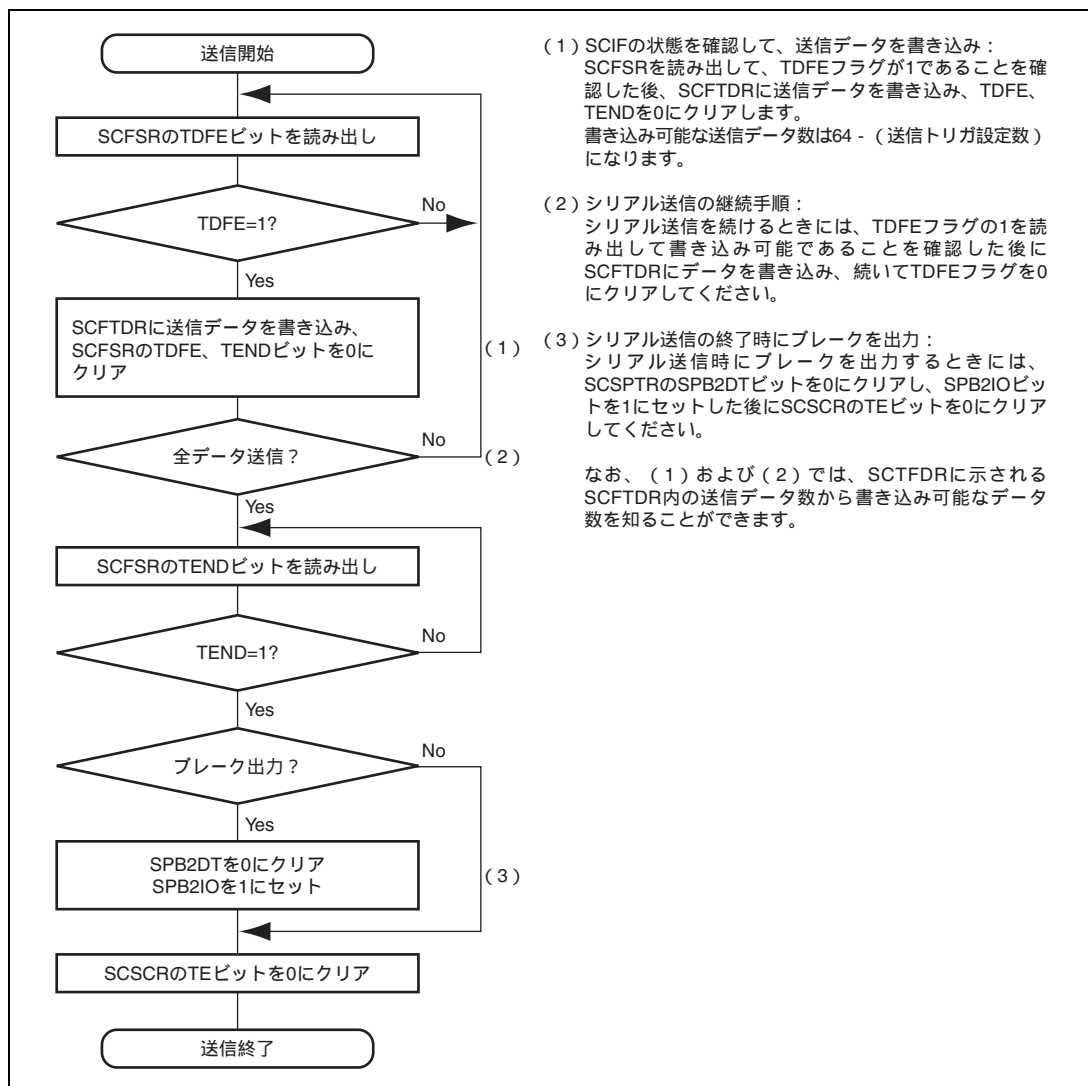


図 24.9 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも64 - (送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定した送信トリガ数以下になったとき、TDFEフラグをセットします。このとき、SCSCRのTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に SCIF_TXD 端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビットまたは7ビットのデータがLSBから順に出力されます。
 - (c) パリティビット (偶数パリティ、または奇数パリティ) が出力されます。
なお、パリティビットを出力しないフォーマットも選択できます。
 - (d) ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIFは、ストップビットを送出するタイミングでSCFTDRの送信データをチェックします。
データがあるとSCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
ストップビットを送り出した後、送信データがないとSCFSRのTENDフラグに1をセットし、SCIF_TXD端子から1を出力するマーク状態になります。

調歩同期式モードでの送信時の動作例を図 24.10 に示します。

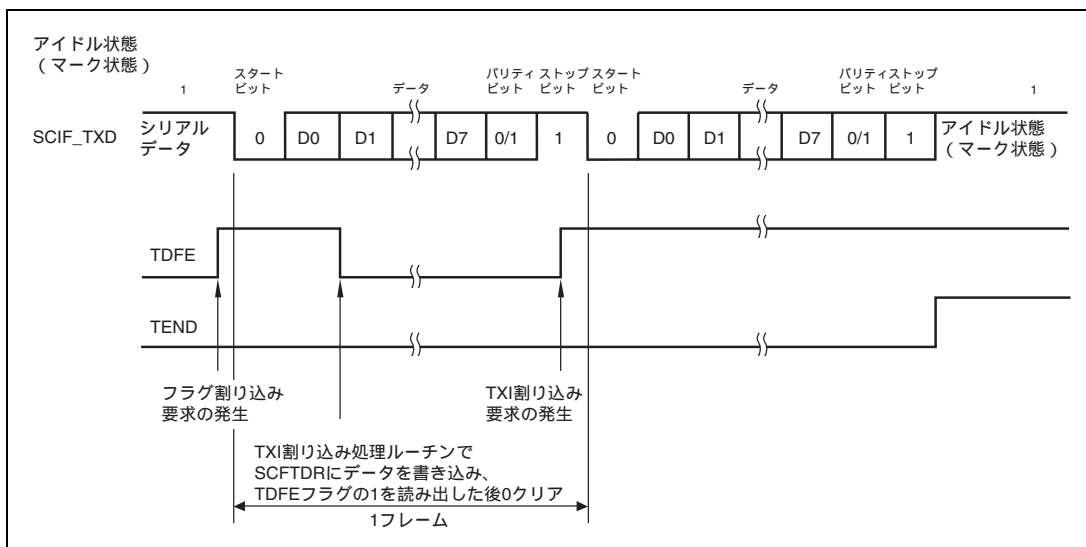
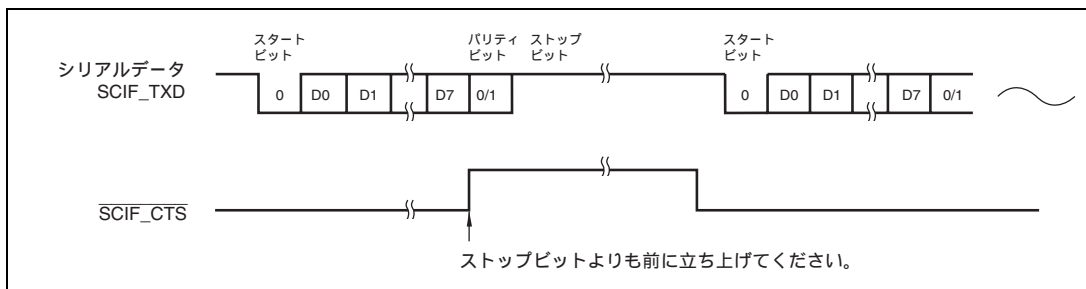


図 24.10 送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

4. モデムコントロールイネーブル時は $\overline{\text{SCIF_CTS}}$ 入力値によって送信動作を停止 / 再開することができます。 $\overline{\text{SCIF_CTS}}$ が 1 になると現在送信中のときは 1 フレーム送信終了後マーク状態になります。 $\overline{\text{SCIF_CTS}}$ を 0 にすると再びスタートビットから次の送信データを出力します。
 モデムコントロール時の動作例を図 24.11 に示します。

図 24.11 モデムコントロール ($\overline{\text{CTS}}$) 時の動作例 (チャンネル 0 のみ)

(5) シリアルデータ受信 (調歩同期式)

図24.12にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIFを受信動作可能状態に設定した後、図24.12の手順で行ってください。

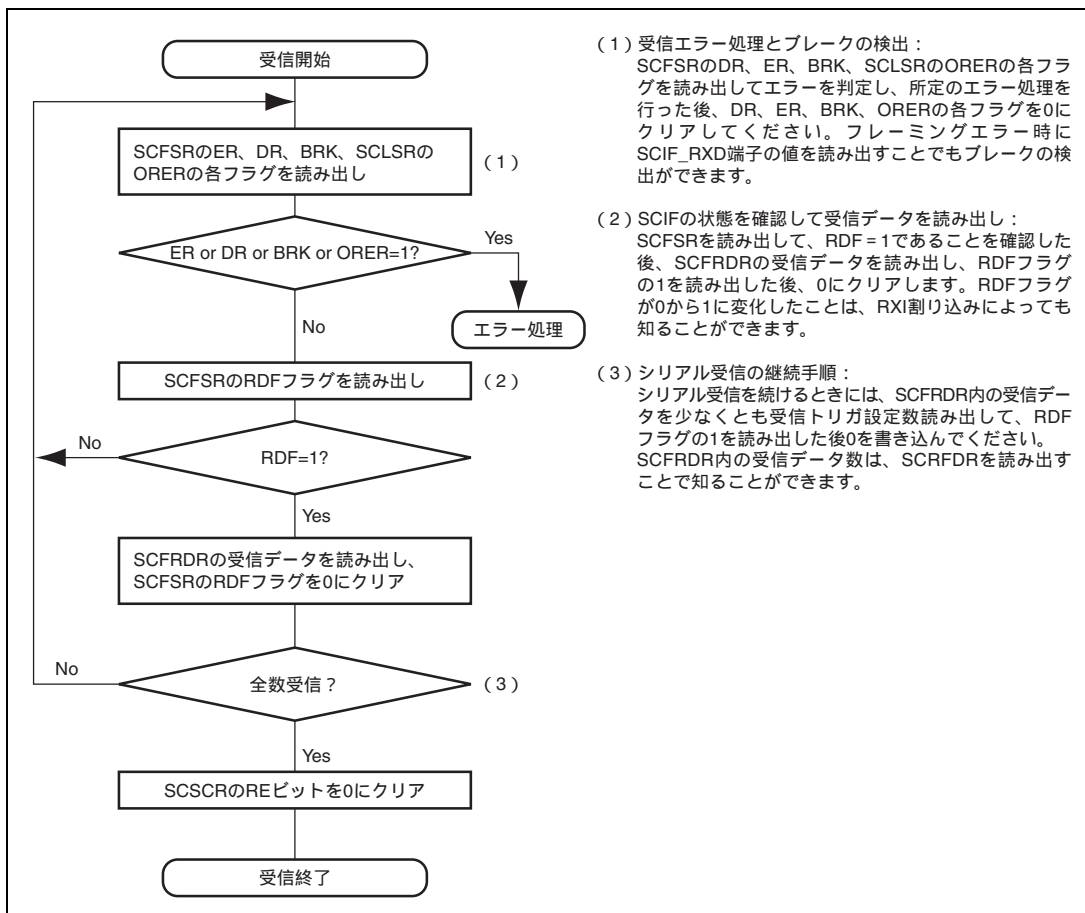


図 24.12 シリアル受信のフローチャートの例 (1)

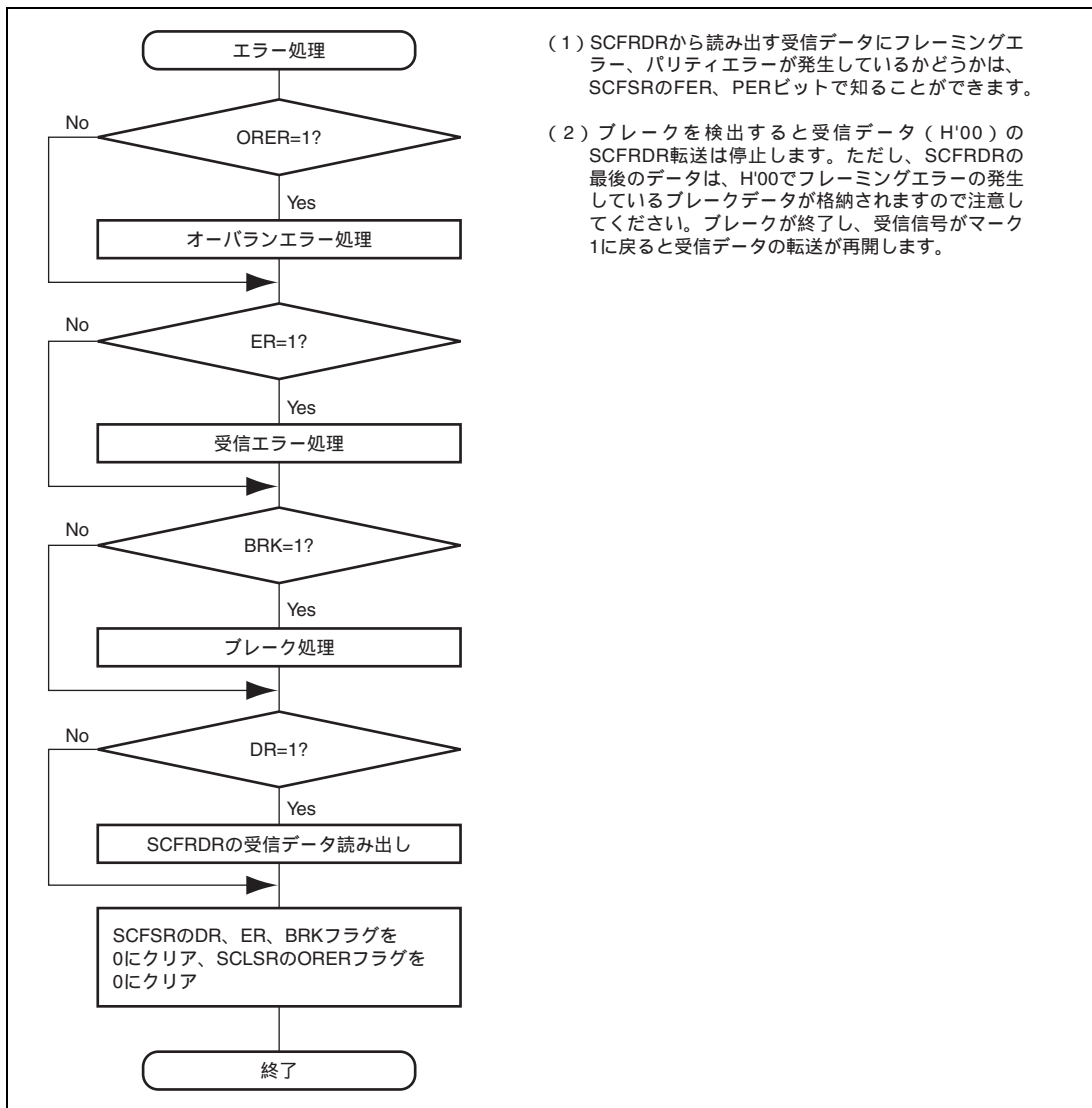


図 24.12 シリアル受信のフローチャートの例 (2)

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビットおよびストップビットを受信します。

受信後、SCIF は以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (b) 受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックします。*
- (c) オーバランエラーチェック：ORERフラグが0であり、オーバランエラーが発生していないことをチェックします。*
- (d) ブレークチェック：BRKフラグが0であり、ブレーク状態でないことをチェックします。*

(b) (c) (d) のチェックがパスしたとき、SCFRDR に受信データが格納されます。

【注】 * パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDFフラグまたはDRフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求が発生します。

また、ERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

さらに、BRKフラグまたはORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク受信割り込み (BRI) 要求が発生します。

調歩同期式モード受信時の動作例を図 24.13 に示します。

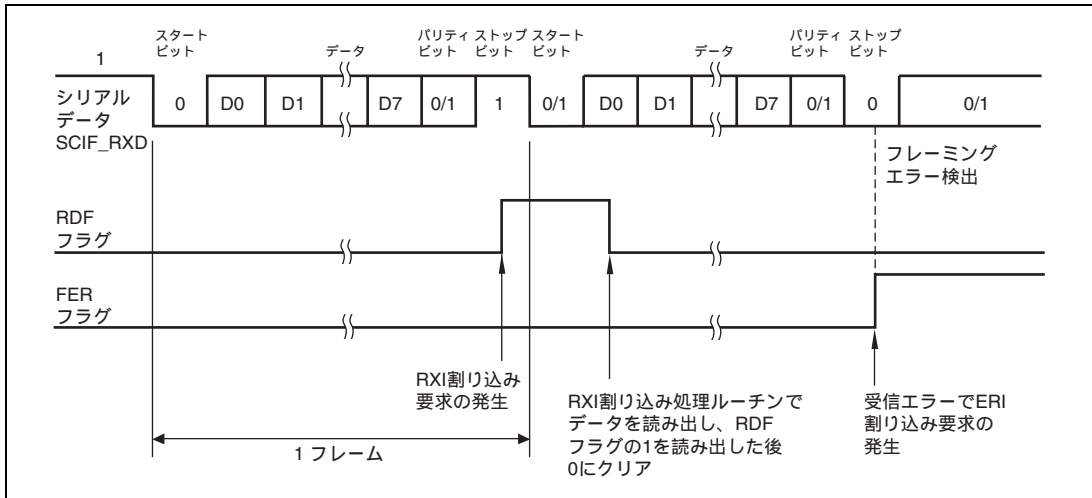


図 24.13 SCIF の受信時の動作例
(8 ビットデータ/パリティあり/1 ストップビットの例)

5. モデムコントロールイネーブル時は、SCFRDRの空き状況によって $\overline{\text{SCIF_RTS}}$ 信号を出力します。 $\overline{\text{SCIF_RTS}}$ が0のときは受信可能状態です。 $\overline{\text{SCIF_RTS}}$ が1のときはSCFRDR内のデータ数が、 $\overline{\text{SCIF_RTS}}$ 出力アクティブトリガ設定数以上であることを示します。 $\overline{\text{SCIF_RTS}}$ 出力アクティブトリガ値は、「24.3.9 FIFOコントロールレジスタ (SCFCR)」のビット10~8で指定します。また、SCSCRのREビットが0のときも、 $\overline{\text{SCIF_RTS}}$ が1になります。モデムコントロール時の動作例を図24.14に示します。

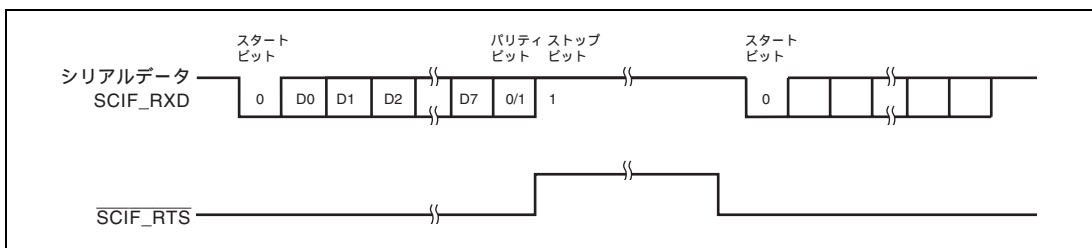


図 24.14 モデムコントロール ($\overline{\text{SCIF_RTS}}$) 時の動作例 (チャンネル1、チャンネル2のみ)

24.4.3 クロック同期式モードの動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 64 段の FIFO バッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 24.15 に示します。

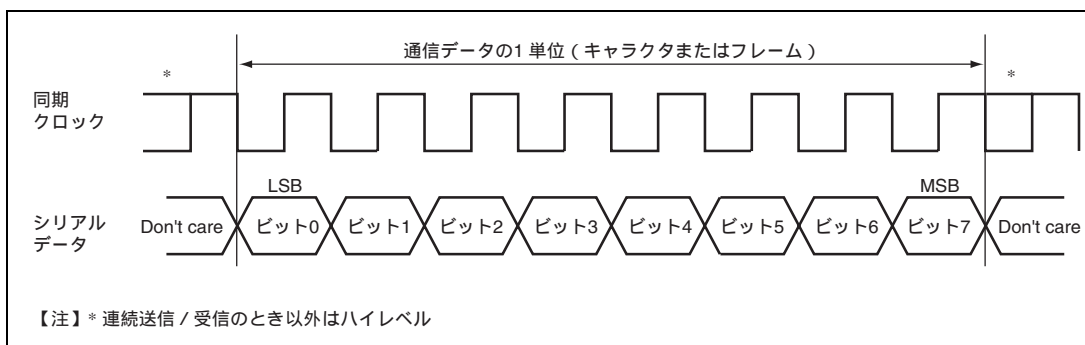


図 24.15 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロック立ち下がりから次の立ち下がりまで出力されます。また、クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、LSB から始まり最後に MSB が出力されます。最終データ出力後の通信回線の状態は最終データの状態を保ちます。

クロック同期式モードでは、SCIF は同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8 ビット固定です。

パリティビットの付加はできません。

(2) クロック

SCSMR の C/\bar{A} ビットと SCSCR の CKE1、CKE0 ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCIF_SCK 端子から入力された外部同期クロックの 2 種類から選択できます。SCIF のクロックソース選択については、表 24.5 を参照してください。

内部クロックで動作させるとき、SCIF_SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内部クロックを選択すると SCSCR の RE ビットが 1 の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

(3) SCIF の初期化 (クロック同期式)

データの送信 / 受信前に SCSCR の TE、RE ビットを 0 にクリアした後、以下の手順で SCIF を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると SCTSR が初期化されます。RE ビットを 0 にクリアしても RDF、PER、FER、ORER の各フラグ、および SCFRDR の内容は保持されますので注意してください。

図 24.16 に SCIF の初期化フローチャート例を示します。

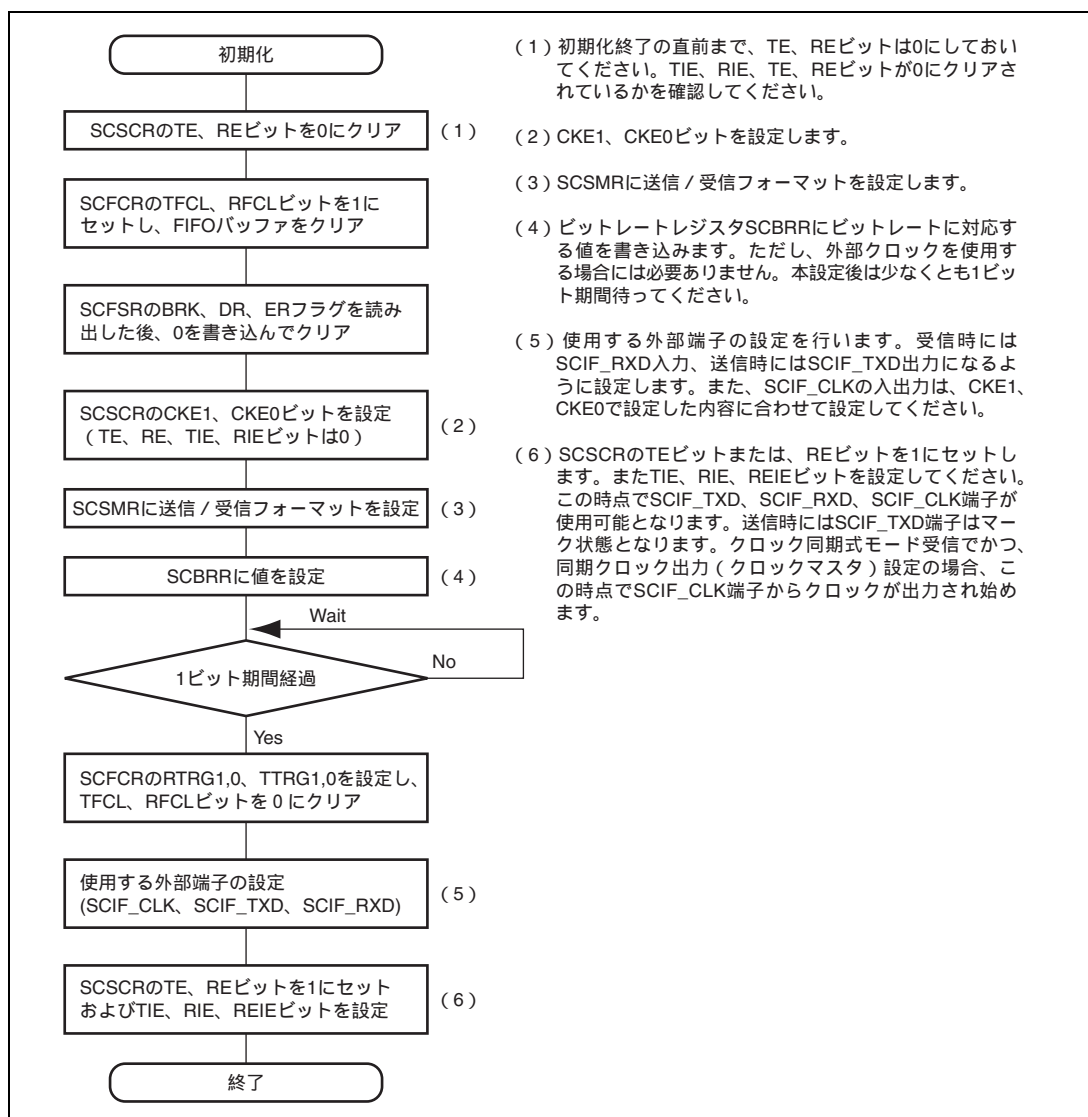


図 24.16 SCIF 初期化フローチャートの例

(4) シリアルデータ送信 (クロック同期式)

図 24.17 にシリアル送信のフローチャートの例を示します。

シリアルデータの送信は、SCIF を送信動作可能状態に設定した後、以下の手順で行ってください。

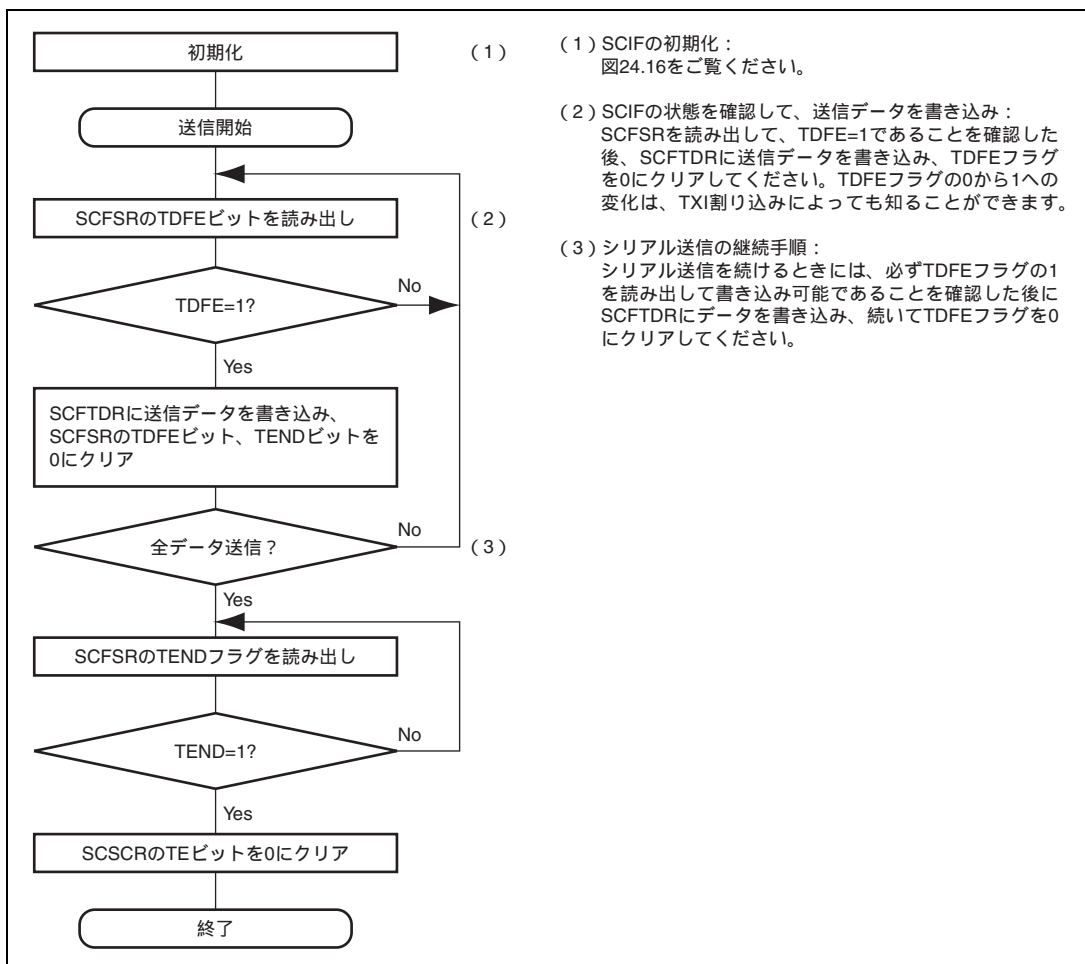


図 24.17 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

- SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも64 - (送信トリガ設定数) です。
- SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定したトリガ数以下になったとき、TDFEフラグをセットします。このときSCSCRのTIEビットが1にセットされていると送信FIFOデータエンベティ割り込み (TXI) 要求を発生します。

クロック出力モードに設定したときには、SCIFは1データに対し同期クロック8パルス出力します。

外部クロックに設定したときには、入力クロックに同期してデータを出力します。

シリアル送信データは、LSBから順にSCIF_TXD端子から送り出されます。

- SCIFは、最終ビットを送り出すタイミングでSCFTDRの送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。送信データがないと、最終ビットを送り出した後、SCFSRのTENDフラグを1にセットし、トランスミットデータ端子 (SCIF_TXD 端子) は状態を保持します。
- シリアル送信終了後、SCSCRのCKE1ビットが0のとき、SCIF_SCK端子から出力する同期クロックはハイレベル固定になります。

図 24.18 に SCIF の送信時の動作例を示します。

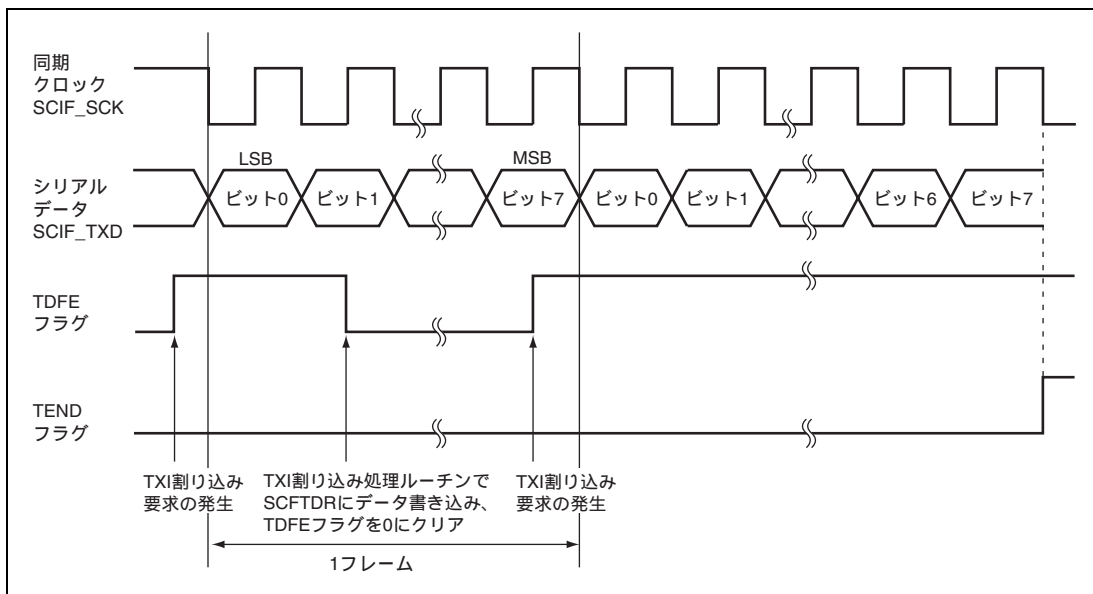


図 24.18 SCIF 送信時の動作例

(5) シリアルデータ受信 (クロック同期式)

図 24.19 にシリアル受信のフローチャート例を示します。

シリアルデータの受信は、SCIF を受信動作可能状態に設定した後、以下の手順で行ってください。

SCIF の初期化を行わずに、動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER7~0、FER7~0 の各フラグが 0 にクリアされていることを確認してください。

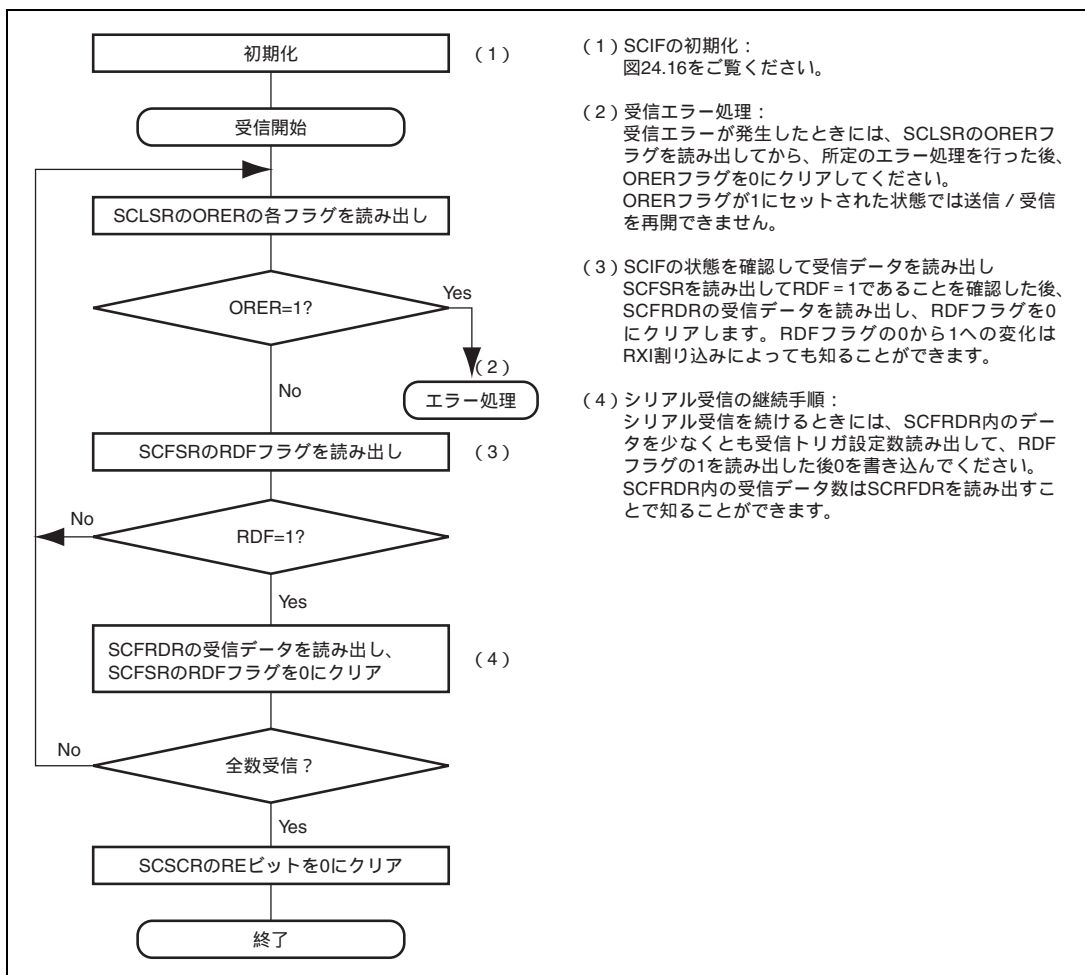


図 24.19 シリアル受信のフローチャートの例 (1)

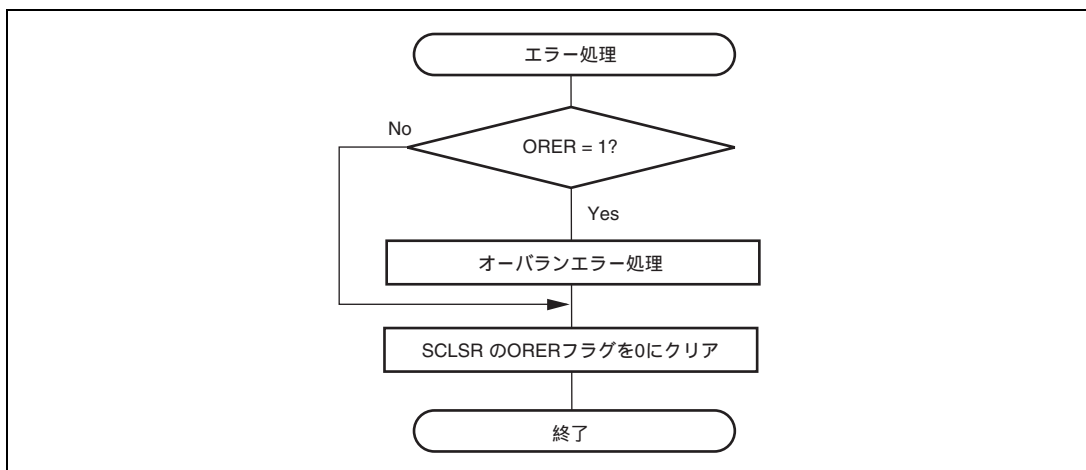


図 24.19 シリアル受信のフローチャートの例 (2)

SCIF はシリアル受信時に以下のように動作します。

1. SCIFは同期クロックの入力または出力に同期して内部を初期化します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。

受信後、SCIFは受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックし、このチェックがパスしたときSCFRDRに受信データが格納されます。

エラーチェックでオーバランエラーを検出すると以後の受信動作ができません。

3. RDFフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。

また、ORERフラグが1になったとき、SCSCRのRIEビットが1にセットされているとブ레이크割り込み (BRI) 要求を発生します。

図 24.20 に SCIF の受信時の動作例を示します。

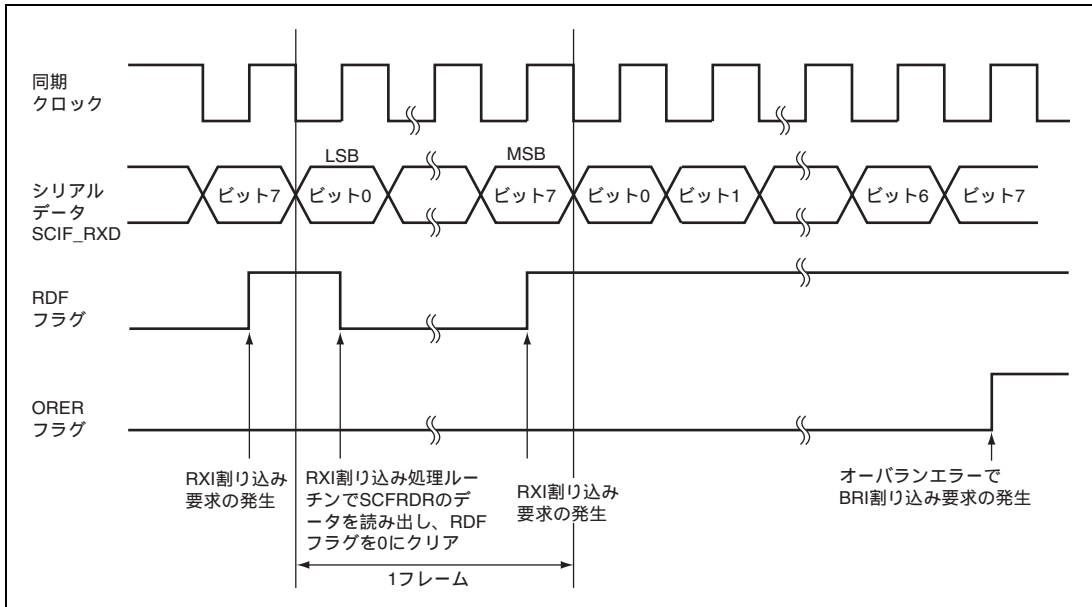


図 24.20 SCIF の受信時の動作例

(6) シリアルデータ送受信同時動作 (クロック同期式)

図 24.21 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIF を送受信動作可能状態に設定した後、以下の手順に従って行ってください。

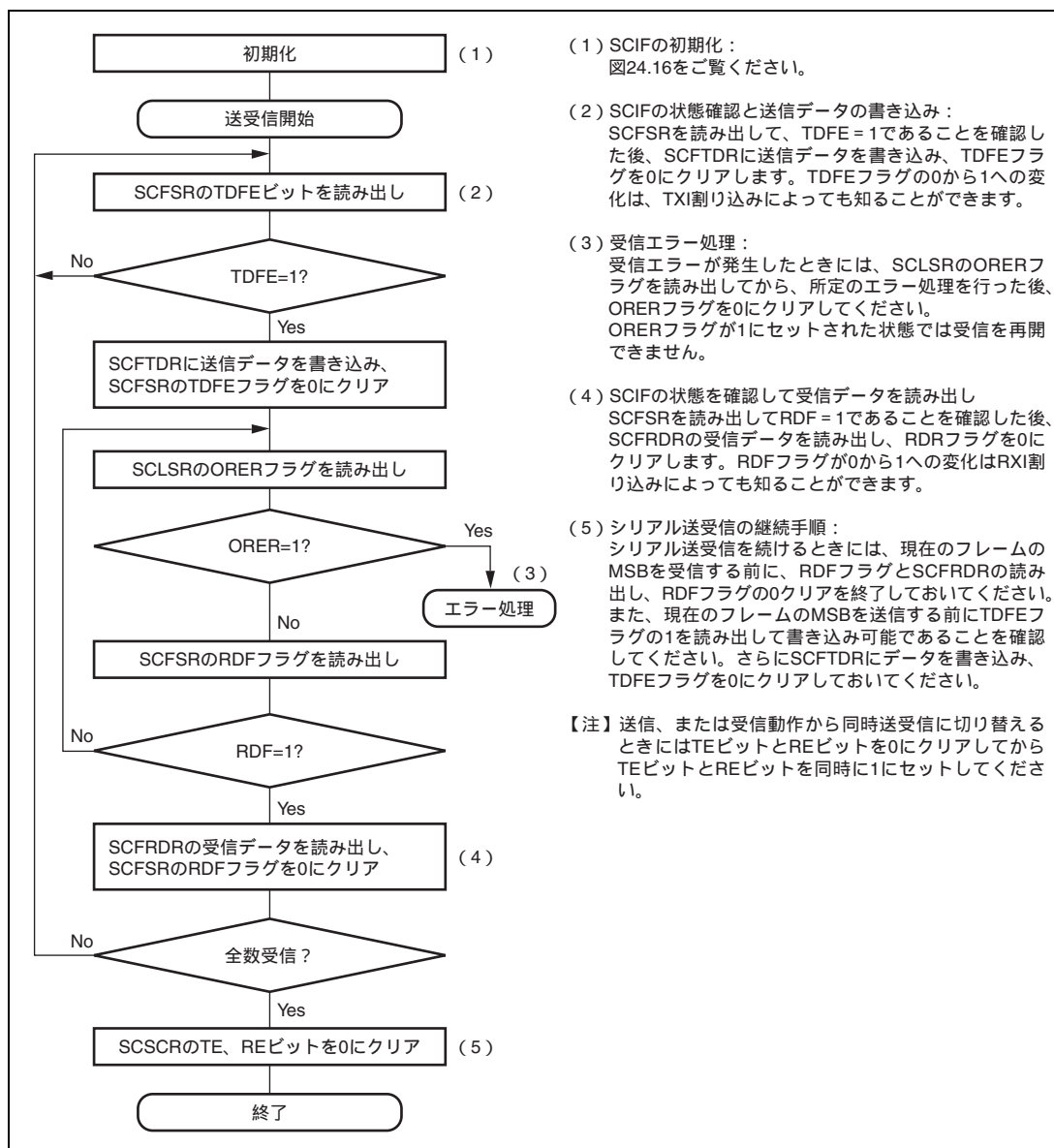


図 24.21 シリアル送受信のフローチャートの例

24.5 SCIF 割り込み要因と DMAC

SCIF はチャンネルごとに、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブレーク割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 24.7 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、REIE ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

TIE ビットにより TXI が許可されている場合、SCFSR の TDFE フラグが 1 にセットされると、TXI 割り込み要求と送信 FIFO データエンプティ DMA 転送要求が発生します。TIE ビットにより TXI が禁止されている場合、TDFE フラグが 1 にセットされると、送信 FIFO データエンプティ DMA 転送要求のみが発生します。送信 FIFO データエンプティ DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。

RIE ビットにより RXI が許可されている場合、SCFSR の RDF フラグまたは DR フラグが 1 にセットされると、RXI 割り込み要求と受信 FIFO データフル DMA 転送要求が発生します。RIE ビットにより RXI が禁止されている場合、RDF フラグまたは DR フラグが 1 にセットされると、受信 FIFO データフル DMA 転送要求のみが発生します。受信 FIFO データフル DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。なお、DR フラグが 1 にセットされたことによる RXI 割り込みまたは受信 FIFO データフル DMA 転送要求は、調歩同期モード時のみ発生します。

SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされると、BRI 割り込み要求が発生します。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから SCIF の設定を行ってください。また、割り込みコントローラへ RXI、TXI 割り込み要求を出さない設定にしてください。割り込み要求を出す設定にした場合、割り込みコントローラへの割り込み要求は割り込み処理プログラムとは無関係に DMAC によってクリアされます。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求だけを出すことができます。

表 24.7 SCIF 割り込み要因

割り込み要因	内 容	DMAC の起動	リセット解除時の優先順位
ERI	受信エラー (ER) による割り込み	不可	高 ↑ ↓ 低
RXI	受信 FIFO データフル (RDF) または受信データレディ (DR)* による割り込み	可	
BRI	ブレーク (BRK) またはオーバーランエラー (ORER) による割り込み	不可	
TXI	送信 FIFO データエンプティ (TDFE) による割り込み	可	

【注】 * DR による RXI 割り込みは、調歩同期モード時のみ可能です。

24.6 低消費電力モード

下記のモード・機能により低消費電力モードを実行する場合は送受信動作を停止させた後に実行させる場合があります。

(1) スリープモード

FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) は動作を継続します。

(2) ライトスリープモード

FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) は動作を継続しますが、DMAC を使用した送受信動作中は動作を保証しません。DMAC を使用した送受信動作を行っているとき、ライトスリープモードに遷移させる前に以下の手順に従ってください。

1. すべての送受信動作が行われたか確認します。

送信データをすべて送信しSCFSRのTENDフラグがセットされていること、もしくは、受信データをすべて読み出したことを確認することで、すべてのデータ転送が終了していることを確認します。また、レシーブFIFOデータレジスタ (SCFRDR) の読み出し、トランスミットFIFOデータレジスタ (SCFTDR) への書き込みで、SCIFのシリアル送受信動作の開始が行われないように、シリアルコントロールレジスタ (SCSCR) のTEビット、REビットを0にクリアしてください。

2. FIFO内蔵シリアルコミュニケーションインタフェース (SCIF) 内のすべてのDMA要求を禁止します。

(3) モジュールスタンバイ

FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) へのクロック供給が停止します。モジュールスタンバイに遷移される場合には、以下の手順に従ってください。

1. すべての送受信動作が行われたか確認します。

送信データをすべて送信しSCFSRのTENDフラグがセットされていること、もしくは、受信データをすべて読み出したことを確認することで、すべてのデータ転送が終了していることを確認します。また、レシーブFIFOデータレジスタ (SCFRDR) の読み出し、トランスミットFIFOデータレジスタ (SCFTDR) への書き込みで、SCIFのシリアル送受信動作の開始が行われないように、シリアルコントロールレジスタ (SCSCR) のTEビット、REビットを0にクリアしてください。

2. FIFO内蔵シリアルコミュニケーションインタフェース (SCIF) 内のすべてのDMA要求を禁止します。

3. スタンバイコントロールレジスタの該当ビットを1にセットします。

(4) 周波数変更

周波数変更による送受信動作中は動作を保証しません。周波数変更を行う前に以下の手順に従ってください。

1. すべての送受信動作が行われたか確認します。

送信データをすべて送信しSCFSRのTENDフラグがセットされていること、もしくは、受信データをすべて読み出したことを確認することで、すべてのデータ転送が終了していることを確認します。また、レシーブFIFOデータレジスタ (SCFRDR) の読み出し、トランスミットFIFOデータレジスタ (SCFTDR) への書き込みで、SCIFのシリアル送受信動作の開始が行われないように、シリアルコントロールレジスタ (SCSCR) のTEビット、REビットを0にクリアしてください。

2. FIFO内蔵シリアルコミュニケーションインタフェース (SCIF) 内のすべてのDMA要求、割り込み要求を禁止します。

24.7 使用上の注意事項

SCIFを使用する際は、以下のことに注意してください。

(1) SCFTDR への書き込みと TDFE フラグについて

SCFSR の TDFE フラグは SCFTDR 内に書き込んだ送信データ数が、SCFCR の TTRG1、0 ビットで設定した送信トリガ数以下になったときセットされます。TDFE がセットされた後、SCFTDR の空きデータ数まで送信データを書き込むことができ、効率よい連続送信が可能となります。

しかし TDFE フラグは SCFTDR に書き込まれているデータ数が送信トリガ数以下の場合には、1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは送信トリガ数より多い送信データが SCFTDR に格納されたときに行ってください。

SCFTDR 内の送信データ数は SCTFDR で知ることができます。

(2) SCFRDR の読み出しと RDF フラグについて

SCFSR の RDF フラグは、SCFRDR 内の受信データ数が SCFCR の RTRG1、0 ビットで設定した受信トリガ数以上になったときセットします。RDF がセットされた後、SCFRDR からトリガ数分の受信データを読み出すことで効率のよい連続受信が可能です。

ただし、読み出し後も SCFRDR 内のデータ数がトリガ数以上の場合、RDF フラグを 0 にクリアしても再び 1 にセットされますので、SCFRDR 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。

SCFRDR 内の受信データ数は SCRFDR で知ることができます。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に SCIF_RXD 端子の値を直接読み出すことによっても、ブレークを検出できます。ブレークでは、SCIF_RXD 端子からの入力が入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIF は、ブレークを検出すると SCFRDR への受信データの転送は停止しますが、受信動作は続けています。

(4) ブレークの送り出し

SCIF_TXD 端子は、SCSPTR の SPB2IO、SPB2DT ビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、SCIF_TXD 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替されます。このため、最初は SPB2IO と SPB2DT ビットを 1 に設定 (出力、ハイレベル) しておきます。

シリアル送信時にブレークを送り出したいときは SPB2DT ビットを 0 (ローレベル) にクリアした後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化

され、SCIF_TXD 端子からは 0 が出力されます。

(5) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIF は転送レートの 16 倍を周波数とする基本クロックで動作しています。

受信時に SCIF は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 24.22 に示します。

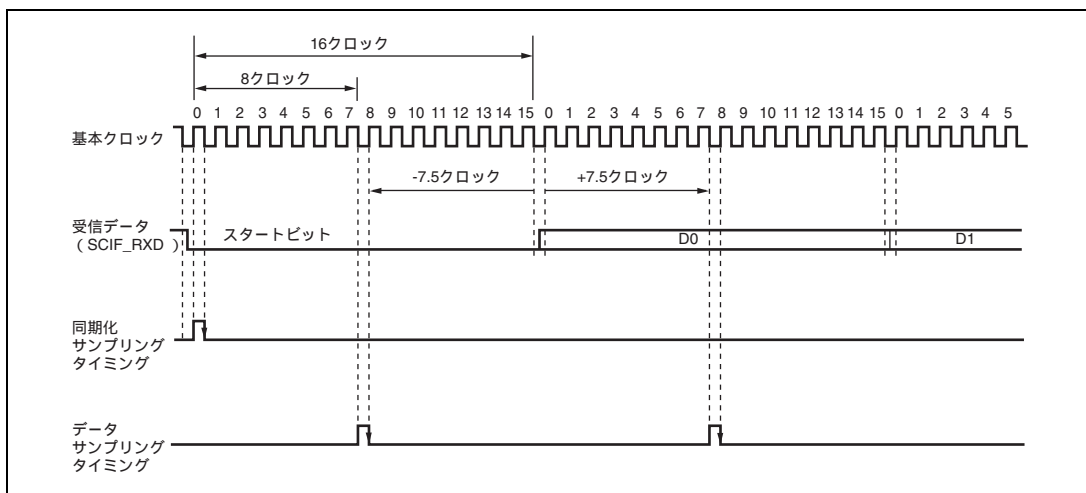


図 24.22 受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100\% \quad \dots\dots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=16)

D : クロックデューティ (D=0~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F=0 のとき

M = $\left(0.5 - 1 / (2 \times 16) \right) \times 100\%$

= 46.875%

.....式 (2)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20～30%の余裕を持たせてください。

25. シリアルペリフェラルインタフェース (HSPI)

本 LSI は、シリアルペリフェラルインタフェース (HSPI) を 1 チャンネル内蔵しています。

25.1 特長

HSPI には次のような特長があります。

- 動作モード：マスタモード、スレーブモード
- 送信部と受信部はダブルバッファ構造で、全二重通信が可能
- 周辺クロック (Pck) 分周機能により、広範囲のビットレートをサポート
- クロックのレジスタ設定により、2種類の送信プロトコルを設定でき、シリアルクロックの立ち上がりエッジまたは立ち下がりエッジのいずれかと同期した送信 / 受信機能を実現しています。
- 受信エラーに関しては、レシーブバッファのオーバーフローを検出できます。
- マスタ設定のとき、データ転送中に自動的に、または手動でコントロールすることにより、スレーブモジュールに対するチップセレクト信号を生成できます。
- 送信データと受信データの両方を2つのDMAチャンネルを経由して独立してDMA転送することが可能です。

図 25.1 に HSPI のブロック図を示します。

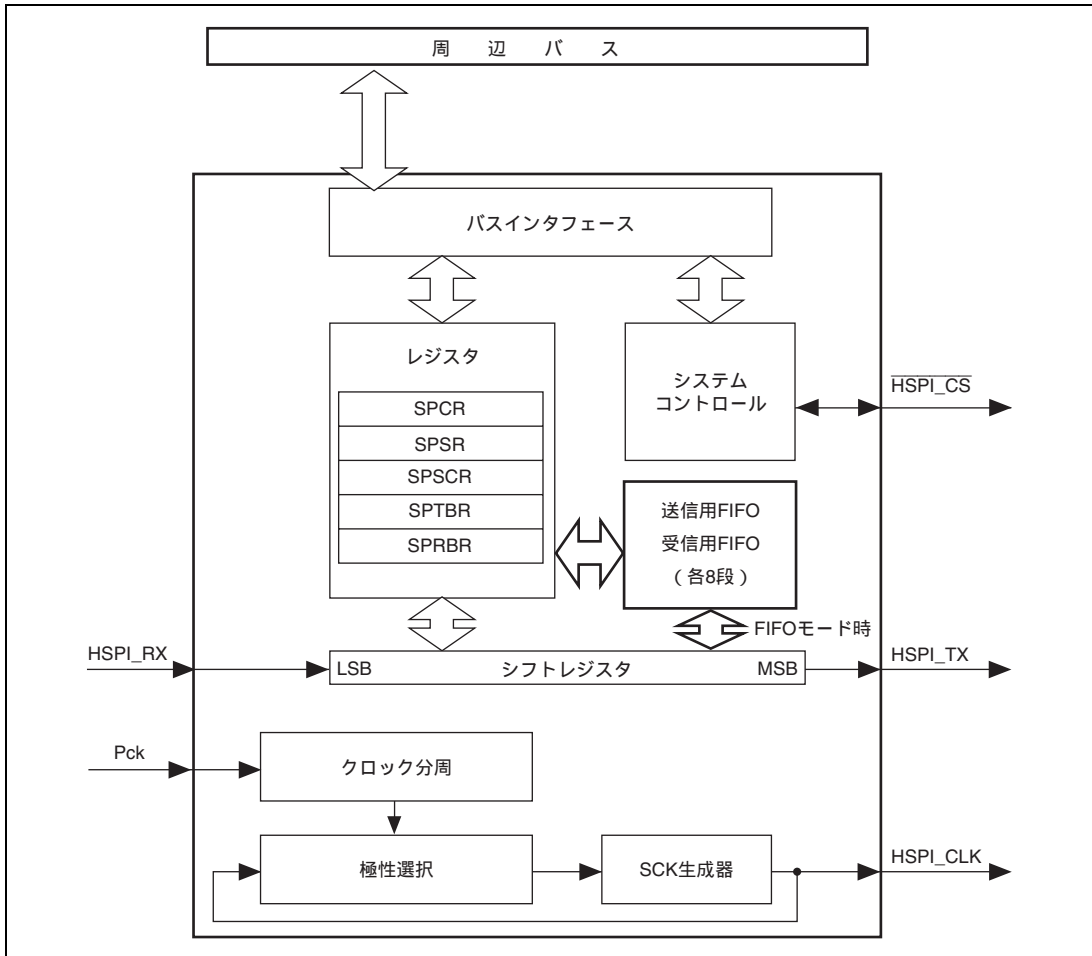


図 25.1 HSPI のブロック図

25.2 入出力端子

表 25.1 に HSPI の端子構成を示します。

表 25.1 端子構成

名称	略称	入出力	機能
シリアルクロック端子	HSPI_CLK	入出力	クロック入出力
送信データ端子	HSPI_TX	出力	送信データ出力
受信データ端子	HSPI_RX	入力	受信データ入力
チップセレクト端子	HSPI_CS	入出力	チップセレクト

25.3 レジスタの説明

表 25.2 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア7アドレス	サイズ	同期クロック
コントロールレジスタ	SPCR	R/W	H'FFF4 0000	H'1FF4 0000	32	Pck
ステータスレジスタ	SPSR	R*	H'FFF4 0004	H'1FF4 0004	32	Pck
システムコントロールレジスタ	SPSCR	R/W	H'FFF4 0008	H'1FF4 0008	32	Pck
トランスミットバッファレジスタ	SPTBR	R/W	H'FFF4 000C	H'1FF4 000C	32	Pck
レシーブバッファレジスタ	SPRBR	R	H'FFF4 0010	H'1FF4 0010	32	Pck

【注】 * ビット 4、3 はフラグをクリアするための 0 書き込みが可能です。

表 25.2 レジスタ構成 (2)

名称	略称	パワーオン リセット	マニュアル リセット	スリープ/ ライト スリープ	モジュール スタンバイ による	ソフト リセットによる
		RESET 端子/WDT /H-UDI による	WDT/多重例外 による	Sleep 命令による		
コントロールレジスタ	SPCR	H'0000 0000	保持	保持	保持	保持
ステータスレジスタ	SPSR	H'XXXX X120* ¹	保持	保持	保持	B'XXXX X1XX* ²
システムコントロールレジスタ	SPSCR	H'0000 0040	保持	保持	保持	保持
トランスミットバッファレジスタ	SPTBR	H'0000 0000	保持	保持	保持	保持
レシーブバッファレジスタ	SPRBR	H'0000 0000	保持	保持	保持	保持

【注】 *1 X は不定値を示します。

*2 X は不定値を示します。ビット 9/6/4/3 は保持されます。それ以外のビットは初期値が不定以外のビットは初期化されます。

25.3.1 コントロールレジスタ (SPCR)

SPCR は、32 ビットの読み出し / 書き込み可能なレジスタで、転送データのシフトタイミングの制御、クロック極性、およびクロック周波数を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	FBS	CLKP	IDIV	CLKC4	CLKC3	CLKC2	CLKC1	CLKC0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビットです。 読み出したときの値は不定です。書き込み値は常に 0 にしてください。
7	FBS	0	R/W	ファーストビットスタート 各ビットの転送されたデータとシリアルクロックの間のタイミングを制御します。 0 : HSPI から転送された最初のビットが、HSPI_CS 端子がローレベルになった後の最初の HSPI_CLK エッジで受信デバイスによりサンプルされるように設定します。同様に、受信した最初のビットが HSPI_CS 端子がローレベルになった後の最初のレジスタで設定した HSPI_CLK エッジでサンプルされます。 1 : HSPI から転送された最初のビットが、HSPI_CS 端子がローレベルになった後の 2 番目の HSPI_CLK エッジで受信デバイスによりサンプルされるように設定します。同様に、受信した最初のビットが HSPI_CS 端子がローレベルになった後の 2 番目のレジスタで設定した HSPI_CLK エッジでサンプルされます。
6	CLKP	0	R/W	シリアルクロック極性 0 : HSPI_CLK 信号は反転されず、インアクティブ期間中はローレベルです。 1 : HSPI_CLK 信号は反転され、インアクティブ期間中はハイレベルです。
5	IDIV	0	R/W	初期クロック分周比 0 : 初期化時、中間周波数を生成するために周辺クロック (Pck) は 4 で分周され、マスタモード用のシリアルクロックを生成するためにさらに分周されます。 1 : 初期化時、中間周波数を生成するために周辺クロック (Pck) は 32 で分周され、マスタモード用のシリアルクロックを生成するためにさらに分周されます。

ビット	ビット名	初期値	R/W	説明
4	CLKC4	0	R/W	クロック分周カウント
3	CLKC3	0	R/W	中間周波数で分周して得られるシリアルクロックの分周比を設定します。
2	CLKC2	0	R/W	00000 : 1 中間周波数サイクル。
1	CLKC1	0	R/W	シリアルクロック周波数は、中間周波数/2
0	CLKC0	0	R/W	00001 : 2 中間周波数サイクル。
				シリアルクロック周波数は、中間周波数/4
				00010 : 3 中間周波数サイクル。
				シリアルクロック周波数は、中間周波数/6
				:
				:
				11111 : 32 中間周波数サイクル。
				シリアルクロック周波数は、中間周波数/64

シリアルクロック周波数は以下の計算式で求められます。

$$\text{シリアルクロック周波数} = \frac{\text{Pck}}{(\text{初期クロック分周比} \times (\text{クロック分周カウント} + 1) \times 2)}$$

HSPI がスレーブとして動作する場合、IDIV と CLKC ビットは無視され、HSPI は外部から供給されたシリアルクロックと同期します。動作可能な外部シリアルクロックの最大値は、Pck/8 です。

FBS または CLKP、IDIV、CLKC ビットのいずれかが変更された場合、HSPI はソフトリセットされます。

IDIV、CLKC を設定、変更すると内部シリアルクロック作成用カウンタがリセットされます。そのため設定、変更を行った場合は、最低 1 シリアルクロック (設定した IDIV、CLKC によって異なります) 経過後にデータの送受信を行ってください。

25.3.2 ステータスレジスタ (SPSR)

SPSR のステータスフラグにより、システムが正しく動作しているかどうかを確認できます。

SPSCR の ROIE ビットが 1 に設定されている場合、レシーブバッファオーバーラン発生やレシーブバッファオーバーラン警告により割り込み要求を発生します。SPSCR の TFIE ビットが 1 に設定されている場合、送信完了フラグにより割り込み要求を発生します。SPSCR の該当イネーブルビットが 1 に設定されている場合、受信 FIFO ハーフウェイや受信 FIFO フル、送信 FIFO エンプティ、送信 FIFO ハーフウェイフラグにより割り込み要求を発生します。SPSCR の RNIE ビットが 1 に設定されていると、受信 FIFO が空ではない場合に割り込み要求を発生します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TXFU	TXHA	TXEM	RXFU	RXHA	RXEM	RXOO	RXOW	RXFL	TXFN	TXFL
初期値 :	—	—	—	—	—	0	0	1	0	0	1	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W*	R/W*	R	R	R

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて不定	R	リザーブビット 読み出したときの値は不定です。書き込む値は常に 0 にしてください。
10	TXFU	0	R	送信 FIFO フルフラグ 本ステータスフラグは FIFO モード時の動作にのみ適用されます。送信 FIFO が送信データでいっぱいになり、次の送信データを受け付けなくなったときにこのフラグは 1 にセットされます。送信データが転送のために HSPI バスに出力されたときにこのフラグは 0 にクリアされます。
9	TXHA	0	R	送信 FIFO ハーフウェイフラグ 本ステータスフラグは FIFO モード時の動作にのみ適用されます。送信 FIFO が中間点に到達したとき、つまり、4 バイトに送信データを格納し、4 バイトが空いている状態のときにこのフラグは 1 にセットされます。送信 FIFO にさらにデータが書き込まれたときにこのフラグは 0 にクリアされます。次に続く FIFO レベルが中間点より下まわっても、このフラグは中間点より上回るまでは 1 にセットされたままです。 TXHA=1 かつ THIE=1 のとき、割り込みが発生します。
8	TXEM	1	R	送信 FIFO エンプティフラグ 本ステータスフラグは FIFO モード時の動作にのみ適用されます。送信 FIFO に送信データが入ってないときにこのフラグは 1 にセットされます。送信 FIFO にデータが書き込まれたときにこのフラグは 0 にクリアされます。 TXEM=1 かつ TEIE=1 のとき、割り込みが発生します。

ビット	ビット名	初期値	R/W	説明
7	RXFU	0	R	<p>受信 FIFO フルフラグ</p> <p>本ステータスフラグは FIFO モード時の動作にのみ適用されます。受信 FIFO が受信データでいっぱいになり、次の受信データを受け付けなくなったときにこのフラグは 1 にセットされます。受信 FIFO からデータが読み出されたときにこのフラグは 0 にクリアされます。</p> <p>RXFU=1 かつ RFIE=1 のとき、割り込みが発生します。</p>
6	RXHA	0	R	<p>受信 FIFO ハーフウェイフラグ</p> <p>本ステータスフラグは FIFO モード時の動作にのみ適用されます。受信 FIFO が中間点に到達したとき、つまり、4 バイトに受信データを格納し、4 バイトが空いている状態のときにこのフラグは 1 にセットされます。受信 FIFO を読み出した場合にフラグは 0 にクリアされます。</p> <p>RXHA=0 かつ RHIE=1 のとき、割り込みが発生します。</p>
5	RXEM	1	R	<p>受信 FIFO エンプティフラグ</p> <p>本ステータスフラグは FIFO モード時の動作にのみ適用されます。受信 FIFO に受信データが入ってないときにこのフラグは 1 にセットされます。受信 FIFO にデータが書き込まれたときにこのフラグは 0 にクリアされます。</p> <p>RXEM=1 かつ RNIE=1 のとき、割り込みが発生します。</p>
4	RXOO	0	R/W*	<p>レシーブバッファオーバーラン発生フラグ</p> <p>新しいデータを受信したが、前の受信データが HSPI の SPRBR からまだ読み出されていないときにこのフラグは 1 にセットされます。新しく受信したデータは、前に受信したデータを上書きしません。RXOO フラグは、対応するビット位置への 0 の書き込みでリセットされるまで、1 のままです。</p> <p>RXOO=1 かつ ROIE=1 のとき、割り込みが発生します。</p>
3	RXOW	0	R/W*	<p>レシーブバッファオーバーラン警告フラグ</p> <p>新しいシリアルデータ転送が開始されたのに、前の受信データが HSPI の SPRBR からまだ読み出されていないときにこのフラグは 1 にセットされます。RXOW フラグは、対応するビット位置への 0 の書き込みでリセットされるまで、1 のままです。</p> <p>RXOW=1 かつ ROIE=1 のとき、割り込みが発生します。</p>
2	RXFL	0	R	<p>レシーブバッファフルステータスフラグ</p> <p>本ステータスフラグは、SPRBR に読み出されていない新しいデータが格納されていることを示します。シリアルバス転送の終わりの方で、シフトレジスタ内容がレシーブバッファにロードされた時点でこのフラグは 1 にセットされます。SPRBR を読み出すことで、このビットを 0 にクリアできます。</p>
1	TXFN	0	R	<p>送信完了ステータスフラグ</p> <p>本ステータスフラグは、最後の転送が完了したことを示します。SPTBR が周辺バスからデータを受信できるようになったときにこのフラグは 1 にセットされます。SPTBR にデータを書き込むことで、このビットを 0 にクリアできます。</p> <p>TXFN=1 かつ TFIE=1 のとき、割り込みが発生します。</p>

ビット	ビット名	初期値	R/W	説明
0	TXFL	0	R	トランスミットバッファフルステータスフラグ 本ステータスフラグは、SPTBR に送信していないデータがあることを示します。周辺バスからのデータが SPTBR に書き込まれたときにこのフラグは 1 にセットされます。SPTBR が周辺バスからのデータを受信できるようになったときにこのビットは 0 にリセットされます。

【注】 * 読み出し / 書き込み可能です。0 を書き込むとビットは各ビットの初期値に初期化されますが、1 の書き込みは無視されます。

25.3.3 システムコントロールレジスタ (SPSCR)

SPSCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、割り込みまたは FIFO モードの制御、データを送受信するときの LSB / MSB ファーストの選択、ソフトリセットの発生を行うことができます。

FFEN または LMSB、CSA、MASL ビットのいずれかが変更された場合、HSPI はソフトリセットされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TEIE	THIE	RNIE	RHIE	RFIE	FFEN	LMSB	CSV	CSA	TFIE	ROIE	RXDE	TXDE	MASL
初期値 :	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて 0	R	リザーブビット 読み出したときの値は不定です。書き込み値は常に 0 にしてください。
13	TEIE	0	R/W	送信 FIFO エンプティ割り込みイネーブル 0 : 送信 FIFO エンプティ割り込みを禁止 1 : 送信 FIFO エンプティ割り込みを許可
12	THIE	0	R/W	送信 FIFO ハーフウェイ割り込みイネーブル 0 : 送信 FIFO ハーフウェイ割り込みを禁止 1 : 送信 FIFO ハーフウェイ割り込みを許可
11	RNIE	0	R/W	受信 FIFO ノットエンプティ割り込みイネーブル 0 : 受信 FIFO ノットエンプティ割り込みを禁止 1 : 受信 FIFO ノットエンプティ割り込みを許可
10	RHIE	0	R/W	受信 FIFO ハーフウェイ割り込みイネーブル 0 : 受信 FIFO ハーフウェイ割り込みを禁止 1 : 受信 FIFO ハーフウェイ割り込みを許可
9	RFIE	0	R/W	受信 FIFO フル割り込みイネーブル 0 : 受信 FIFO フル割り込みを禁止 1 : 受信 FIFO フル割り込みを許可

ビット	ビット名	初期値	R/W	説明
8	FFEN	0	R/W	<p>FIFO モードイネーブル</p> <p>FIFO モードを許可 / 禁止します。FIFO モードが許可されているとき、送信データと受信データのためにそれぞれ1つずつ8エントリ FIFO が使用可能になります。これらの FIFO は、SPTBR と SPRBR 経由で読み出しと書き込みができます。FIFO モードが禁止されているとき、存在する SPTBR と SPRBR が直接使われるため、HSPI バス上のすべての転送ごとに新しいデータを SPTBR に書き込んだり、SPRBR から読み出ししたりする必要があります。</p> <p>SPTBR と SPRBR のデータを DMA 転送する場合、FIFO モードを無効にしてください。</p> <p>0 : FIFO モードを禁止 1 : FIFO モードを許可</p>
7	LMSB	0	R/W	<p>LSB / MSB ファーストコントロール</p> <p>0 : データの送受信は最上位ビット(MSB)から行われます。 1 : データの送受信は最下位ビット(LSB) から行われます。</p>
6	CSV	1	R/W	<p>チップセレクト値</p> <p>HSPI がマスタモード時、チップセレクト信号の手動生成が選択されているとき (CSA=1)、このビットがチップセレクト出力値をコントロールします。</p> <p>0 : チップセレクト出力がローレベル 1 : チップセレクト出力がハイレベル</p>
5	CSA	0	R/W	<p>自動 / 手動チップセレクト</p> <p>0 : チップセレクト出力をデータ転送中に自動生成 1 : チップセレクト出力を手動でコントロールし、CSV ビットが値を決定</p>
4	TFIE	0	R/W	<p>送信完了割り込みイネーブル</p> <p>0 : 送信完了割り込みを禁止 1 : 送信完了割り込みを許可</p>
3	ROIE	0	R/W	<p>レシーブオーバラン発生 / 警告割り込みイネーブル</p> <p>0 : レシーブオーバラン発生 / 警告割り込みを禁止 1 : レシーブオーバラン発生 / 警告割り込みを許可</p>
2	RXDE	0	R/W	<p>受信 DMA イネーブル</p> <p>0 : 受信 DMA 転送要求を禁止 1 : 受信 DMA 転送要求を許可</p>
1	TXDE	0	R/W	<p>送信 DMA イネーブル</p> <p>0 : 送信 DMA 転送要求を禁止 1 : 送信 DMA 転送要求を許可</p>
0	MASL	0	R/W	<p>マスタ / スレーブセレクト</p> <p>0 : HSPI はスレーブとして動作 1 : HSPI はマスタとして動作</p>

25.3.4 トランスミットバッファレジスタ (SPTBR)

SPTBR は、読み出し / 書き込み可能な 32 ビットのレジスタで、送信するデータを格納します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TD							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~8	-	すべて 0	R	リザーブビット 読み出したときの値は不定です。書き込む値は常に 0 にしてください。
7~0	TD	すべて 0	R/W	送信データ これらのビットに書き込まれたデータは送信のためのシフトレジスタに転送されます。 読み出し時には、送信バッファに格納されているデータが読み出されます。

25.3.5 レシーブバッファレジスタ (SPRBR)

SPRBR は、読み出し専用の 32 ビットのレジスタで、受信したデータを格納します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RD							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出したときの値は不定です。書き込む値は常に 0 にしてください。
7~0	RD	すべて 0	R	受信データ 前回受信したデータの読み出しが完了しているならば、1 バイトを受信するごとにシフトレジスタからデータがこれらのビットに格納されます。

25.4 動作説明

25.4.1 FIFO モード無効時の動作

図 25.2 に送信 / 受信動作の手順フローを示します。

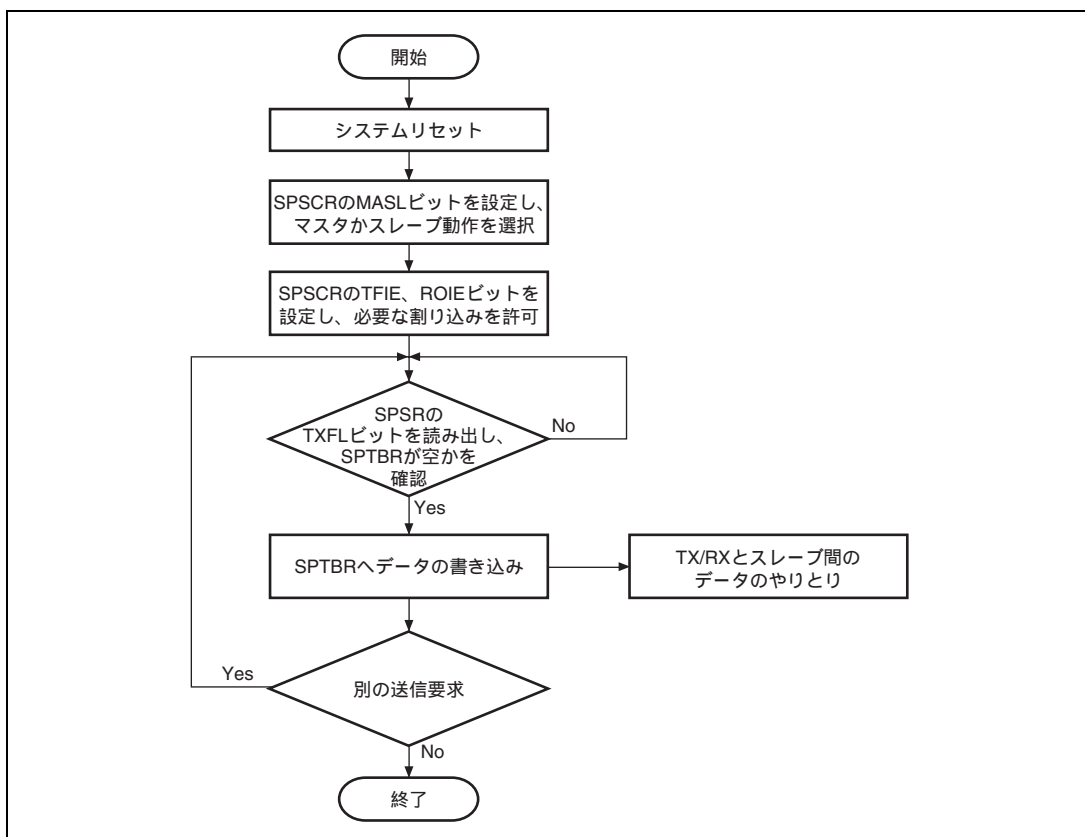


図 25.2 動作フローチャート

マスタは SPCR の設定により HSPI_CLK の立ち下がりか立ち上がりエッジでスレーブにデータを送信し、反対のエッジでスレーブからのデータをサンプリングします。マスタとスレーブ間のデータ転送は、SPSCR の TXFN ビット (送信完了ステータスフラグ) が 1 にセットされたときに終了します。HSPI モジュールが受信専用 (ヌルデータ送信中) に設定されている場合でも、TXFN ビットを使えば、HSPI 転送イベント (バイト送信とバイト受信) がいつ発生したかを調べることができます。データ送信方式のデフォルトは MSB ファーストですが、SPSCR の LMSB ビットの設定によっては、LSB ファーストも可能です。

送信動作中のスレーブは、マスタからの HSPI_CLK 出力と同期して、マスタにデータを送信しています。スレーブから送信されたデータはサンプリングされたあとでシフトレジスタに転送され、送信完了時には SPRBR に転送されます。

HSPI がスレーブとして動作する場合、 $\overline{\text{HSPI_CS}}$ 端子を用いて HSPI を選択し、外部マスタからのデータを受信できるように準備します。SPCR の FBS ビットが 0 のとき、バイトデータとバイトデータの間は $\overline{\text{HSPI_CS}}$ 端子をハイレベルに保持する必要があります (1 バイト転送後には、 $\overline{\text{HSPI_CS}}$ 端子をハイレベルにする必要があります)。FBS = 1 のとき、複数バイトの送信期間なら、 $\overline{\text{HSPI_CS}}$ 端子がローレベルでも問題ありません。常に FBS = 1 となるようにシステムが構成されている場合、 $\overline{\text{HSPI_CS}}$ 端子をグランドに固定できます (ただし、HSPI がスレーブとして動作する場合にのみ限られます)。

25.4.2 FIFO モード有効時の動作

CPU の割り込みオーバーヘッドを低減するために FIFO モードが用意されています。FIFO モード有効時、送信前に最大 8 バイトのデータが書き込みでき、受信 FIFO からの読み出し前に最大 8 バイトのデータを受信できます。HSPI モジュールと外部デバイス間で、決められたデータ量を転送する場合、以下の手順にしたがってください。

1. 要求された HSPI 転送特性 (マスタ/スレーブ、クロック極性等) を満足できるようにモジュールをセットアップし、FIFO モードを有効にします。
2. SPTBR 経由で送信 FIFO にバイトデータを書き込みます。8 バイトより多いデータを送信する場合は、データ送信時の FIFO レベルが分かるように送信 FIFO ハーフウェイ割り込みを許可します。
3. 送信 FIFO ハーフウェイ割り込みが発生したら、送信 FIFO にさらにデータを書き込み、SPRBR 経由で受信 FIFO からデータを読み出します。
4. すべての送信データを送信 FIFO に書き込んだら、送信 FIFO ハーフウェイ割り込みを禁止し、受信 FIFO が空になるまでデータを読み出します。送信された最後のバイトデータがいつ受信されたかが分かるように受信 FIFO ノットエンプティ割り込みを許可します。
5. 予定されているデータの受信が完了するまでは、受信 FIFO ノットエンプティ割り込みには対処します。
6. 次に使うときまでモジュールを無効にします。

アプリケーションによっては、外部の HSPI デバイスから未定量のデータを受信することもあります。この場合は、以下の手順に従ってください。

1. 要求された HSPI 転送特性 (マスタ/スレーブ、クロック極性等) を満足できるようにモジュールをセットアップし、FIFO モードを有効にします。
2. 送信するデータを送信 FIFO に書き込みます。受信 FIFO ノットエンプティ割り込みを許可します。
3. 受信 FIFO ノットエンプティ割り込みに対処し、受信 FIFO が空になるまでデータを読み出します。必要に応じて、さらにデータを送信 FIFO に書き込みます。
4. 送信が停止するときにモジュールを無効にします。

25.4.3 タイミング図

HSPI のシフトとサンプリング処理におけるタイミング関係を以下の図で示します。図 25.3 に SPCR の FBS ビットが 0 のときの状態、図 25.4 に SPCR の FBS ビットが 0 (連続転送) のときの状態、図 25.5 に SPCR の FBS ビットが 1 のとき、図 25.6 に SPCR の FBS ビットが 1 (連続転送) のとき状態を示します。これらの図からも分かるように、SPCR の CLKP ビットが 0 のとき、送信データは HSPI_CLK の立ち下がりエッジでシフトされ、受信データは HSPI_CLK の立ち上がりエッジでサンプリングされます。逆のことが、CLKP ビットが 1 のときに起こります。

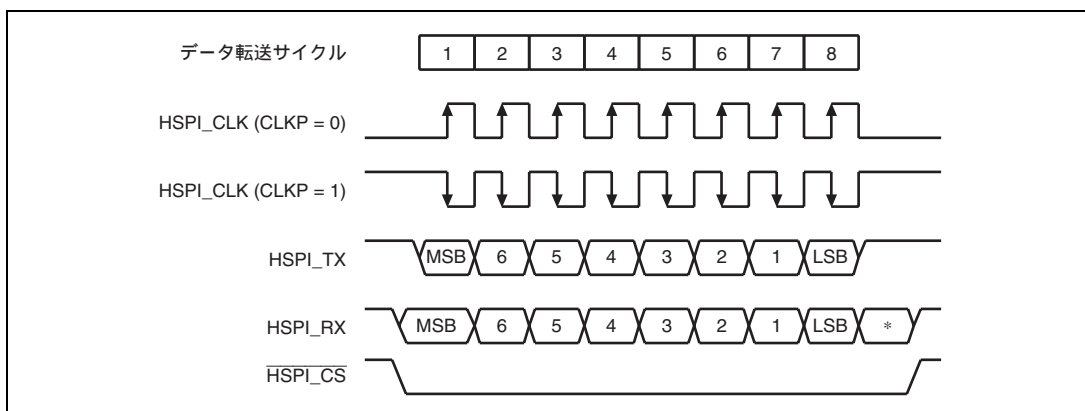


図 25.3 FBS=0 のときのタイミング

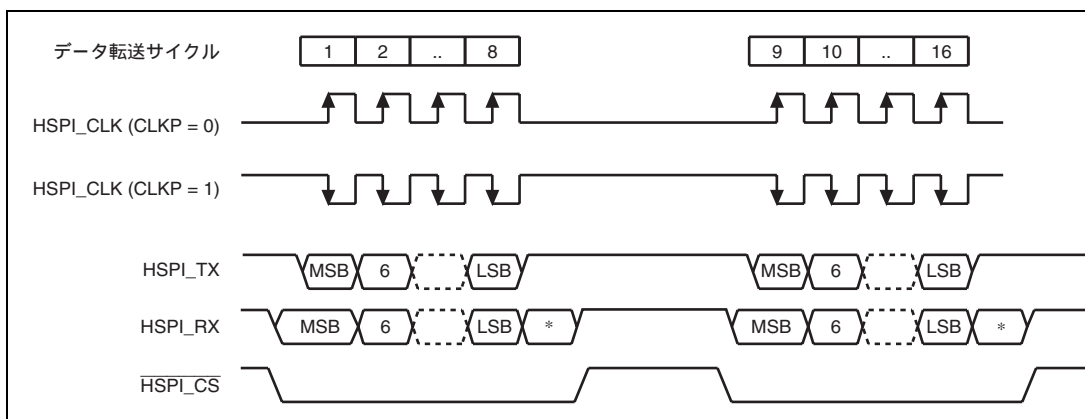


図 25.4 FBS=0 のときのタイミング (連続転送)

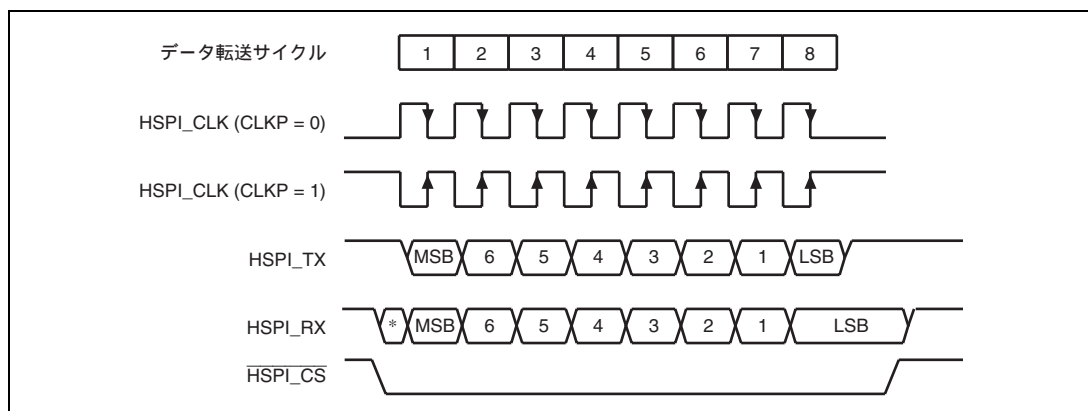


図 25.5 FBS=1 のときのタイミング

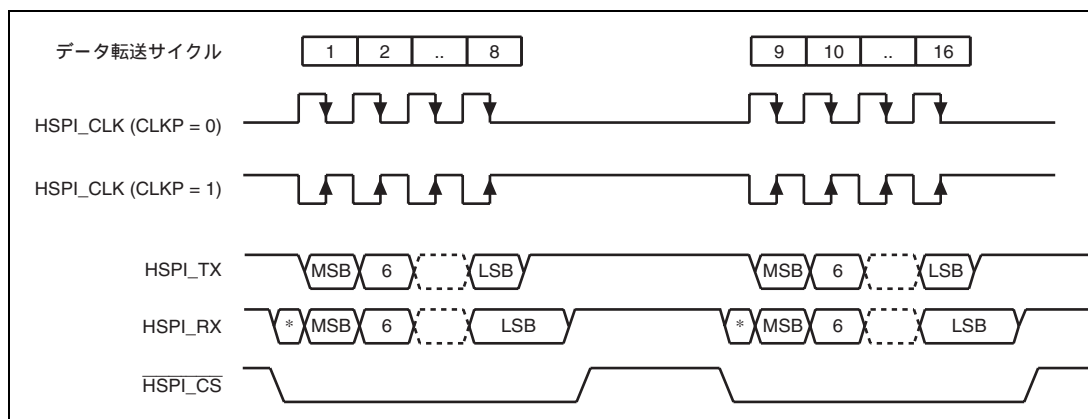


図 25.6 FBS=1 のときのタイミング (連続転送)

図中の*は Don't care データを示します。

25.4.4 HSPI ソフトリセット

ソフトリセットにより、モジュールを決められた状態に戻し、受信と送信 FIFO ポインタを初期化することができます。SPCR と SPSCR の割り込みとチップセレクト値 (CSV) ビットを除いたコントロールビットが変化したときにソフトリセットは発生します。ソフトリセットを行うときは、各割り込みイネーブルビットは 0 にクリアしてください。HSPI ソフトリセット後のデータ転送は、HSPI のデータ送信、受信プロトコルを守り、初めから行ってください。それ以外は動作保障しません。

HSPI がスレープモード時にマスタデバイスがデータ転送中の場合を除いて $\overline{\text{HSPI_CS}}$ をローレベルにする場合、ソフトリセット後に CSA を設定し直してください。これにより、データの誤った受信を防ぐことができます。

25.4.5 クロック極性と送信制御

SPCR を使って、転送データのシフトタイミングと極性を設定できます。SPCR の FBS ビットで異なる 2 つの転送方式から選択できます。SPSR.CSA=0 のとき、MSB または LSB は、 $\overline{\text{HSPI_CS}}$ の立ち下がりエッジで有効になります。SPCR の CLKP ビットを使って、マスタとスレーブで HSPI_CLK の立ち上がりエッジと立ち下がりエッジのどちらでデータをシフトしてサンプリングするかを制御する図 25.1 の極性選択ブロックを制御できます。

25.4.6 送信と受信ルーチン

接続されたマスタとスレーブは、HSPI_CLK に同期した巡回シフトレジスタとして機能すると考えることができます。マスタからの送信バイトは、8 HSPI_CLK サイクルでスレーブからの受信バイトと交換されます。送信部、および受信部ともにダブルバッファ構造になっていますので連続読み出し / 書き込みができます。FIFO モード有効時、送信データと受信データのために 8 エントリ FIFO があります。

25.4.7 各種フラグと割り込みのタイミング

ステータスレジスタ (SPSR) の各種フラグをとシステムコントロールレジスタ (SPSCR) を設定したときの割り込みタイミングを図 25.7 に示します。

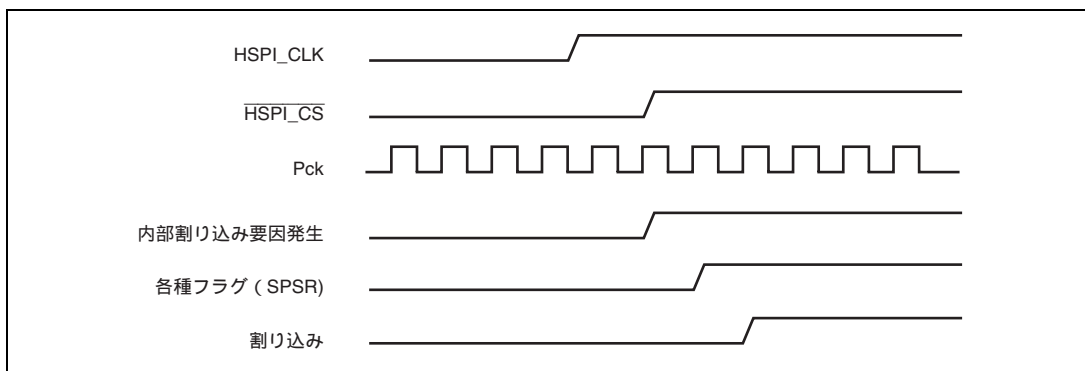


図 25.7 各種フラグと割り込みのタイミング

各種要因 (受信 FIFO ハーフウェイなど) の状態が発生すると、Pck 同期にてステータスレジスタ (SPSR) へ反映し、割り込みを発生します。

25.4.8 低消費電力モード

低消費電力モードには以下のモード、機能があります。

(1) スリープモード

HSPI の動作は継続されます。

(2) ライトスリープモード

HSPI の動作は継続されますが、DMAC を使用して送受信を行った場合は動作保障しません。DMAC を使用した送受信を行っているとき、ライトスリープモードに遷移させる前に以下の手順を行ってください。

1. すべてのデータ転送が行われたかを確認します。

トランスミットバッファ (またはFIFO) が空で、レシーブバッファ (またはFIFO) が空になるまで読み出されている必要があります。

すなわち、FIFOモード時は、SPSR.TXEMが1になるまでウェイトしてください。

また、SPSR.RXEMが1になるまでレシーブバッファレジスタ (SPRBR) を読み出す必要があります。

FIFOモードでない時は、SPSR.TXFLが0になるまでウェイトしてください。

また、SPSR.RXFLが0になるまでレシーブバッファレジスタ (SPRBR) を読み出す必要があります。

2. HSPI内すべてのDMA転送要求を禁止します。

(3) モジュールスタンバイモード

HSPI の動作中モジュールスタンバイモードに遷移すると HSPI の Pck が停止するため、動作保障しません。モジュールスタンバイに遷移させる場合には、以下の手順に従ってください。

1. すべてのデータ転送が行われたかを確認します。

ライトスリープと同様の処理を行ってください。

2. HSPI内すべてのDMA転送要求と割り込み要求を禁止します。FIFOモードも無効にします。

3. スタンバイコントロールレジスタ0 (MSTPCR0) のMSTP2ビットを1にセットします。

(4) 周波数変更

HSPI の動作中に周波数変更 (Pck) を行うと動作は継続されますが、マスタモード時、HSPI クロック出力周波数が変更されるため、外部デバイスとの通信が断たれる可能性があります。また、スリープモードにおいては、変更値によって HSPI アンダフロー / オーバフローが発生する可能性があります。

したがって、HSPI の動作中に周波数変更をする前に、以下の設定をしてください。

1. すべてのデータ転送が行われたかを確認します。

ライトスリープと同様の処理を行ってください。

2. HSPI内すべてのDMA転送要求と割り込み要求を禁止します。FIFOモードも無効にします。

26. NAND フラッシュメモリコントローラ (FLCTL)

NAND フラッシュメモリコントローラ (FLCTL) は、外付けの NAND 型フラッシュメモリとのメモリインタフェースを提供します。また、フラッシュメモリ特有の読み出し不具合に対応するための ECC 符号の生成およびエラー検出機能を有します。

26.1 特長

(1) NAND 型フラッシュメモリのメモリインタフェース

- NAND型フラッシュメモリとの接続が可能なインタフェース
- セクタ* (512+16バイト) 単位のリードライト。ECC処理を実行します。
- バイト単位のリードライト

【注】 * NAND 型フラッシュメモリのデータシートでは、2048+64 バイトのアクセス単位をページと表記されている製品もありますが、本書では、512+16 バイトを1セクタとして統一します。

(2) アクセスモード：FLCTL では次の2つのアクセスモードが選択できます。

- コマンドアクセスモード：本FLCTLからフラッシュメモリに対して発行するコマンド、アドレス、入出力するデータサイズをレジスタに指定することで一連のアクセスを行います。これにより、ECC処理を伴わないデータのリードライトおよびイレースが行えます。
- セクタアクセスモード：物理セクタを指定することで、物理セクタ単位のリードライトを実行します。ECC 符号生成 / チェックの制御を行います。セクタ数を指定することで、連続する物理セクタに対するリードライトを実行できます。

(3) セクタと管理コード

- 1セクタは、512バイトのデータと16バイトの管理コードから構成されます。管理コードには、8バイトのECCが含まれます。
- 管理コード内のECCの埋め込まれる位置は、4バイト単位で指定可能です。
- ECC以外の管理コードには、ユーザ情報を書き込むことができます。

(4) ECC

- セクタ (データ：512バイト + 管理コード：16バイト) に対し8バイトのECCコードの生成およびエラーチェックを行います。
(ただし、管理コード16バイト中ECCの生成およびエラーチェックの対象となるバイト数は設定により異なります。)
- エラー訂正能力は、1セクタにつき任意の3バイトまでです。
- 書き込み時、データおよびECCより前の管理コードまでがECC符号生成の対象です。ECCより後の管理コードは、ECCの対象外です。
- 読み出し時、データおよびECCより前の管理コードがECCエラー判定の対象です。また、FIFO内の管理コー

ド上のECCは、フラッシュメモリから読み出されたECCコードではなく、ECC回路による判定結果に置換されています。

- ECCエラー発生時のエラー訂正は行いません。ソフトウェア処理を行ってください。

(5) データエラー時

- プログラム/イレースエラー発生時、エラー要因フラグに反映されます。独立要因の割り込みが指定可能です。
- 読み出しエラー発生時、管理コード内のECCは0以外になります。その場合、ECCエラー要因フラグに反映されます。
- ECCエラーが発生した場合、エラー訂正を行い、必要に応じて代替セクタを指定し、ブロックの内容を代替セクタにコピーしてください。

(6) データ転送用 FIFO

- フラッシュメモリのデータ転送用に224バイトのFLDTFIFOを内蔵
- 管理コードのデータ転送用に32バイトのFLECFIFOを内蔵

(7) DMA 転送

- DMAコントローラにフラッシュメモリのデータと管理コードの転送先を個別に指定することにより、異なる領域にデータと管理コードを転送できます。

(8) アクセスサイズ

- レジスタには、32ビットアクセスのレジスタと8ビットアクセスのレジスタがあります。指定されたアクセスサイズでリードライトを行ってください。
- FIFOのアクセスサイズは、32ビット(4バイト)です。ライト時のバイト数として4の倍数を設定してください。また、リード時のバイト数には4の倍数を設定してください。

(9) アクセスタイム

- 本FLCTLの端子側の動作周波数は、周辺バスの動作周波数とは別に、共通コントロールレジスタ(FLCMNCR)のFCKSELビットとQTSELビットにより指定可能です。
- NAND型フラッシュメモリ端子側の動作クロックFCLKは、周辺バスの動作クロックPckを分周して使用します。
- NAND型フラッシュメモリでは、 $\overline{\text{FRE}}$ 端子、 $\overline{\text{FWE}}$ 端子が共通コントロールレジスタで指定したFCLKで動作します。セットアップタイムを確保するため接続するメモリの最大動作周波数を超えないように設定してください。

図 26.1 に FLCTL のブロックを示します。

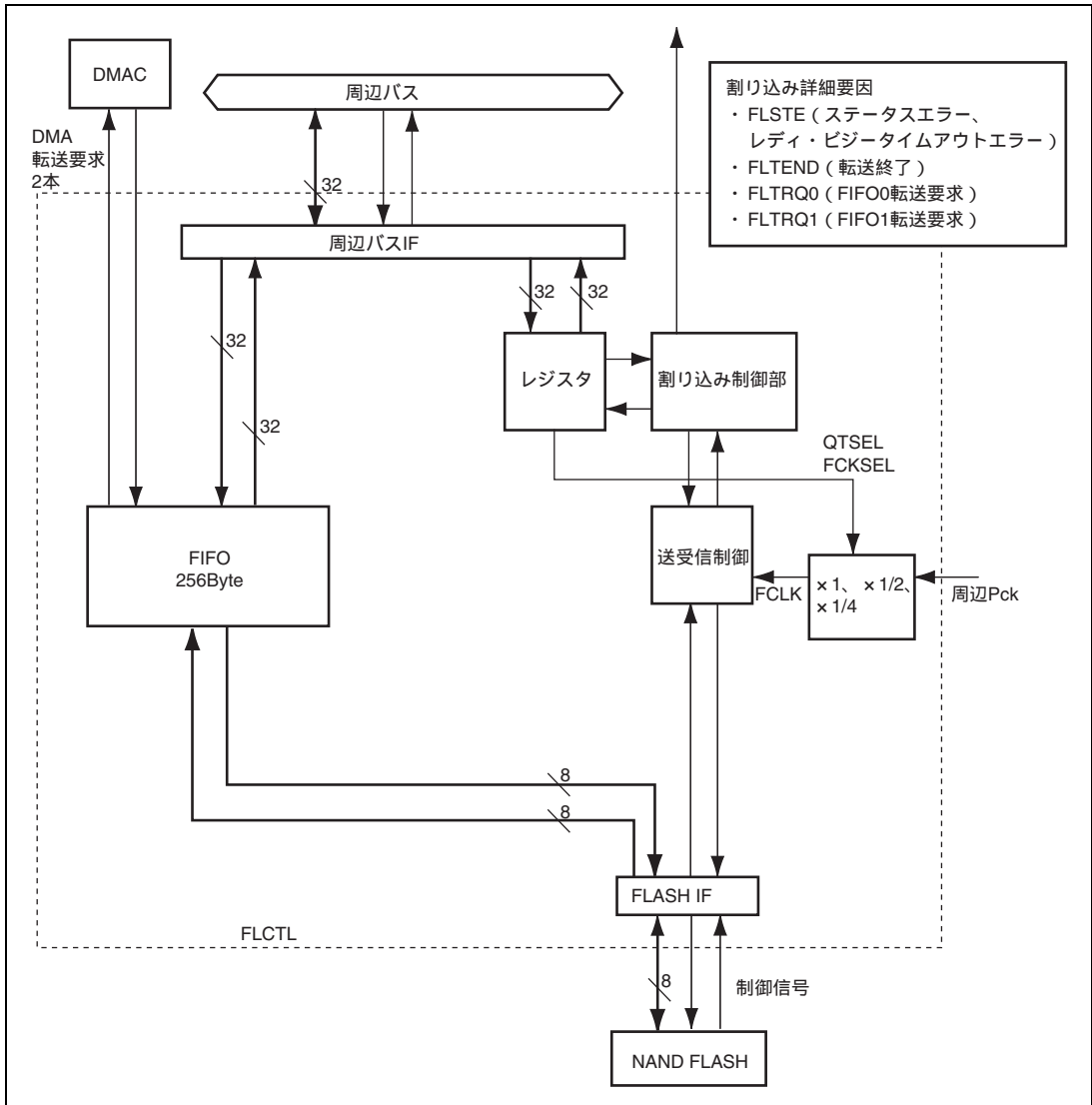


図 26.1 FLCTL のブロック図

26.2 入出力端子

FLCTL の端子構成を表 26.1 に示します。

表 26.1 FLCTL の端子構成

端子名	入出力	対応する FLASH の端子	機 能
		NAND 型	
FCE	出力	\overline{CE}	チップイネーブル 本 LSI に接続されたフラッシュメモリをイネーブルにします。
FD7-0	入出力	I/O7-I/O0	データ入出力端子 コマンド、アドレス、データの入出力端子です。
FCLE	出力	CLE	コマンドラッチイネーブル (CLE) コマンド出力時にアサートします。
FALE	出力	ALE	アドレスラッチイネーブル (ALE) アドレス出力時にアサートします。 データ入出力時にネゲートします。
FRE	出力	RE	リードイネーブル (RE) RE の立ち上がりエッジでデータを読み出します。
FWE	出力	WE	ライトイネーブル WE の立ち上がりエッジでフラッシュメモリがコマンド、アドレスおよびデータをラッチします。
FR/B	入力	R/B	レディ/ビジー ハイレベルでレディ状態を、ローレベルでビジー状態を示します。
- *	-	WP	書き込みプロテクト/リセット ローレベルで電源投入切断時の偶発的消去/プログラムから保護します。
FSE	出力	SE	スペアエリアイネーブル スペアエリアアクセス可能にする端子です。セクタアクセスモードを使う場合は、ローレベル固定にしてください。

【注】 * 本 LSI ではサポートしていません。

26.3 レジスタの説明

FLCTL のレジスタ構成を表 26.2 に示します。また、各処理モードにおけるレジスタの状態を表 26.3 に示します。

表 26.2 レジスタ構成

名称	略称	R/W	P4 アドレス	エリア A アドレス	サイズ	同期クロック
共通コントロールレジスタ	FLCMNCR	R/W	H'FF81 0000	H'1F81 0000	32	Pck
コマンド制御レジスタ	FLCMDRCR	R/W	H'FF81 0004	H'1F81 0004	32	Pck
コマンドコードレジスタ	FLCMCDR	R/W	H'FF81 0008	H'1F81 0008	32	Pck
アドレスレジスタ	FLADR	R/W	H'FF81 000C	H'1F81 000C	32	Pck
データレジスタ	FLDATAR	R/W	H'FF81 0010	H'1F81 0010	32	Pck
データカウンタレジスタ	FLDTCNTR	R/W	H'FF81 0014	H'1F81 0014	32	Pck
割り込み DMA 制御レジスタ	FLINTDMACR	R/W	H'FF81 0018	H'1F81 0018	32	Pck
レディビジータイムアウトレジスタ	FLBSYTMR	R/W	H'FF81 001C	H'1F81 001C	32	Pck
レディビジータイムアウトカウンタ	FLBSYCNT	R	H'FF81 0020	H'1F81 0020	32	Pck
データ FIFO レジスタ	FLDTFIFO	R/W	H'FF81 0024	H'1F81 0024	32	Pck
管理コード FIFO レジスタ	FLECFIFO	R/W	H'FF81 0028	H'1F81 0028	32	Pck
転送制御レジスタ	FLTRCR	R/W	H'FF81 002C	H'1F81 002C	8	Pck
アドレスレジスタ 2	FLADR2	R/W	H'FF81 003C	H'1F81 003C	32	Pck
データアライメントレジスタ	FLALGCR	R/W	H'FF81 0200	H'1F81 0200	32	Pck
ローカルバス競合制御レジスタ	FLABTCTL	R/W	H'FF81 0300	H'1F81 0300	32	Pck
ローカルバスエリア選択レジスタ	FLCSLR	R/W	H'FF80 2100	H'1F80 2100	32	Pck

表 26.3 レジスタ構成

名称	略称	パワーオンリセット	マニュアルリセット	スリープ/ライトスリープ	モジュールスタンバイ
共通コントロールレジスタ	FLCMNCR	H'0000 0000	初期化	保持	保持
コマンド制御レジスタ	FLCMDRCR	H'0000 0000	初期化	保持	保持
コマンドコードレジスタ	FLCMCDR	H'0000 0000	初期化	保持	保持
アドレスレジスタ	FLADR	H'0000 0000	初期化	保持	保持
データレジスタ	FLDATAR	H'0000 0000	初期化	保持	保持
データカウンタレジスタ	FLDTCNTR	H'0000 0000	初期化	保持	保持
割り込み DMA 制御レジスタ	FLINTDMACR	H'0000 0000	初期化	保持	保持
レディビジータイムアウトレジスタ	FLBSYTMR	H'0000 0000	初期化	保持	保持
レディビジータイムアウトカウンタ	FLBSYCNT	H'0000 0000	初期化	保持	保持
データ FIFO レジスタ	FLDTFIFO	不定	不定	保持	保持
管理コード FIFO レジスタ	FLECFIFO	不定	不定	保持	保持

名称	略称	パワーオン リセット	マニュアル リセット	スリープ/ ライトスリープ	モジュール スタンバイ
転送制御レジスタ	FLTRCR	H'00	初期化	保持	保持
アドレスレジスタ 2	FLADR2	H'0000 0000	初期化	保持	保持
データアライメントレジスタ	FLALGCR	H'0000 0000	初期化	保持	保持
ローカルバス競合制御レジスタ	FLABTCTL	H'0000 0000	初期化	保持	保持
ローカルバスエリア選択レジスタ	FLCSLR	H'0000 0000	初期化	保持	保持

26.3.1 共通コントロールレジスタ (FLCMNCR)

FLCMNCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、フラッシュのメモリタイプ (NAND)、アクセスモードなどを指定します。また、 \overline{FCE} の端子の出力を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	SNAND	QTSEL	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FCK SEL	—	ECCPOS[1:0]	—	ACM[1:0]	—	NAND WF	—	—	—	—	—	CE0	—	—	TYPE SEL
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R	R/W

ビット	名称	初期値	R/W	説明
31 ~ 19	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18	SNAND	0	R/W	大容量 NAND フラッシュメモリ選択ビット 1 ページの構成が 2048+64 バイトである NAND フラッシュメモリ指定のために使用します。 0 : 1 ページの構成が 512+16 バイトのフラッシュメモリを選択します。 1 : 1 ページの構成が 2048+64 バイトのフラッシュメモリを選択します。
17	QTSEL	0	R/W	フラッシュクロック 4 分周選択ビット 0 : FCKSEL の値に従います 1 : FCKSEL=0 のとき FLCTL の動作クロック (Pck) を 4 分の 1 に分周して FCLK として使用します 【注】 FCKSEL=1 のときは、1 へ設定禁止。
16	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15	FCKSEL	0	R/W	フラッシュクロック選択ビット 0 : FLCTL の動作クロック (Pck) を 2 分の 1 に分周して FCLK として使用します。 1 : FLCTL の動作クロック (Pck) をそのまま FCLK として使用します。

ビット	名称	初期値	R/W	説明
14	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	ECCPOS1	0	R/W	ECC 埋め込み位置指定ビット 1、0 管理コード領域内の ECC の埋め込み位置 (0/4/8 バイト目) を指定します。 00: 管理コード領域の 0~7 バイト目に ECC を配置します。 01: 管理コード領域の 4~11 バイト目に ECC を配置します。 10: 管理コード領域の 8~15 バイト目に ECC を配置します。 11: 設定禁止
12	ECCPOS0	0	R/W	
11	ACM1	0	R/W	アクセスモード指定ビット 1、0 アクセスモードを指定します。 00: コマンドアクセスモード 01: セクタアクセスモード 10: 設定禁止 11: 設定禁止
10	ACM0	0	R/W	
9	NANDWF	0	R/W	NAND ウェイト挿入動作ビット 0: リザーブ (設定禁止) 1: ウェイト 1 サイクルあり
8~4	-	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	CE0	0	R/W	チップイネーブルビット 0: ディスエーブル (FCE 端子にハイレベルを出力します。) 1: イネーブル (FCE 端子にローレベルを出力します。)
2、1	-	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	TYPESEL	0	R/W	メモリ選択ビット 0: リザーブ (設定禁止) 1: NAND 型フラッシュメモリを選択します。 FLCTL 使用時は、必ずこのビットを 1 に設定してください。

26.3.2 コマンド制御レジスタ (FLCMDCR)

FLCMDCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、コマンドアクセスモードでのコマンド発行、アドレス発行の有無やデータの入出力先の指定ができます。セクタアクセスモードでは、セクタ転送回数の指定ができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	ADR CNT2	SCTCNT[19:16]				ADR MD	CD SRC	DOSR	—	—	SEL RW	DO ADR	ADRCNT[1:0]	DO CMD2	DO CMD1		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	SCTCNT[15:0]																
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	名称	初期値	R/W	説明
31	ADRCNT2	0	R/W	アドレス発行バイト数指定ビット アドレスステージで発行するアドレスデータのバイト数を指定します。 0:ADRCNT1、ADRCNT0 で指定したバイト数だけアドレスを発行します。 1:5 バイトのアドレスを発行 ADRCNT1、ADRCNT0 は共に 0 を設定してください。
30~27	SCTCNT [19:16]	すべて 0	R/W	セクタ転送回数指定ビット[19:16] セクタ転送回数指定ビット SCTCNT[15:0]の拡張ビットです。 SCTCNT[19:16]と SCTCNT[15:0]はあわせて SCTCNT[19:0]の 20 ビットのカウンタとして動作します。
26	ADRMD	0	R/W	セクタアクセスアドレス指定ビット コマンドアクセスモード時は、このビットは無効です。セクタアクセスモード時のみ有効となります。連続セクタアクセス時は、0 に設定してください。 0:アドレスレジスタの値は物理セクタ番号として処理されます。 セクタアクセス時は通常こちらを使用してください。 1:アドレスレジスタの値がそのまま、フラッシュメモリのアドレスとして出力されます。
25	CDSRC	0	R/W	データバッファ指定ビット コマンドアクセスモード時、データステージ*のリード/ライトするデータバッファを指定します。 0:データバッファとして FLDATAR を指定 1:データバッファとして FLDTFIFO を指定
24	DOSR	0	R/W	ステータスリードチェックビット コマンドアクセスモード時、第 2 コマンド発行後、ステータスリードを行うかどうかを指定します。 0:ステータスリードを行わない 1:ステータスリードを実行する

ビット	名称	初期値	R/W	説明
23、22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21	SELRW	0	R/W	データ読み出し / 書き込み指定ビット データステージでのリードライト方向を指定します。 0 : リード 1 : ライト
20	DOADR	0	R/W	アドレスステージ実行指定ビット コマンドアクセスモード時、アドレスステージ*を実行するかどうかを指定します。 0 : アドレスステージを実行しない 1 : アドレスステージを実行する
19	ADRCNT1	0	R/W	アドレス発行バイト数指定ビット アドレスステージ*で発行するアドレスデータのバイト数を指定します。 00 : 1 バイトのアドレスを発行 01 : 2 バイトのアドレスを発行 10 : 3 バイトのアドレスを発行 11 : 4 バイトのアドレスを発行
18	ADRCNT0	0	R/W	
17	DOCMD2	0	R/W	第 2 コマンドステージ*実行指定ビット コマンドアクセスモード時、第 2 コマンドステージを実行するかどうかを指定します。 0 : 第 2 コマンドステージを実行しない 1 : 第 2 コマンドステージを実行する
16	DOCMD1	0	R/W	第 1 コマンドステージ実行指定ビット コマンドアクセスモード時、第 1 コマンドステージを実行するかどうかを指定します。 0 : 第 1 コマンドステージを実行しない 1 : 第 1 コマンドステージを実行する
15-0	SCTCNT 15-0	すべて 0	R/W	セクタ転送回数指定ビット セクタアクセスモードで連続して読み出すセクタ数を指定します。1 セクタ転送終了ごとにカウントダウンし、0 になると停止します。 1 セクタのアクセスの場合は、1 を設定してください

【注】 * コマンドステージ、アドレスステージ、データステージについては図 26.2 を参照してください。

26.3.3 コマンドコードレジスタ (FLCMCDR)

FLCMCDR は、読み出し / 書き込み可能な 32 ビットのレジスタで、コマンドアクセス、セクタアクセス時に発行するコマンドの値を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMD[15:8]								CMD[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~8	CMD 15~8	H'00	R/W	第 2 コマンドステージに発行するコマンドコードを指定します。
7~0	CMD 7~0	H'00	R/W	第 1 コマンドステージに発行するコマンドコードを指定します。

26.3.4 アドレスレジスタ (FLADR)

FLADR は、読み出し / 書き込み可能な 32 ビットのレジスタで、コマンドアクセスモードでアドレスとして出力する値を指定します。セクタアクセスモードでは、物理セクタアドレスビットに指定された物理セクタ番号がアドレスに変換され、出力されます。

- コマンドアクセスモード時

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADR[31:24]								ADR[23:16]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR[15:8]								ADR[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~24	ADR 31~24	H'00	R/W	第 4 アドレスデータビット コマンドアクセスモード時、フラッシュメモリに出力する 4 番目のアドレスを指定します。
23~16	ADR 23~16	H'00	R/W	第 3 アドレスデータビット コマンドアクセスモード時、フラッシュメモリに出力する 3 番目のアドレスを指定します。
15~8	ADR 15~8	H'00	R/W	第 2 アドレスデータビット コマンドアクセスモード時、フラッシュメモリに出力する 2 番目のアドレスを指定します。
7~0	ADR 7~0	H'00	R/W	第 1 アドレスデータビット コマンドアクセスモード時、フラッシュメモリに出力する 1 番目のアドレスを指定します。

- セクタアクセスモード時*

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	ADR[25:16]									
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25~0	ADR 25~0	すべて0	R/W	物理セクタアドレスビット セクタアクセスモードでアクセスする物理セクタ番号を指定します。 物理セクタ番号は、アドレスに変換されてフラッシュメモリに出力されます。 コマンド制御レジスタの ADRCNT2 ビットが1のときは ADR[25:0]、 ADRCNT2 が0のときは、ADR[17:0]が有効となります

26.3.5 アドレスレジスタ 2 (FLADR2)

FLADR2 は、読み出し/書き込み可能な 32 ビットのレジスタで、共通コントロールレジスタ ADRCNT2 ビットが1のとき有効となります。コマンドアクセスモードでアドレスとして出力する値を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ADR[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~0	ADR 7~0	すべて0	R/W	第5アドレスデータビット コマンドアクセスモード時にアドレスとしてフラッシュメモリに5番目に出力されるデータを指定します。

26.3.6 データカウンタレジスタ (FLDTCNTR)

FLDTCNTR は、読み出し / 書き込み可能な 32 ビットのレジスタです。コマンドアクセスモード時に、読み出し / 書き込みするバイト数を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECFLW[7:0]								DTFLW[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DTCNT[11:0]											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~24	ECFLW 7~0	すべて 0	R	FLECFIFO アクセス数ビット FLECFIFO のリードライト可能なロングワード数 (4 バイト) を示します。 CPU による FLECFIFO リードライト時に利用できます。 FLECFIFO リード時は、FLECFIFO 内の読み出し可能なデータのロングワード数 を示します。 FLECFIFO ライト時は、FLECFIFO 内の書き込み可能な空きロングワード数 を示します。
23~16	DTFLW 7~0	すべて 0	R	FLDTFIFO アクセス数ビット FLDTFIFO のリードライト可能なロングワード数を示します。 CPU による FLDTFIFO リードライト時に利用できます。 FLDTFIFO リード時は、FLDTFIFO 内の読み出し可能なデータのロングワード 数 を示します。 FLDTFIFO ライト時は、FLDTFIFO 内の書き込み可能な空きロングワード数 を示します。
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	DTCNT 11~0	すべて 0	R/W	データ数指定ビット コマンドアクセスモードで、リードライトするデータのバイト数を指定しま す。(2048 + 64 バイトまで指定可能です。)

26.3.7 データレジスタ (FLDATAR)

FLDATAR は、読み出し / 書き込み可能な 32 ビットのレジスタです。

コマンドアクセスモード時に FLCMDCR の CDSRC ビットを 0 に設定した場合に使用される入出力データを格納します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DT[31:24]								DT[23:16]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DT[15:8]								DT[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~24	DT 31~24	すべて 0	R/W	第 4 データビット FD7~0 から 4 番目に入出力されるデータを指定します。 書き込み時 : 書き込むデータを指定します。 読み出し時 : 読み出しデータが格納されます。
23~16	DT 23~16	すべて 0	R/W	第 3 データビット FD7~0 から 3 番目に入出力されるデータを指定します。 書き込み時 : 書き込むデータを指定します。 読み出し時 : 読み出しデータが格納されます。
15~8	DT 15~8	すべて 0	R/W	第 2 データビット FD7~0 から 2 番目に入出力されるデータを指定します。 書き込み時 : 書き込むデータを指定します。 読み出し時 : 読み出しデータが格納されます。
7~0	DT7~0	すべて 0	R/W	第 1 データビット FD7~0 から 1 番目に入出力されるデータを指定します。 書き込み時 : 書き込むデータを指定します。 読み出し時 : 読み出しデータが格納されます。

26.3.8 割り込み DMA 制御レジスタ (FLINTDMACR)

FLINTDMACR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送要求および割り込みの許可 / 禁止を設定します。FLCTL から DMAC に対する転送要求は、各アクセスモードの動作開始後に発生します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	ECERINTE	—	—	FIFOTRG[1:0]	AC1CLR	AC0CLR	DREQ1EN	DREQ0EN		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	ECERB	STERB	BTOERB	TRREQF1	TRREQF0	STERINTE	RBERINTE	TEINTE	TRINTE1	TRINTE0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~25	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	ECERINTE	0	R/W	ECC エラー割り込み許可ビット 0 : ECC エラー発生時割り込みを禁止 1 : ECC エラー発生時割り込みを許可
23, 22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21	FIFOTRG1	0	R/W	FIFO トリガ設定ビット* FIFO の転送要求発生条件を切り替えます。 フラッシュ読み出し時 00 : FLDTFIFO に 4 バイト書き込まれたとき、CPU に割り込み。もしくは、DMA 転送要求を発生 01 : FLDTFIFO に 16 バイト書き込まれたとき、CPU に割り込み。(DMA 転送設定しないでください)。 10 : FLDTFIFO に 128 バイト書き込まれたとき、CPU に割り込み。(DMA 転送設定しないでください)。 11 : 設定禁止 フラッシュ書き込み時 00 : FLDTFIFO に 4 バイト以上空きがあるとき、CPU に割り込み。もしくは、DMA 転送要求を発生 01 : FLDTFIFO に 16 バイト以上空きがあるとき、CPU に割り込み。(DMA 転送設定しないでください)。 10 : FLDTFIFO にデータが 128 バイト以上空きがあるとき、CPU に割り込み。(DMA 転送設定しないでください) 11 : 設定禁止
20	FIFOTRG0	0	R/W	

ビット	名称	初期値	R/W	説明
19	AC1CLR	0	R/W	<p>FLECFIFO クリアビット</p> <p>FLECFIFO のアドレスカウンタをクリアします。FIFO のアクセス方向 (読み出し / 書き込み) を切り替える場合、FIFO を一度クリアしてください。</p> <p>0 : FLECFIFO のアドレスカウンタ値を保持します。フラッシュメモリアクセス時は 0 に設定してください。</p> <p>1 : FLECFIFO のアドレスカウンタ値をクリアします。クリア後は 0 に設定してください。</p>
18	AC0CLR	0	R/W	<p>FLDTFIFO クリアビット</p> <p>FLDTFIFO のアドレスカウンタをクリアします。FIFO のアクセス方向 (読み出し / 書き込み) を切り替える場合、FIFO を一度クリアしてください。</p> <p>0 : FLDTFIFO のアドレスカウンタ値を保持します。フラッシュメモリアクセス時は 0 に設定してください。</p> <p>1 : FLDTFIFO のアドレスカウンタ値をクリアします。クリア後は 0 に設定してください。</p>
17	DREQ1EN	0	R/W	<p>FLECFIFODMA リクエストイネーブルビット</p> <p>FLECFIFO からの DMA 転送要求発行許可 / 禁止を選択します。</p> <p>0 : FLECFIFO からの DMA 転送要求発行を禁止します</p> <p>1 : FLECFIFO からの DMA 転送要求発行を許可します</p>
16	DREQ0EN	0	R/W	<p>FLDTFIFODMA リクエストイネーブルビット</p> <p>FLDTFIFO からの DMA 転送要求発行許可 / 禁止を選択します。</p> <p>0 : FLDTFIFO からの DMA 転送要求発行を禁止します</p> <p>1 : FLDTFIFO からの DMA 転送要求発行を許可します</p>
15~10	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
9	ECERB	0	R/W	<p>ECC エラービット</p> <p>ECC のエラー検出結果を示します。セクタアクセスモードでフラッシュメモリを読み出した場合、その中の ECC エラーが発生していれば、このビットに 1 がセットされます。</p> <p>本ビットはフラグビットであるため、1 は書き込みません。フラグをクリアするための 0 を書き込むことのみ可能です。</p> <p>0 : ECC エラーなし (取り込んだ ECC がすべて 0 であったことを示します)</p> <p>1 : ECC エラーが発生したことを示します。</p>

ビット	名称	初期値	R/W	説明
8	STERB	0	R/W	<p>ステータスエラービット</p> <p>ステータスリードの結果を示します。ステータスリードした場合、FLBSYCNT の STAT7~0 ビットの特定ビットが 1 であれば、このビットに 1 がセットされます。</p> <p>本ビットはフラグビットであるため、1 は書き込めません。フラグをクリアするための 0 を書き込むことのみ可能です。</p> <p>0: ステータスエラーなし (FLBSYCNT の STAT7~0 ビットの特定ビットが 0 であったことを示します)</p> <p>1: ステータスエラーが発生したことを示します。</p> <p>特定ビットに関しては「26.4.5 ステータスリード」を参照してください。</p>
7	BTOERB	0	R/W	<p>タイムアウトエラービット</p> <p>タイムアウトエラー発生した (FLBSYCNT の RBTIMCNT20~0 ビットがカウントダウン後 0 になった) とき、このビットに 1 がセットされます。</p> <p>本ビットはフラグビットであるため、1 は書き込めません。フラグをクリアするための 0 を書き込むことのみ可能です。</p> <p>0: タイムアウトエラーなし</p> <p>1: タイムアウトエラーが発生したことを示します。</p>
6	TRREQF1	0	R/W	<p>FLECFIFO 転送要求フラグビット</p> <p>FLECFIFO からの転送要求が発生したことを示します。</p> <p>本ビットはフラグビットであるため、1 は書き込めません。フラグをクリアするための 0 を書き込むことのみ可能です。</p> <p>0: FLECFIFO からの転送要求は発生していません。</p> <p>1: FLECFIFO からの転送要求が発生したことを示します。</p>
5	TRREQF0	0	R/W	<p>FLDTFIFO 転送要求フラグビット</p> <p>FLDTFIFO からの転送要求が発生したことを示します。</p> <p>本ビットはフラグビットであるため、1 は書き込めません。フラグをクリアするための 0 を書き込むことのみ可能です。</p> <p>0: FLDTFIFO からの転送要求は発生していません。</p> <p>1: FLDTFIFO からの転送要求が発生したことを示します。</p>
4	STERINTE	0	R/W	<p>ステータスエラー発生時の割り込み許可ビット</p> <p>ステータスエラーによる CPU に対する割り込みの許可 / 禁止を選択します。</p> <p>0: ステータスエラーによる CPU に対する割り込み禁止</p> <p>1: ステータスエラーによる CPU に対する割り込み許可</p>
3	RBERINTE	0	R/W	<p>タイムアウトエラー発生時の割り込み許可ビット</p> <p>タイムアウトエラーによる CPU に対する割り込みの許可 / 禁止を選択します。</p> <p>0: タイムアウトエラーによる CPU に対する割り込み禁止</p> <p>1: タイムアウトエラーによる CPU に対する割り込み許可</p>

ビット	名称	初期値	R/W	説明
2	TEINTE	0	R/W	<p>転送終了割り込み許可ビット</p> <p>転送終了 (FLTRCR の TREND ビット) による CPU に対する割り込みの許可 / 禁止を選択します。</p> <p>0 : 転送終了による CPU に対する割り込み禁止</p> <p>1 : 転送終了による CPU に対する割り込み許可</p>
1	TRINTE1	0	R/W	<p>CPU への FLECFIFO 転送要求許可ビット</p> <p>FLECFIFO からの転送要求による CPU に対する割り込みの許可 / 禁止を選択します。</p> <p>0 : FLECFIFO からの転送要求による CPU に対する割り込み禁止</p> <p>1 : FLECFIFO からの転送要求による CPU に対する割り込み許可</p> <p>DMA 転送をイネーブルにしているときは、このビットを 0 に設定してください。</p>
0	TRINTE0	0	R/W	<p>CPU への FLDTFIFO 転送要求許可ビット</p> <p>FLDTFIFO からの転送要求による CPU に対する割り込みの許可 / 禁止を選択します。</p> <p>0 : FLDTFIFO からの転送要求による CPU に対する割り込み禁止</p> <p>1 : FLDTFIFO からの転送要求による CPU に対する割り込み許可</p> <p>DMA 転送をイネーブルにしているときは、このビットを 0 に設定してください。</p>

26.3.9 レディビジータイムアウト設定レジスタ (FLBSYTMR)

FLBSYTMR は、読み出し / 書き込み可能な 32 ビットのレジスタです。FRB 端子がビジー状態のときのタイムアウト時間を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	RBTMOUT[20:16]				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBTMOUT[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20~0	RBTMOUT 20~0	すべて 0	R/W	レディビジータイムアウトビット ビジー状態のタイムアウトまでの時間を設定します。 ビジー状態のタイムアウトまでの時間を (Pck のクロック数で) 設定します。 0 に設定した場合、タイムアウトは発生しません。

26.3.10 レディビジータイムアウトカウンタ (FLBSYCNT)

FLBSYCNT は、読み出し専用の 32 ビットのレジスタです。

ステータスリード動作で読み出したフラッシュメモリのステータスを STAT7~0 に格納します。

FRB 端子がビジー状態になると、FLBSYTMR の RBTMOUT20~0 ビットに設定したタイムアウト時間を RBTIMCNT20~0 ビットにコピーしカウントダウンを開始します。RBTIMCNT20~0 ビットの値が 0 になると FLINTDMACR の BTOERB ビットに 1 をセットしタイムアウトエラーが発生したことを通知します。このとき FLINTDMACR の RBERINTE ビットで割り込みを許可していれば FLSTE 割り込みを発行することができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	STAT[7:0]								—	—	—	RBTIMCNT[20:16]				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBTIMCNT[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	名称	初期値	R/W	説明
31~24	STAT7~0	すべて 0	R	フラッシュメモリからステータスリードした値を表示します。
23~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20~0	RBTIMCNT 20~0	すべて 0	R	レディビジータイムアウトカウンタビット FRB 端子がビジー状態になったとき、FLBSYTMR の RBTMOUT20~0 の設定値が本ビットにコピーされます。 その後 FRB 端子がビジー状態の間、このビットの値はカウントダウンされ、0 になるとタイムアウトエラーが発生します。

26.3.11 データ FIFO レジスタ (FLDTFIFO)

FLDTFIFO は、データ FIFO 領域に対するリードライト用のレジスタです。

FLCMDRCR の SELRW ビットで指定したリードライト方向と本レジスタのリードライトアクセスの向きは一致させてください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTFO[31:24]								DTFO[23:16]							
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTFO[15:8]								DTFO[7:0]							
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~24	DTFO 31~24	-	R/W	第1データビット FD7~0 から1番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します 読み出し時：読み出しデータが格納されます
23~16	DTFO 23~16	-	R/W	第2データビット FD7~0 から2番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します 読み出し時：読み出しデータが格納されます
15~8	DTFO 15~8	-	R/W	第3データビット FD7~0 から3番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します 読み出し時：読み出しデータが格納されます
7~0	DTFO 7~0	-	R/W	第4データビット FD7~0 から4番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します 読み出し時：読み出しデータが格納されます

26.3.12 管理コード FIFO レジスタ (FLECFIFO)

FLECFIFO は、管理コード FIFO 領域に対するリードライト用のレジスタです。

FLCMDRCR の SELRW ビットで指定したリードライト方向と本レジスタのリードライトアクセスの向きは一致させてください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECFO[31:24]								ECFO[23:16]							
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECFO[15:8]								ECFO[7:0]							
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~24	ECFO 31~24	-	R/W	第1データビット FD7~0 から1番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します 読み出し時：読み出しデータが格納されます
23~16	ECFO 23~16	-	R/W	第2データビット FD7~0 から2番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します 読み出し時：読み出しデータが格納されます
15~8	ECFO 15~8	-	R/W	第3データビット FD7~0 から3番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します 読み出し時：読み出しデータが格納されます
7~0	ECFO 7~0	-	R/W	第4データビット FD7~0 から4番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します 読み出し時：読み出しデータが格納されます

26.3.13 転送制御レジスタ (FLTRCR)

FLTRCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、TRSTRT ビットを 1 にすることによりフラッシュメモリへのアクセスを開始させます。TREND ビットによりアクセスの終了を確認できます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TR END	TR STRT
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	名称	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TREND	0	R/W	処理終了フラグビット 指定したアクセスモードによる処理が終了したことを示します。 書き込むときは 0 を書き込んでください。 0: 処理未終了またはアイドル状態 1: 処理終了
0	TRSTRT	0	R/W	転送開始ビット TREND が 0 のときにこのビットを 0 から 1 にセットすることで、アクセスモード指定ビット ACM1、ACM0 ビットで指定したアクセスモードでの処理を開始します。 0: 転送停止 1: 転送開始

26.3.14 データアライメントレジスタ (FLALGCR)

FLALGCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、フラッシュメモリアクセス時のデータアライメントモードを指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SWAP
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	名称	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SWAP	0	R/W	データアライメントモード 0 : SWAP を行わない 1 : SWAP を行う

26.3.15 ローカルバス競合制御レジスタ (FLABTCTL)

FLABTCTL は、読み出し / 書き込み可能な 32 ビットのレジスタで、ローカルバスアクセス時の LBSC との競合モードを制御するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CODE															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	-/W	-/W	-/W	-/W	-/W	-/W	-/W	-/W	-/W	-/W	-/W	-/W	-/W	-/W	-/W	-/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	abt_mode	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	名称	初期値	R/W	説明
31~16	CODE	すべて 0	-/W	abt_mode にライト時は本コードに H'1234 にしてライトしてください。 リード時は常に 0 が読み出されます。
15~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1~0	abt_mode	すべて 0	R/W	ローカルバス競合制御モード 00 : 転送開始 (FLTRCR. TRSTRT に 1 ライト) から転送終了 (FLTRCR. TREND=1 の状態) までローカルバスのバス権の開放を行わない 01 : FLCTL 起動中 (FLTRCR. TRSTRT=1, FLTRCR. TREND=0 の状態) FLCTL の内部 FIFO の状態によりローカルバスのバス権開放を行う。 10、11 : 設定禁止

26.3.16 ローカルバスエリア選択レジスタ (FLCSLR)

FLCSLR は、読み出し / 書き込み可能な 32 ビットのレジスタで、ローカルバスアクセスエリアを選択するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	fcs_sel		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	名称	初期値	R/W	説明
31~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	fcs_sel	すべて 0	R/W	ローカルバスエリア選択 000 : リザーブ (設定禁止) 001 : ローカルエリア 1 010 : ローカルエリア 2 011 : ローカルエリア 3 100 : ローカルエリア 4 101 : ローカルエリア 5 110 : ローカルエリア 6 111 : 設定禁止 【注】 本レジスタにより、設定されたローカルエリアへ FLCTL 介さずアクセスすることは禁止です。

26.4 動作説明

26.4.1 動作モード

動作モードには、

- コマンドアクセスモード
- セクタアクセスモード

の 2 モードがあります。

26.4.2 コマンドアクセスモード

コマンドアクセスモードは、フラッシュメモリに対して発行するコマンド、アドレス、データ、リードライト方向および回数をレジスタに設定することにより、フラッシュメモリにアクセスを行うモードです。入出力データは、FLDTFIFO を用いて DMA 転送が可能です。

(1) NAND 型フラッシュメモリ (512+16 バイト) のアクセス

図 26.2 に NAND 型フラッシュメモリに対して読み出し動作を行った例を示します。本例は、第 1 コマンドに H'00 を指定、アドレス長は 3 バイトを指定。リードバイト数としてデータカウンタに 6 バイトを指定した場合の動作です。

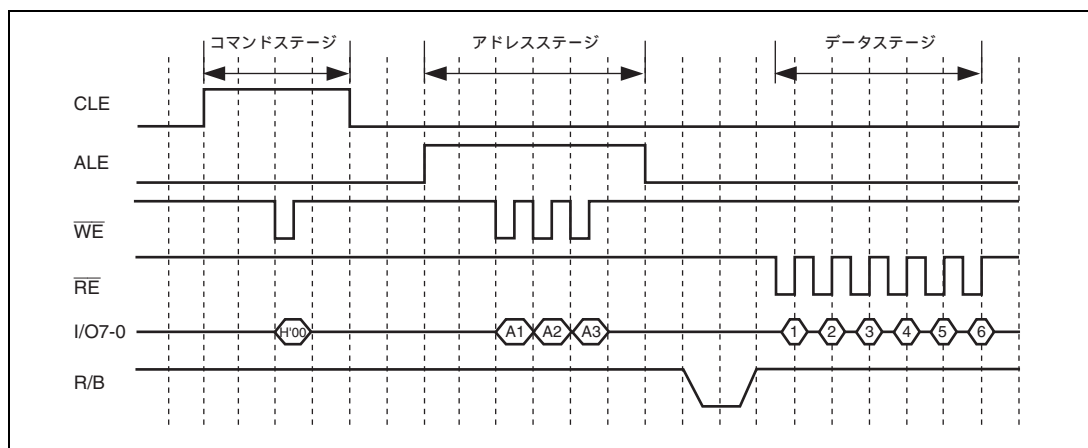


図 26.2 NAND 型フラッシュメモリの読み出し動作タイミング

次に図 26.3、図 26.4 に NAND 型フラッシュメモリ (512+16 バイト) に対して書き込み動作を行った場合の波形を示します。

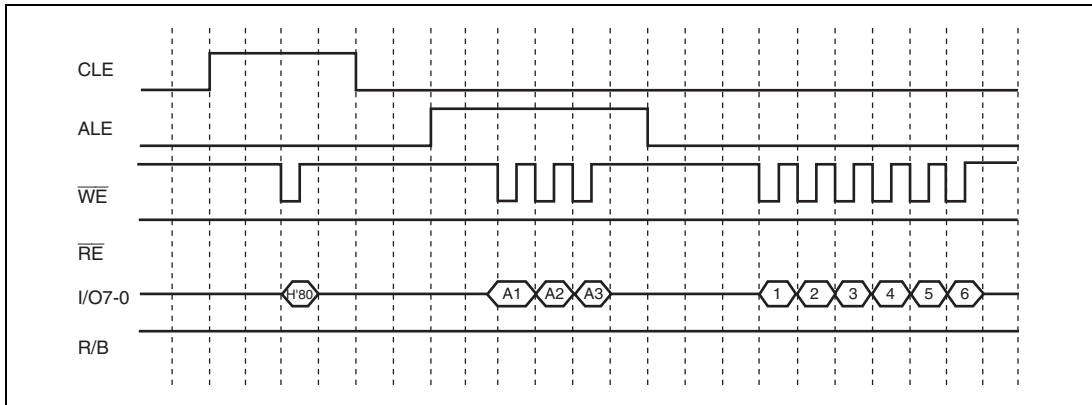


図 26.3 NAND 型フラッシュメモリの書き込み動作タイミング

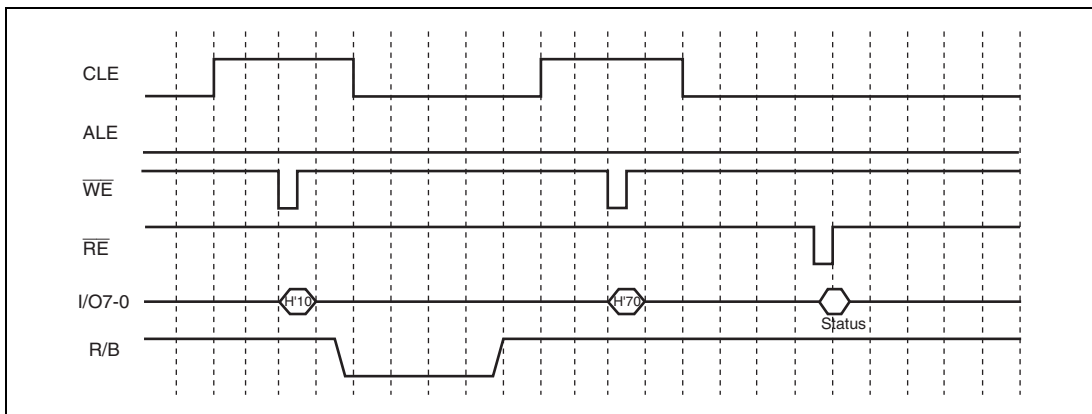


図 26.4 NAND 型フラッシュメモリのステータスリード動作タイミング

(2) NAND 型フラッシュメモリ (2048+64 バイト) のアクセス

図 26.5 に NAND 型フラッシュメモリに対して読み出し動作を行った例を示します。本例は、第 1 コマンドに H'00 を指定、第 2 コマンドに H'30 を指定、アドレス長は 4 バイトを指定。リードバイト数としてデータカウンタに 4 バイトを指定した場合の動作です。

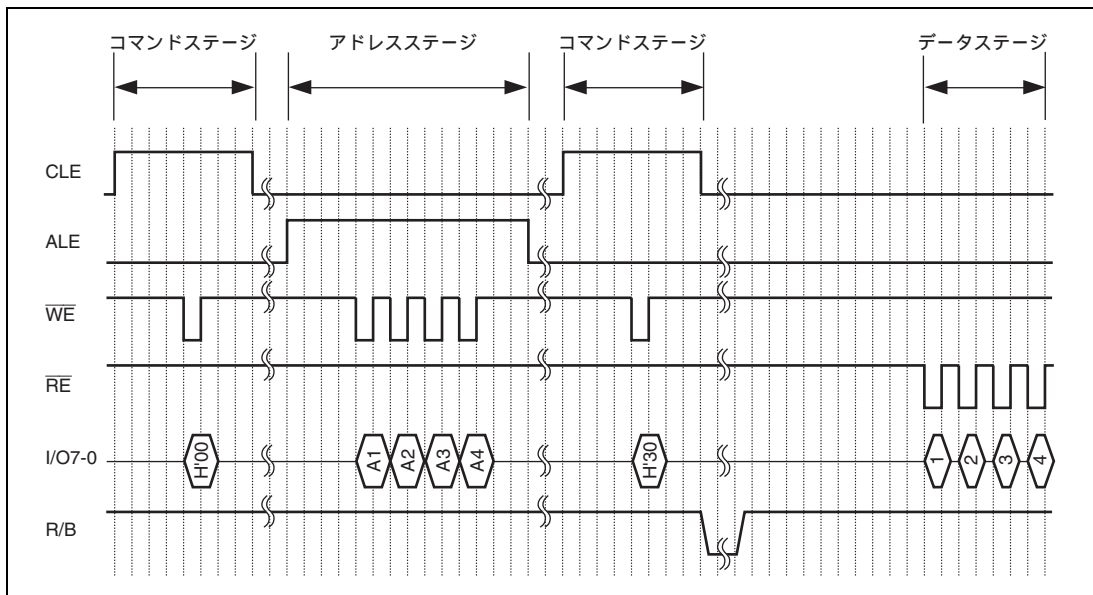


図 26.5 NAND 型フラッシュメモリの読み出し動作タイミング

次に図 26.6、図 26.7 に NAND 型フラッシュメモリ (2048+64 バイト) に対して書き込み動作を行った場合の波形を示します。

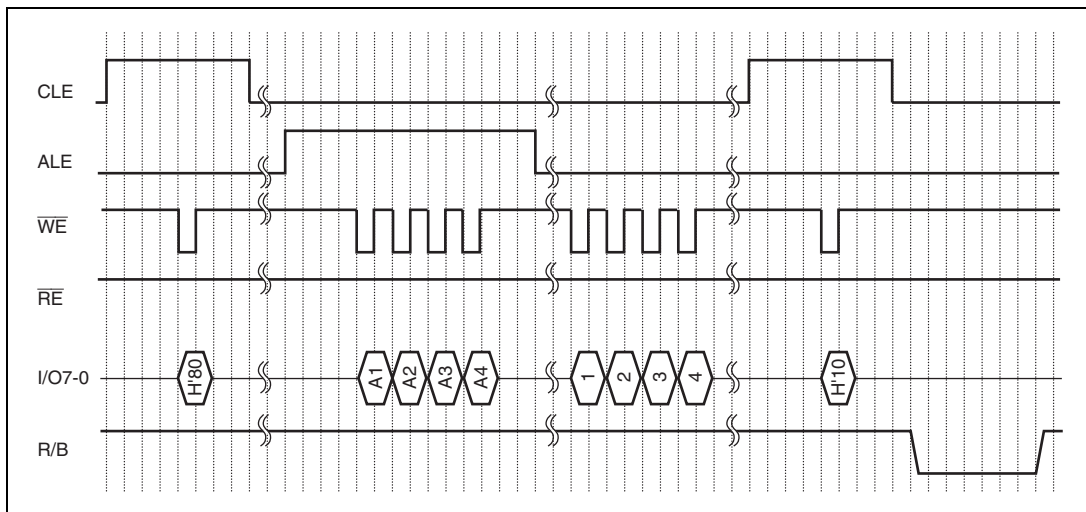


図 26.6 NAND 型フラッシュメモリの書き込み動作タイミング

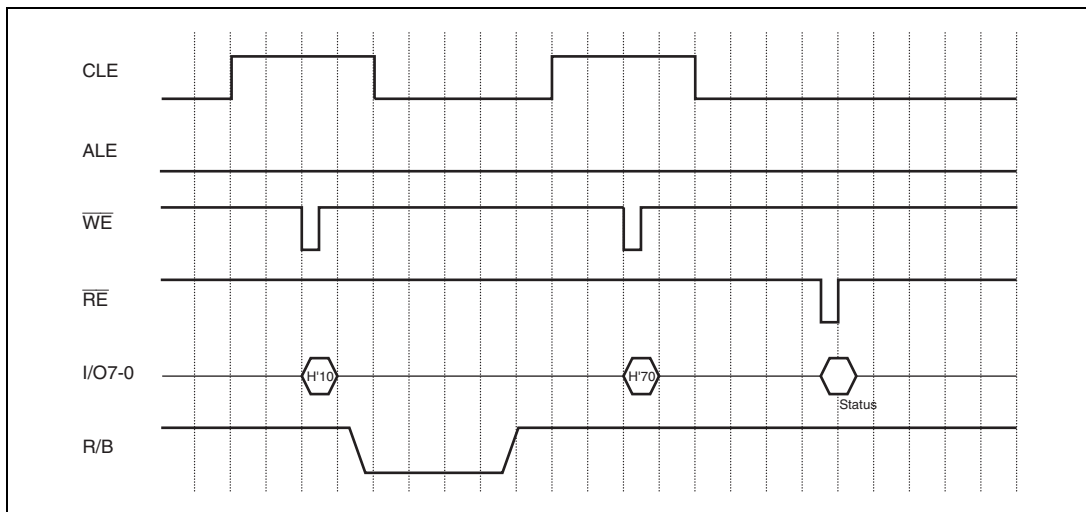


図 26.7 NAND 型フラッシュメモリのステータスリード動作タイミング

26.4.3 セクタアクセスモード

セクタアクセスモードでは、アクセスする物理セクタ番号を指定することによりセクタ単位のリードライトが可能です。また、書き込み時には ECC 付加、読み出し時には ECC エラーチェック (検出) 処理が実行されます。

512 バイトのデータは FLDTFIFO に、16 バイトの管理コードは FLECFIFO に格納されるので、FLINTDMACR の DREQ0EN、DREQ1EN を設定しそれぞれ DMA 転送が行えます。

フラッシュメモリ内のセクタ (データ + 管理コード) とアドレス空間上のメモリとの DMA 転送の関係を図 26.8 に示します。

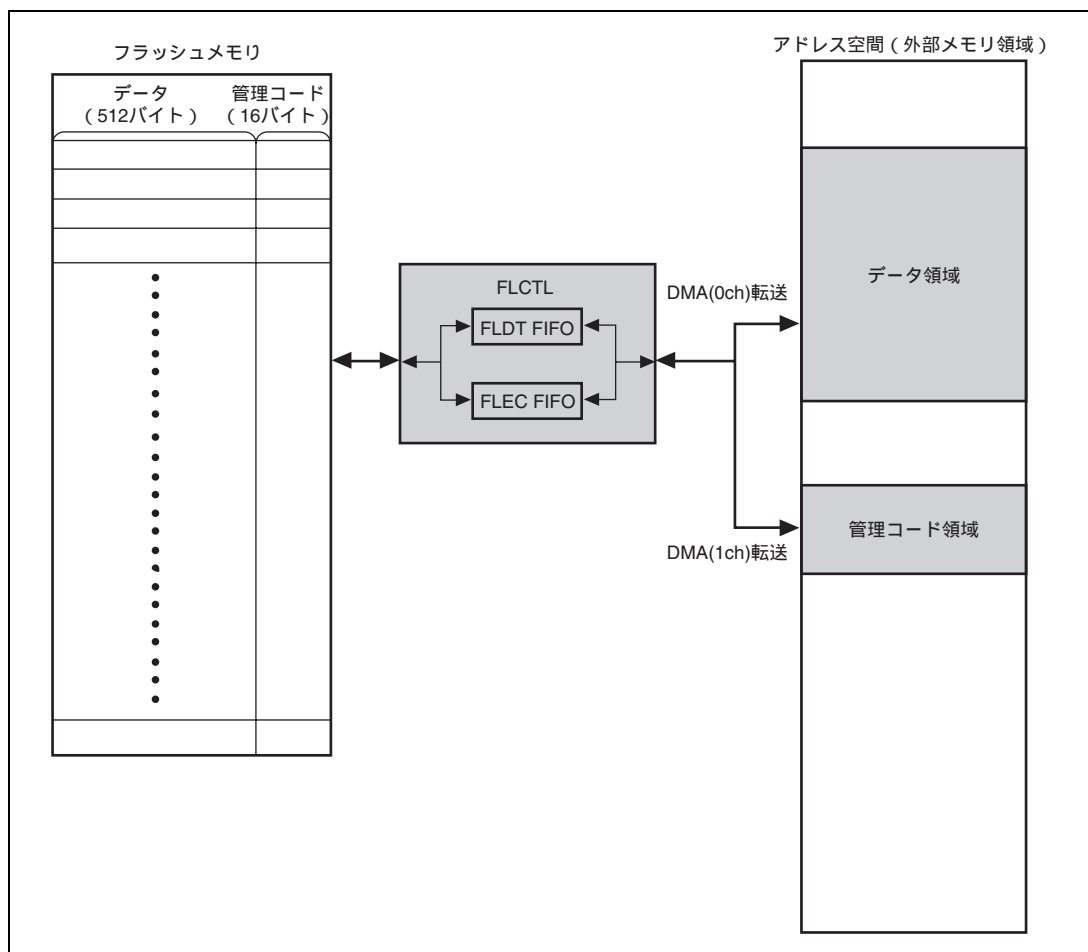


図 26.8 フラッシュメモリ内のセクタ (データ + 管理コード) とアドレス空間上のメモリとの DMA 転送の関連模式図

(1) 物理セクタ

NAND 型フラッシュメモリの物理セクタアドレスとフラッシュメモリのアドレスの関係を図 26.9 に示します。

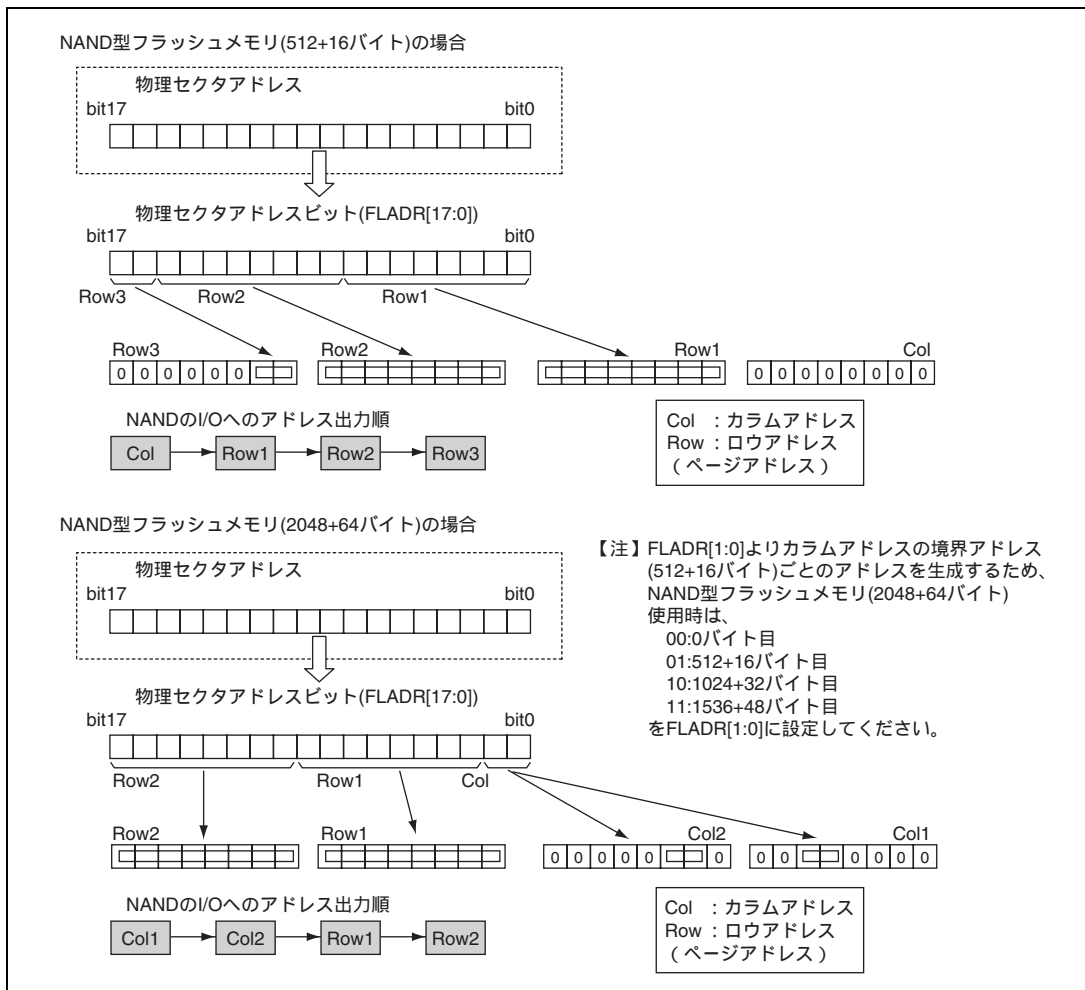


図 26.9 セクタ番号と NAND フラッシュメモリのアドレスの展開例

(2) 連続セクタアクセス

NAND 型フラッシュメモリの先頭の物理セクタとセクタ転送回数を指定することにより、連続した物理セクタのリードライトが可能になります。途中に不良セクタが存在し、物理セクタが不連続である 0~40 までの論理セクタを転送する場合の物理セクタ指定レジスタとセクタ転送回数指定レジスタの設定例を図 26.10 に示します。

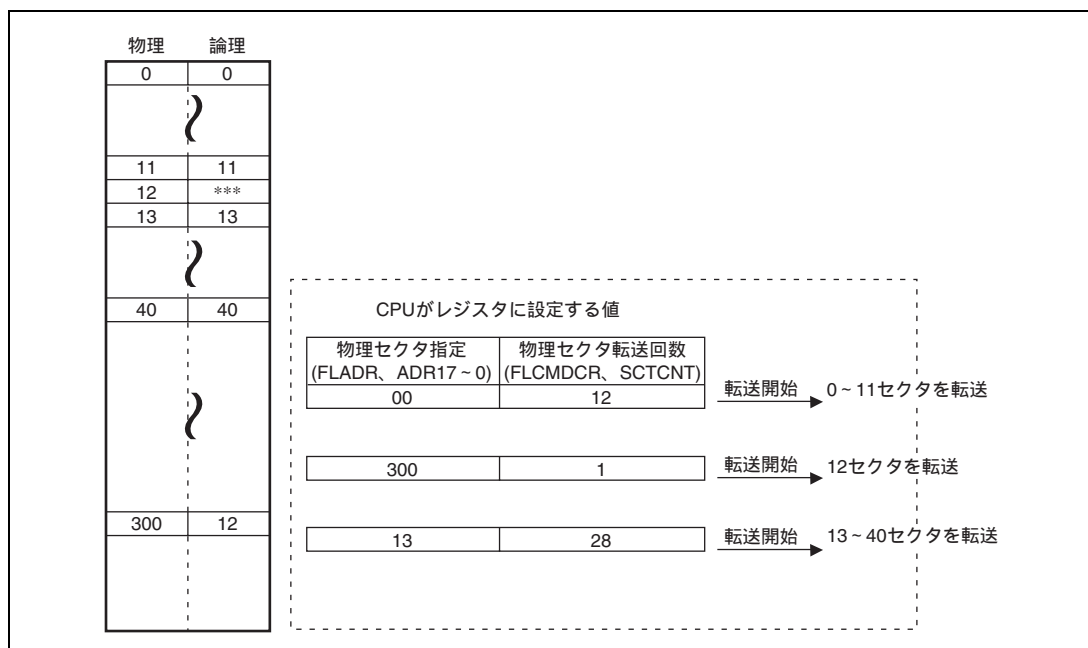


図 26.10 不良セクタがある場合のセクタアクセス例

26.4.4 ECC のエラーの修正

本 FLCTL では、セクタアクセスモードのフラッシュメモリへの書き込み時には ECC コードの生成および付加を、読み出し時には ECC エラーチェックを行います。エラー訂正は行いません。

エラー訂正は、ソフト処理で行う必要があります。

26.4.5 ステータスリード

FLCTL は NAND 型フラッシュメモリのステータスレジスタの値を読み出すことができます。NAND フラッシュメモリのステータスレジスタの値は FD7~0 から入力され FLBSYCNT の STAT7~0 ビットに格納されます。FLBSYCNT の STAT7~0 ビットは CPU からの読み出しが可能です。ステータスレジスタの値が FLBSYCNT の STAT7~0 ビットに格納されたときに書き込みエラーやイレースエラーを検出した場合、FLINTDMACR の STERB ビットに 1 がセットされ、FLINTDMACR の STERINTE ビットが許可されていれば CPU に対し割り込みを発生させます。

(1) NAND 型フラッシュメモリ (512+16 バイト) のステータスリード

NAND 型フラッシュメモリのステータスリードは、NAND 型フラッシュメモリに対し、コマンド H'70 を入力することで実現できます。FLCMDRCR の DOSR ビットを 1 にセットし、コマンドアクセスモードまたはセクタアクセスモードで書き込みを実行すれば、FLCTL は自動的に H'70 を NAND 型フラッシュメモリに入力し、ステータスリードを行います。NAND 型フラッシュメモリステータスリード時、FD7~0 から入力されるステータスレジスタの各ビットの意味を表 26.4 に示します。

表 26.4 NAND 型フラッシュメモリ (512+16 バイト) のステータスリード

ビット	状態	説明
STAT7	書き込み保護	0 : 書き込み不可 1 : 書き込み可
STAT6	レディ / ビジー	0 : ビジー状態 1 : レディ状態
STAT5~1	リザーブ	0
STAT0	書き込み / 消去	0 : Pass (成功) 1 : Fail (失敗)

(2) NAND 型フラッシュメモリ (2048×64 バイト) のステータスリード

NAND 型フラッシュメモリのステータスリードは、NAND 型フラッシュメモリに対し、コマンド H'70 を入力することで実現できます。FLCMDRCR の DOSR ビットを 1 にセットし、コマンドアクセスモードまたはセクタアクセスモードで書き込みを実行すれば、FLCTL は自動的に H'70 を NAND 型フラッシュメモリに入力し、ステータスリードを行います。NAND 型フラッシュメモリステータスリード時、FD7~0 から入力されるステータスレジスタの各ビットの意味を表 26.5 に示します。

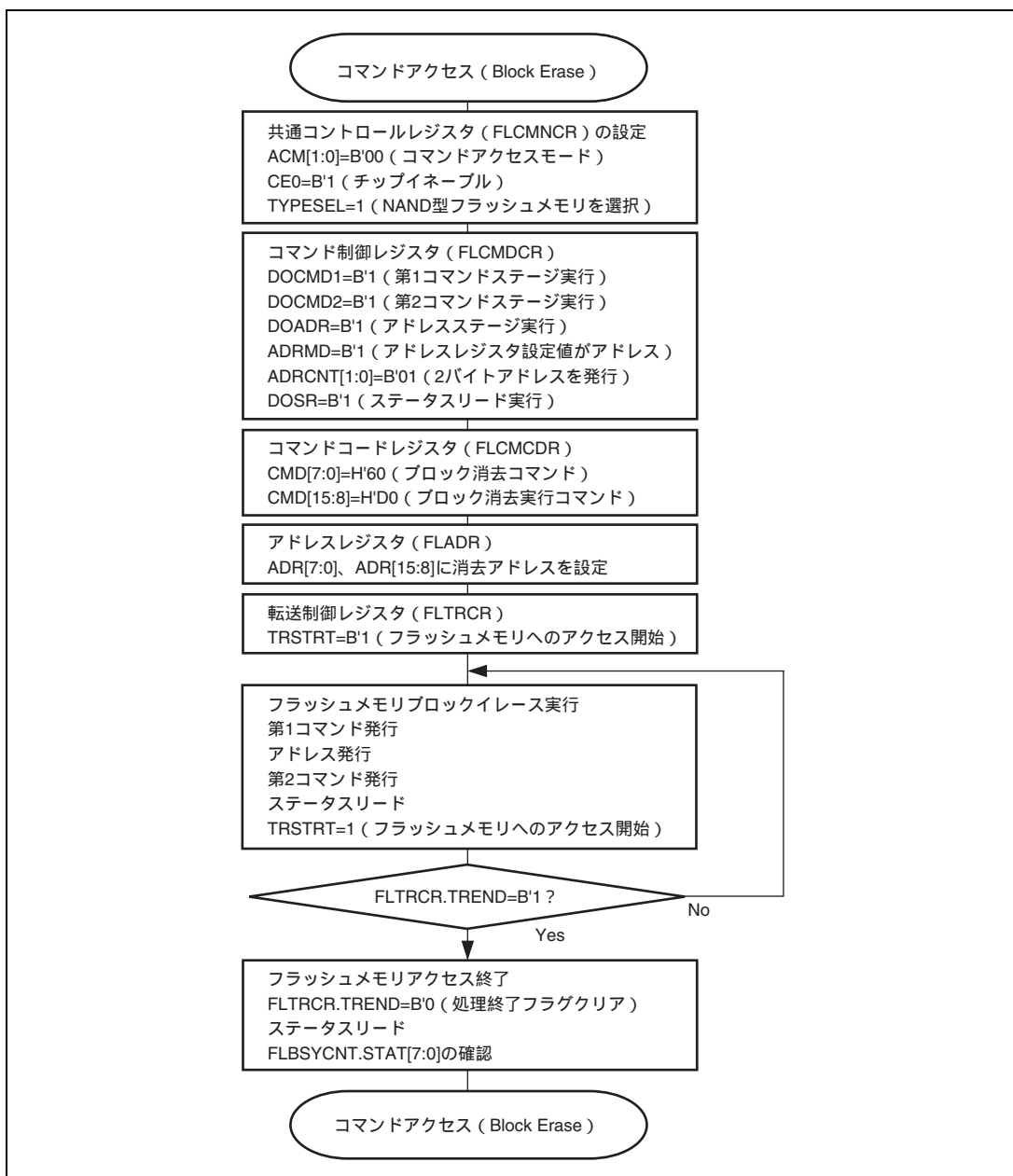
表 26.5 NAND 型フラッシュメモリ (2048+64 バイト) のステータスリード

ビット	状態	説明
STAT7	書き込み保護	0 : 書き込み不可 1 : 書き込み可
STAT6	レディ / ビジー	0 : ビジー状態 1 : レディ状態
STAT5	レディ / ビジー	0 : ビジー状態 1 : レディ状態
STAT4~1	リザーブ	0
STAT0	書き込み / 消去	0 : Pass (成功) 1 : Fail (失敗)

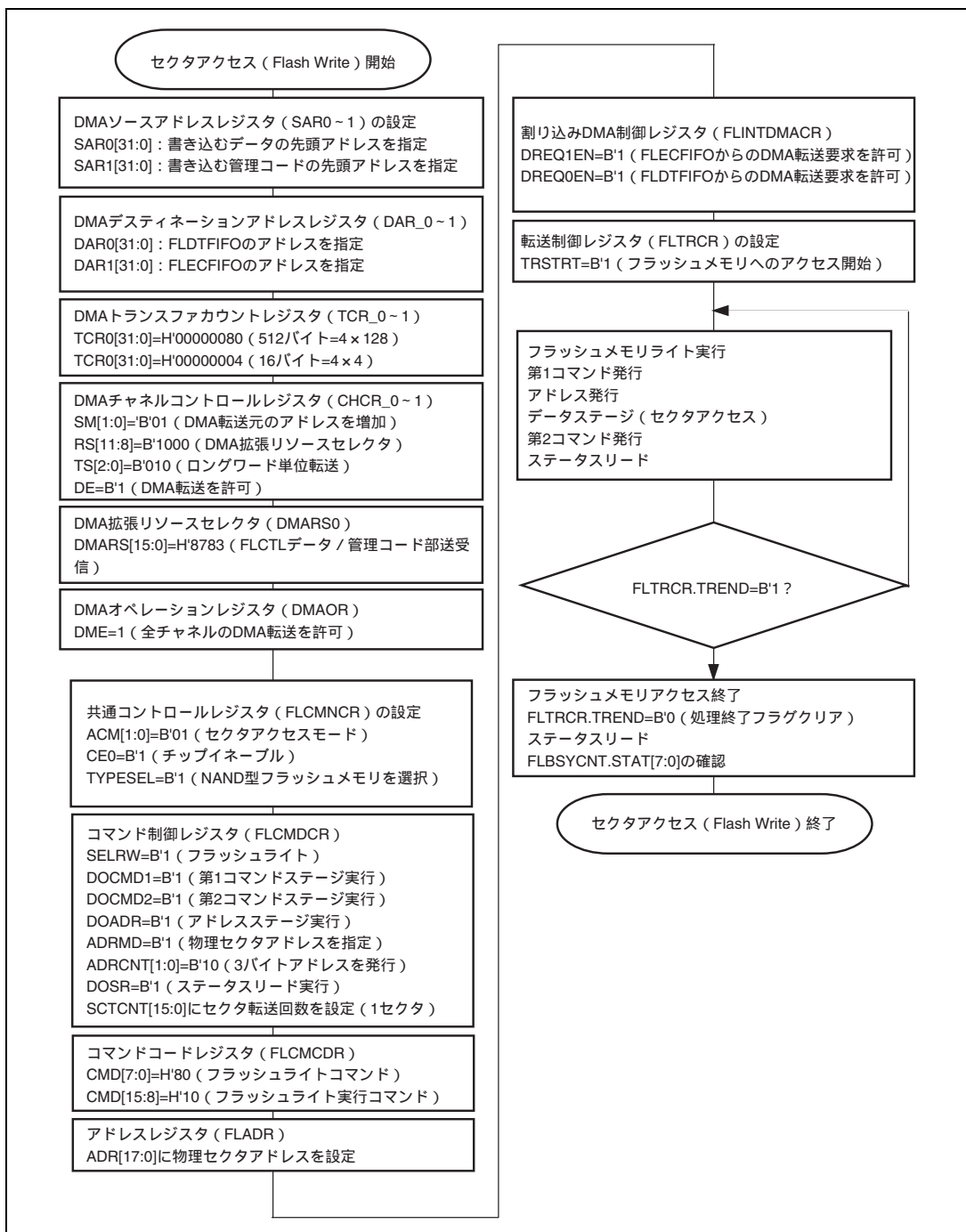
26.5 レジスタ設定手順

下記に各アクセスモードにおけるレジスタの設定例、起動の手順例を示します。

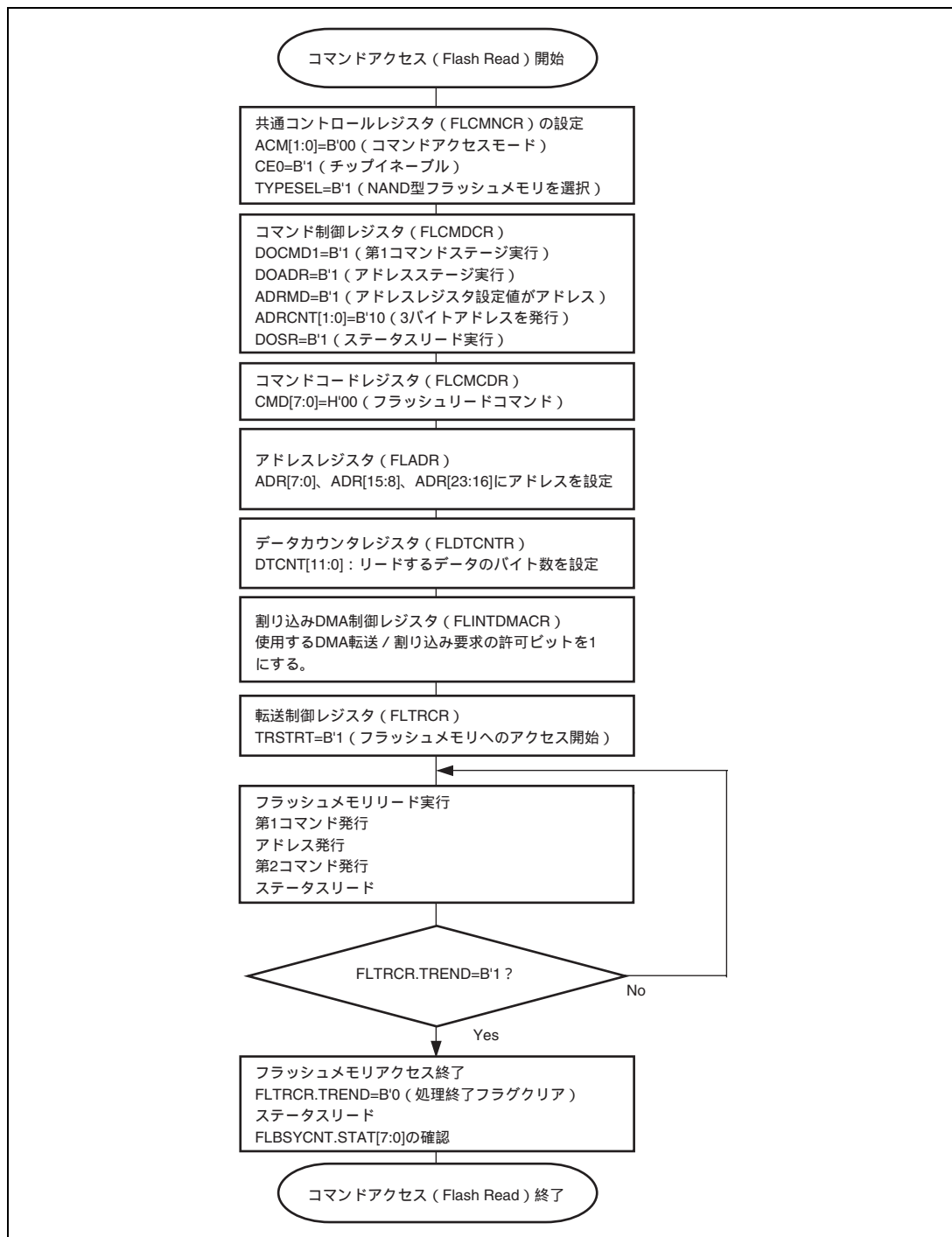
(1) NAND コマンドアクセス (Block Erase)



(2) NAND セクタアクセス (Flash Write) DMAC 使用例



(3) NAND コマンドアクセス (Flash Read)



26.6 割り込み処理

FLCTL には 6 種類の割り込み要因があります。すべての割り込み要因は独立した割り込みフラグを持っており、割り込みイネーブルビットにより許可されていれば、割り込み要求が発生します。ステータスエラー、レディ / ビジータイムアウトエラー、ECC エラーは、共通の FLSTE 割り込みを使用します。

表 26.5 に FLCTL の割り込み要因と優先順位を示します。

表 26.5 FLCTL の割り込み要因と優先順位

割り込み要因	割り込みフラグ	許可ビット	意味
FLSTE 割り込み	STERB	STERINTE	ステータスエラー
	BTOERB	RBERINTE	レディ / ビジータイムアウトエラー
	ECERB	ECERINTE	ECC エラー
FLTEND 割り込み	TREND	TEINTE	転送終了
FLTRQ0 割り込み	TRREQF0	TRINTE0	FLDTFIFO 転送要求
FLTRQ1 割り込み	TRREQF1	TRINTE1	FLECFIFO 転送要求

26.7 DMA 転送の設定

FLCTL は、データ FLDTFIFO と管理コード FLECFIFO から個別に DMA 転送要求を出すことができます。各アクセスモードでの DMA 転送の可 / 不可を表 26.6 に示します。

表 26.6 DMA 転送の設定

	セクタアクセスモード	コマンドアクセスモード
FLDTFIFO	可能	可能
FLECFIFO	可能	不可

DMAC の設定については「第 15 章 ダイレクトメモリアクセスコントローラ 0 (DMAC0)」を参照してください。

27. オーディオコーデックインタフェース (HAC)

オーディオコーデックデジタルコントローラインタフェースは Audio Codec 97 (AC'97) Revision 2.1 の双方向データ転送をサポートしています。データは、シリアルで AC97 コーデックに対して送受信されます。ただし、2 つ以上のオーディオコーデックを接続することはできません。

HAC は、オーディオフレームに対してデータを抽出 / 挿入します。受信フレーム、送信フレームともにフレーム内のデータスロットは CPU による PIO 転送または DMAC による DMA 転送が可能です。

27.1 特長

HAC には次のような特長があります。

- シングル Audio Codec 97 (AC'97) Revision 2.1 デジタルインタフェースサポート
- Rx フレームでステータススロット 1 と 2 の PIO 転送
- Tx フレームでコマンドスロット 1 と 2 の PIO 転送
- Rx フレームでデータスロット 3 と 4 の PIO 転送
- Tx フレームでデータスロット 3 と 4 の PIO 転送
- Rx フレームでデータスロット 3 と 4 の DMA 転送は 16 または 20 ビットが選択可能
- Tx フレームでデータスロット 3 と 4 の DMA 転送は 16 ビット
- タグビットによってスロットを選択すること、また Rx フレームの Tx フレーム要求ビットを監視することにより、さまざまなサンプリングレートをサポート
- データレディ、データリクエスト、オーバフロー、アンダフローの割り込みを生成
- コールドリセット、ウォームリセット、低消費電力モードをサポート

図 27.1 に HAC のブロック図を示します。

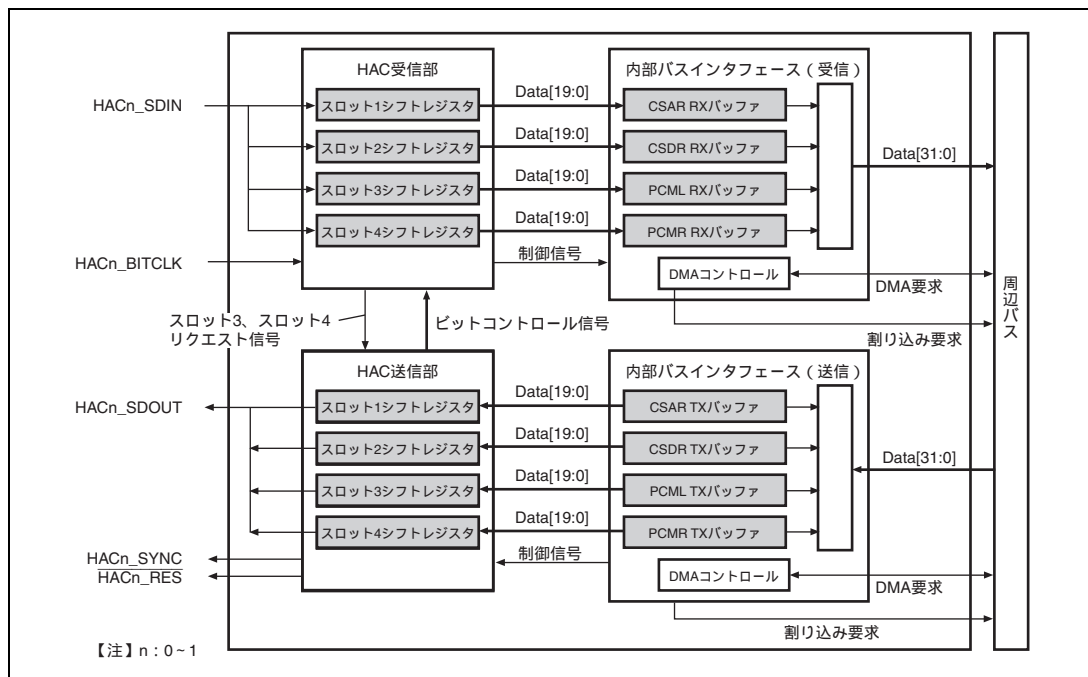


図 27.1 ブロック図

27.2 入出力端子

HAC の端子構成を表 27.1 に示します。

表 27.1 HAC の端子構成

名称	本数	入出力	機能
HAC0_BITCLK	1	入力	シリアルデータクロック
HAC0_SDIN	1	入力	Rx フレームシリアル入力データ
HAC0_SDOU	1	出力	Tx フレームシリアル出力データ
HAC0_SYNC	1	出力	フレーム同期
HAC1_BITCLK	1	入力	シリアルデータクロック
HAC1_SDIN	1	入力	Rx フレームシリアル入力データ
HAC1_SDOU	1	出力	Tx フレームシリアル出力データ
HAC1_SYNC	1	出力	フレーム同期
HAC_RES	1	出力	リセット (負論理信号) (チャンネル 0、1 で共通)

27.3 レジスタの説明

HAC で使用するレジスタを以下に示します。本文中では、チャンネルによるレジスタによる区別を省略します。

表 27.2 レジスタ構成 (1)

チャンネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期クロック
0	コントロールステータスレジスタ 0	HACCR0	R/W	H'FFE4 0008	H'1FE4 0008	32	Pck
	コマンド / ステータスアドレスレジスタ 0	HACCSAR0	R/W	H'FFE4 0020	H'1FE4 0020	32	Pck
	コマンド / ステータスデータレジスタ 0	HACCSDR0	R/W	H'FFE4 0024	H'1FE4 0024	32	Pck
	PCM レフトチャンネルレジスタ 0	HACPCML0	R/W	H'FFE4 0028	H'1FE4 0028	32	Pck
	PCM ライトチャンネルレジスタ 0	HACPCMR0	R/W	H'FFE4 002C	H'1FE4 002C	32	Pck
	TX 割り込みイネーブルレジスタ 0	HACTIER0	R/W	H'FFE4 0050	H'1FE4 0050	32	Pck
	TX ステータスレジスタ 0	HACTSR0	R/W	H'FFE4 0054	H'1FE4 0054	32	Pck
	RX 割り込みイネーブルレジスタ 0	HACRIER0	R/W	H'FFE4 0058	H'1FE4 0058	32	Pck
	RX ステータスレジスタ 0	HACRSR0	R/W	H'FFE4 005C	H'1FE4 005C	32	Pck
	HAC コントロールレジスタ 0	HACACR0	R/W	H'FFE4 0060	H'1FE4 0060	32	Pck
1	コントロールステータスレジスタ 1	HACCR1	R/W	H'FFE5 0008	H'1FE5 0008	32	Pck
	コマンド / ステータスアドレスレジスタ 1	HACCSAR1	R/W	H'FFE5 0020	H'1FE5 0020	32	Pck
	コマンド / ステータスデータレジスタ 1	HACCSDR1	R/W	H'FFE5 0024	H'1FE5 0024	32	Pck
	PCM レフトチャンネルレジスタ 1	HACPCML1	R/W	H'FFE5 0028	H'1FE5 0028	32	Pck
	PCM ライトチャンネルレジスタ 1	HACPCMR1	R/W	H'FFE5 002C	H'1FE5 002C	32	Pck
	TX 割り込みイネーブルレジスタ 1	HACTIER1	R/W	H'FFE5 0050	H'1FE5 0050	32	Pck
	TX ステータスレジスタ 1	HACTSR1	R/W	H'FFE5 0054	H'1FE5 0054	32	Pck
	RX 割り込みイネーブルレジスタ 1	HACRIER1	R/W	H'FFE5 0058	H'1FE5 0058	32	Pck
	RX ステータスレジスタ 1	HACRSR1	R/W	H'FFE5 005C	H'1FE5 005C	32	Pck
	HAC コントロールレジスタ 1	HACACR1	R/W	H'FFE5 0060	H'1FE5 0060	32	Pck

表 27.2 レジスタ構成 (2)

チャンネル	名称	略称	パワーオン リセット PRESET 端子/ WDT/H-UDI に よる	マニュアル リセット WDT/多重例外 による	スリープ Sleep 命令 による	モジュール スタンバイ による	ライト スリープ による
0	コントロールステータスレジスタ 0	HACCR0	H'0000 0200	保持	保持	保持	保持
	コマンド / ステータスアドレスレジスタ 0	HACCSAR0	H'0000 0000	保持	保持	保持	保持
	コマンド / ステータスデータレジスタ 0	HACCSSDR0	H'0000 0000	保持	保持	保持	保持
	PCM レフトチャンネルレジスタ 0	HACPCML0	H'0000 0000	保持	保持	保持	保持
	PCM ライトチャンネルレジスタ 0	HACPCMR0	H'0000 0000	保持	保持	保持	保持
	TX 割り込みイネーブルレジスタ 0	HACTIER0	H'0000 0000	保持	保持	保持	保持
	TX ステータスレジスタ 0	HACTSR0	H'F000 0000	保持	保持	保持	保持
	RX 割り込みイネーブルレジスタ 0	HACRIER0	H'0000 0000	保持	保持	保持	保持
	RX ステータスレジスタ 0	HACRSR0	H'0000 0000	保持	保持	保持	保持
	HAC コントロールレジスタ 0	HACACR0	H'8400 0000	保持	保持	保持	保持
1	コントロールステータスレジスタ 1	HACCR1	H'0000 0200	保持	保持	保持	保持
	コマンド / ステータスアドレスレジスタ 1	HACCSAR1	H'0000 0000	保持	保持	保持	保持
	コマンド / ステータスデータレジスタ 1	HACCSSDR1	H'0000 0000	保持	保持	保持	保持
	PCM レフトチャンネルレジスタ 1	HACPCML1	H'0000 0000	保持	保持	保持	保持
	PCM ライトチャンネルレジスタ 1	HACPCMR1	H'0000 0000	保持	保持	保持	保持
	TX 割り込みイネーブルレジスタ 1	HACTIER1	H'0000 0000	保持	保持	保持	保持
	TX ステータスレジスタ 1	HACTSR1	H'F000 0000	保持	保持	保持	保持
	RX 割り込みイネーブルレジスタ 1	HACRIER1	H'0000 0000	保持	保持	保持	保持
	RX ステータスレジスタ 1	HACRSR1	H'0000 0000	保持	保持	保持	保持
	HAC コントロールレジスタ 1	HACACR1	H'8400 0000	保持	保持	保持	保持

27.3.1 コントロールステータスレジスタ (HACCR)

HACCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、入出力の制御と状態のモニタを行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CR	—	—	—	CDRT	WMRT	—	—	—	—	ST	—	—	—	—	—
初期値 :	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	W	W	R	R	R	R	W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15	CR	0	R	コーデックレディ 0 : HAC に接続されたコーデックがレディ状態ではありません。 1 : HAC に接続されたコーデックがレディ状態です。
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みできません。
11	CDRT	0	W	HAC コールドリセット コールドリセットはパワーオン後、または低消費電力コマンド発行後に低消費電力モードを解除するためだけに行ってください。 [書き込み時] 0 : 再び 1 を書き込むときには、0 を書き込んだ後に行います。 (本ビットが 0 から 1 に変化したとき、コールドリセットされます) 1 : HAC に接続されたコーデックはコールドリセットされます。 [読み出し時] 読み出すと常に 0 が読み出されます。
10	WMRT	0	W	HAC ウォームリセット ウォームリセットはパワーオン後、または低消費電力コマンド発行後に低消費電力モードを解除するためだけに行ってください。 [書き込み時] 0 : 再び 1 を書き込むときには、0 を書き込んだ後に行います。 (本ビットが 0 から 1 に変化したとき、ウォームリセットされます) 1 : HAC に接続されたコーデックはウォームリセットされます。 [読み出し時] 読み出すと常に 0 が読み出されます。
9	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット	ビット名	初期値	R/W	説明
8~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	ST	0	W	転送開始 [書き込み時] 0: フレームの終わりで送受信を終了します。通常動作で送受信を終了させるためには、この方法を使用しないでください。通常動作で送受信を終了させる場合は、下記説明を参照ください。 1: データの送受信を開始します。 [読み出し時] 読み出すと常に0が読み出されます。
4~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

HAC は、外部コーデックデバイスのレジスタインデックス 26 のビット 12 に 1 を書き込むことで低消費電力モードにすることができます。外部コーデックデバイスは低消費電力モードになると HAC_BITCLK を停止し、通常動作を一時停止します。これはパワーオンのときも同じです。動作を再開するためには、外部コーデックデバイスに対してコールドリセットかウォームリセットを行わなければなりません。

27.3.2 コマンド / ステータスアドレスレジスタ (HACCSAR)

HACCSAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、接続されたコーデックのレジスタをアクセスする際のアドレスを指定します。コーデックのレジスタに書き込みまたは読み出しを要求する場合、レジスタアドレスを HACCSAR に書き込み、HACCR.ST=1 に設定しておくことでコマンドアドレスとしてスロット 1 で送信されます。

コーデックが読み出し要求に応答した後 (HACRSR.STARY=1) HACCSAR を読み出すことで、スロット 1 で受信したステータスアドレスを得ることができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	RW	CA6/ SA6	CA5/ SA5	CA4/ SA4
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA3/ SA3	CA2/ SA2	CA1/ SA1	CA0/ SA0	SL REQ3	SL REQ4	SL REQ5	SL REQ6	SL REQ7	SL REQ8	SL REQ9	SL REQ10	SL REQ11	SL REQ12	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
19	RW	0	R/W	コーデック読み出し/書き込みコマンド 0: アドレスフィールド (CA6/SA6~CA0/SA0) で示されるレジスタを書き込むことを外部コーデックデバイスに通知します。HACCSDR における初期データを書き込んでおいてください。 HACACR.TX12_ATOMIC が1のとき、HACCSAR と HACCSDR は同じ Tx フレームで送信されます。 HACACR.TX12_ATOMIC が0のとき、HACCSAR と HACCSDR が同じ Tx フレームで送信されることは保証できません。 1: アドレスフィールド (CA6/SA6~CA0/SA0) で示されるレジスタを読み出すことを外部コーデックデバイスに通知します。
18	CA6/SA6	0	R/W	コーデックコントロールレジスタアドレス6~0/コーデックステータスレジスタアドレス6~0 [書き込み時] 書き込んだ値はアクセスするコーデックレジスタのアドレスを示します。 [読み出し時] 読み出した値はスロット1で受信したステータスアドレスを示します。 HACCSDR で受信される外部コーデックのレジスタに対応しています。
17	CA5/SA5	0	R/W	
16	CA4/SA4	0	R/W	
15	CA3/SA3	0	R/W	
14	CA2/SA2	0	R/W	
13	CA1/SA1	0	R/W	
12	CA0/SA0	0	R/W	
11	SLREQ3	0	R	スロットリクエスト3~12 Rx フレーム内でのみ有効です。スロットデータが次の Tx フレームでコーデックから要求されるかどうかを示します。 これらのビットはハードウェアによって自動的に値が変更されます。Rx フレームのスロット1のビット11~2と同じです。 0: スロットデータが要求されています。 1: スロットデータが要求されていません。
10	SLREQ4	0	R	
9	SLREQ5	0	R	
8	SLREQ6	0	R	
7	SLREQ7	0	R	
6	SLREQ8	0	R	
5	SLREQ9	0	R	
4	SLREQ10	0	R	
3	SLREQ11	0	R	
2	SLREQ12	0	R	
1, 0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

27.3.3 コマンド / ステータスデータレジスタ (HACCSDR)

HACCSDR は、読み出し / 書き込み可能な 32 ビットのレジスタで、接続されたコーデックのレジスタをアクセスする際のデータレジスタです。コーデックのレジスタに書き込む場合に HACCSDR へ書き込み、HACCR.ST=1 に設定しておく、コマンドデータとしてスロット 2 で送信されます。

コーデックが読み出し要求に応答した後 (HACRSR.STDRY=1) HACCSDR を読み出すことで、スロット 2 で受信したステータスデータを得ることができます。どちらの場合も対応するコーデックレジスタのアドレスは HACCSAR に格納されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CD15/ SD15	CD14/ SD14	CD13/ SD13	CD12/ SD12
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CD11/ SD11	CD10/ SD10	CD9/ SD9	CD8/ SD8	CD7/ SD7	CD6/ SD6	CD5/ SD5	CD4/ SD4	CD3/ SD3	CD2/ SD2	CD1/ SD1	CD0/ SD0	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19	CD15/SD15	0	R/W	コマンドデータ 15~0 / ステータスデータ 15~0 これらのビットに値を設定した後、コーデックレジスタのアドレスを HACCSAR に書き込むと、データがコーデックに送信されます。 これらのビットを読み出すと、HACCSAR で示されるアドレスのコーデックレジスタの内容を示します。
18	CD14/SD14	0	R/W	
17	CD13/SD13	0	R/W	
16	CD12/SD12	0	R/W	
15	CD11/SD11	0	R/W	
14	CD10/SD10	0	R/W	
13	CD9/SD9	0	R/W	
12	CD8/SD8	0	R/W	
11	CD7/SD7	0	R/W	
10	CD6/SD6	0	R/W	
9	CD5/SD5	0	R/W	
8	CD4/SD4	0	R/W	
7	CD3/SD3	0	R/W	
6	CD2/SD2	0	R/W	
5	CD1/SD1	0	R/W	
4	CD0/SD0	0	R/W	
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

27.3.4 PCM レフトチャンネルレジスタ (HACPCML)

HACPCML は、読み出し / 書き込み可能な 32 ビットのレジスタで、コーデックのデジタルオーディオ録音とストリーム再生時のレフトチャンネルにアクセスします。HACPCML に書き込むと PCM 再生レフトチャンネルデータをコーデックに送信します。HACPCML を読み出すとコーデックからの PCM 録音レフトチャンネルデータを受信します。DAC や ADC が 20 ビット以下のコーデックを搭載する場合、データは左詰めで格納されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	D19	D18	D17	D16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19~0	D19~D0	すべて 0	R/W	データ 19~0 これらのビットに書き込むと、要求のあったときに PCM 再生レフトチャンネルデータがコーデックへ送信されます。 これらのビットを読み出すと、コーデックからの PCM 録音レフトチャンネルデータを受信します。

16 ビットパケット DMA モードでは以下ようになります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LD15	LD14	LD13	LD12	LD11	LD10	LD9	LD8	LD7	LD6	LD5	LD4	LD3	LD2	LD1	LD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RD15	RD14	RD13	RD12	RD11	RD10	RD9	RD8	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	LD15~LD0	すべて0	R/W	レフトデータ 15~0 これらのビットに書き込むと、要求のあったときに PCM 再生レフトチャンネルデータがコーデックへ送信されます。 これらのビットを読み出すと、コーデックからの PCM 録音レフトチャンネルデータを受信します。
15~0	RD15~RD0	すべて0	R/W	ライトデータ 15~0 これらのビットに書き込むと、要求のあったときに PCM 再生ライトチャンネルデータがコーデックへ送信されます。 これらのビットを読み出すと、コーデックからの PCM 録音ライトチャンネルデータを受信します。

27.3.5 PCM ライトチャンネルレジスタ (HACPCMR)

HACPCMR は、読み出し / 書き込み可能な 32 ビットのレジスタで、コーデックのデジタルオーディオ録音とストリーム再生時のライトチャンネルにアクセスします。HACPCMR に書き込むと PCM 再生ライトチャンネルデータをコーデックに送信します。HACPCMR を読み出すとコーデックからの PCM 録音ライトチャンネルデータを受信します。DAC や ADC が 20 ビット以下のコーデックを搭載する場合、データは左詰めで格納されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	D19	D18	D17	D16	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
19~0	D19~D0	すべて0	R/W	データ 19~0 これらのビットに書き込むと、要求のあったときに PCM 再生ライトチャンネルデータがコーデックへ送信されます。 これらのビットを読み出すと、コーデックからの PCM 録音ライトチャンネルデータを受信します。

27.3.6 TX 割り込みイネーブルレジスタ (HACTIER)

HACTIER は、読み出し / 書き込み可能な 32 ビットのレジスタで、HAC の TX 割り込みの許可 / 禁止を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	PLTF RQIE	PRTF RQIE	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PLTF UNIE	PRTF UNIE	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~30	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29	PLTFRQIE	0	R/W	PCML TX リクエスト割り込みイネーブル 0 : PCML TX リクエスト割り込みを禁止します。 1 : PCML TX リクエスト割り込みを許可します。
28	PRTFRQIE	0	R/W	PCMR TX リクエスト割り込みイネーブル 0 : PCMR TX リクエスト割り込みを禁止します。 1 : PCMR TX リクエスト割り込みを許可します。
27~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PLTFUNIE	0	R/W	PCML TX アンダフロー割り込みイネーブル 0 : PCML TX アンダフロー割り込みを禁止します。 1 : PCML TX アンダフロー割り込みを許可します。
8	PRTFUNIE	0	R/W	PCMR TX アンダフロー割り込みイネーブル 0 : PCMR TX アンダフロー割り込みを禁止します。 1 : PCMR TX アンダフロー割り込みを許可します。
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

27.3.7 TX ステータスレジスタ (HACTSR)

HACTSR は、読み出し / 書き込み可能な 32 ビットのレジスタで、HAC の TX コントローラの状態を示します。各ビットは 0 を書き込むと各ビットごとの初期値に初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CMD AMT	CMD DMT	PLT FRQ	PRT FRQ	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PLT FUN	PRT FUN	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W*2	説 明
31	CMDAMT	1	R/W	コマンドアドレスエンブティ 0 : CSAR Tx バッファに未送信のデータがあります。 1 : CSAR Tx バッファが空のため、データを格納することができません*1。
30	CMDDMT	1	R/W	コマンドデータエンブティ 0 : CSDR Tx バッファに未送信のデータがあります。 1 : CSDR Tx バッファが空のため、データを格納することができません*1。
29	PLTFRQ	1	R/W	PCML TX リクエスト 0 : PCML TX バッファに未送信のデータがあります。 1 : PCML TX バッファが空のため、データを格納する必要があります。このビットは DMA モードでは HACPCML が書き込まれると自動的に 0 にクリアされます。
28	PRTFRQ	1	R/W	PCMR TX リクエスト 0 : PCMR TX バッファに未送信のデータがあります。 1 : PCMR TX バッファが空のためデータを格納する必要があります。このビットは DMA モードでは HACPCMR が書き込まれると自動的に 0 にクリアされます。
27~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PLTFUN	0	R/W	PCML TX アンダフロー 0 : PCML TX のアンダフローが発生していません。 1 : PCML TX のアンダフローが発生したことを示します。コーデックがスロット 3 のデータを要求したにもかかわらず HACPCML に新しいデータが書かれなかったときに発生します。

ビット	ビット名	初期値	R/W* ²	説明
8	PRTFUN	0	R/W	PCMR TX アンダフロー 0: PCMR TX のアンダフローが発生していません。 1: PCMR TX のアンダフローが発生したことを示します。コーデックがスロット 4 のデータを要求したにもかかわらず HACPCMR に新しいデータが書かれなかったときに発生します。
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 *1 CMDAMT と CMDDMT には、対応する割り込みがありません。新しいコマンドを HACCSAR または HACCSDR に書き込む前に、これらのビットをポーリングして 1 を読み出してください。HACCSAR のビット 19 (RW) が 0 で TX12_ATOMIC が 1 のときは以下の手順に従ってください。

1. 初期化後、最初に外部コーデックデバイスのレジスタをアクセスする前に CMDDMT と CMDAMT を初期化してください。
2. HACCSDR と HACCSAR の設定後、CMDAMT と CMDDMT が 1 になるまでポーリングし、1 になったら初期化してください。
3. 次のレジスタの書き込みが行えます。

*2 読み出し / 書き込み可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

27.3.8 RX 割り込みイネーブルレジスタ (HACRIER)

HACRIER は読み出し / 書き込み可能な 32 ビットのレジスタで、HAC RX 割り込みの許可 / 禁止を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	STAR YIE	STDR YIE	PLRF RQIE	PRRF RQIE	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PLRF OVIE	PRRF OVIE	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~23	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22	STARYIE	0	R/W	ステータスアドレスレディ割り込みイネーブル 0 : ステータスアドレスレディ割り込みを禁止します。 1 : ステータスアドレスレディ割り込みを許可します。
21	STDRYIE	0	R/W	ステータスデータレディ割り込みイネーブル 0 : ステータスデータレディ割り込みを禁止します。 1 : ステータスデータレディ割り込みを許可します。
20	PLRFRQIE	0	R/W	PCML RX リクエスト割り込みイネーブル 0 : PCML RX リクエスト割り込みを禁止します。 1 : PCML RX リクエスト割り込みを許可します。
19	PRRFRQIE	0	R/W	PCMR RX リクエスト割り込みイネーブル 0 : PCMR RX リクエスト割り込みを禁止します。 1 : PCMR RX リクエスト割り込みを許可します。
18~14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PLRFOVIE	0	R/W	PCML RX オーバフロー割り込みイネーブル 0 : PCML RX オーバフロー割り込みを禁止します。 1 : PCML RX オーバフロー割り込みを許可します。
12	PRRFOVIE	0	R/W	PCMR RX オーバフロー割り込みイネーブル 0 : PCMR RX オーバフロー割り込みを禁止します。 1 : PCMR RX オーバフロー割り込みを許可します。
11~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

27.3.9 RX ステータスレジスタ (HACRSR)

HACRSR は、読み出し / 書き込み可能な 32 ビットのレジスタで、HAC の RX コントローラの状態を示します。各ビットは 0 を書き込むと各ビットごとの初期値に初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	STARY	STDRY	PLR FRQ	PRR FRQ	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PLR FOV	PRR FOV	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W*	説明
31~23	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22	STARY	0	R/W	ステータスアドレスレディ 0: HACCSAR (ステータスアドレス) がレディ状態ではありません。 1: HACCSAR (ステータスアドレス) がレディ状態です。
21	STDRY	0	R/W	ステータスデータレディ 0: HACCSDR (ステータスデータ) がレディ状態ではありません。 1: HACCSDR (ステータスデータ) がレディ状態です。
20	PLRFRQ	0	R/W	PCML RX リクエスト 0: PCML RX データがレディ状態ではありません。 1: PCML RX データがレディ状態で読み出される必要があります。 このビットは DMA モードでは HACPCML が読み出されると自動的に 0 にクリアされます。
19	PRRFRQ	0	R/W	PCMR RX リクエスト 0: PCMR RX データがレディ状態ではありません。 1: PCMR RX データがレディ状態で読み出される必要があります。 このビットは DMA モードでは HACPCMR が読み出されると自動的に 0 にクリアされます。
18~14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PLRFOV	0	R/W	PCML RX オーバフロー 0: PCML RX データのオーバーフローが発生していません。 1: PCML RX データのオーバーフローが発生したことを示します。 HACPCML のデータが読み出される前に新しいデータをスロット 3 から受信したときに発生します。

ビット	ビット名	初期値	R/W*	説明
12	PRRFOV	0	R/W	PCMR RX オーバフロー 0: PCMR RX データのオーバーフローが発生していません。 1: PCMR RX データのオーバーフローが発生したことを示します。 HACPCMR のデータが読み出される前に新しいデータをスロット 4 から受信したときに発生します。
11-0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * 読み出し / 書き込み可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

27.3.10 HAC コントロールレジスタ (HACACR)

HACACR は、読み出し / 書き込み可能な 32 ビットのレジスタで、HAC のインタフェースを制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	DMA RX16	DMA TX16	—	—	TX12_ ATOMIC	—	RXDMAL_ EN	TXDMAL_ EN	RXDMAR_ EN	TXDMAR_ EN	—	—	—	—	—
初期値 :	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
30	DMARX16	0	R/W	16 ビット RX DMA イネーブル 0: 16 ビットパケット RXDMA モードを無効にします。 このビットを 0 に設定すると RXDMAL_EN、RXDMAR_EN 設定を許可します。 1: 16 ビットパケット RX DMA モードを有効にします。 このビットを 1 に設定すると RXDMAL_EN、RXDMAR_EN 設定は無視されます。
29	DMATX16	0	R/W	16 ビット TX DMA イネーブル 0: 設定禁止 1 に設定して 16 ビットパケット TXDMA モードを使用してください。 1: 16 ビットパケット TXDMA モードを有効にします。 このビットを 1 に設定すると TXDMAL_EN、TXDMAR_EN 設定は無視されます。

ビット	ビット名	初期値	R/W	説明
28、27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26	TX12_ATOMIC	1	R/W	TX スロット1、2 アトミックコントロール 0: HACCSAR と HACCSDR の TX データが独立して送信されます (設定禁止)。 1: HACCSAR のビット19が書き込みに設定されているとき HACCSAR と HACCSDR の TX データが同じフレームで送信されます。(HACCSAR は最後に書き込む必要があります。)
25	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください
24	RXDMAI_EN	0	R/W	RX DMA レフトイネーブル 0: 20 ビット RX DMA が HACPCML で無効です。 1: 20 ビット RX DMA が HACPCML で有効です。
23	TXDMAI_EN	0	R/W	TX DMA レフトイネーブル 0: 20 ビット TX DMA が HACPCML で無効です。 1: 設定禁止
22	RXDMAE_EN	0	R/W	RX DMA ライトイネーブル 0: 20 ビット RX DMA が HACPCMR で無効です。 1: 20 ビット RX DMA が HACPCMR で有効です。
21	TXDMAE_EN	0	R/W	TX DMA ライトイネーブル 0: 20 ビット TX DMA が HACPCMR で無効です。 1: 設定禁止
20-0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

27.4 AC フレームのロット構成

図 27.2 に AC97 フレームのロット構成を示します。本 LSI は、スロット 0~4 をサポートし、スロット 5~12 はサポートしません。

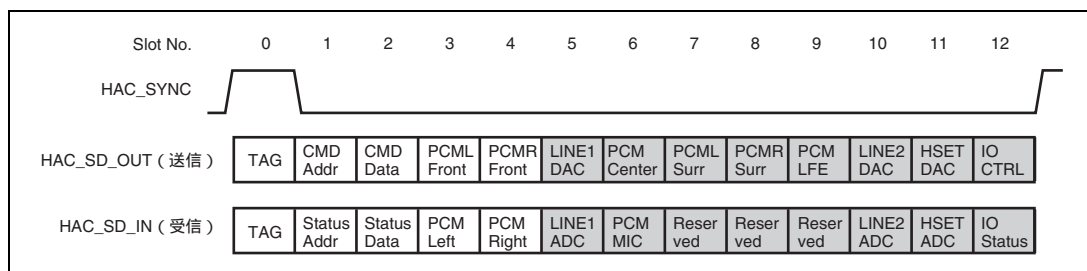


図 27.2 AC97 フレームのロット構成 (ハッチング部分はサポートしません)

表 27.3 AC97 送信フレームの説明

スロット	名称	説明
0	SDATA_OUT TAG	有効データを示す TAG および Code ID
1	Control CMD Addr write port	Read/Write コマンドおよびレジスタアドレス
2	Control DATA write port	レジスタライト時のデータ
3	PCM L DAC playback	左チャンネル PCM 出力データ
4	PCM R DAC playback	右チャンネル PCM 出力データ
5	Modem Line 1 DAC	モデム 1 出力データ (未サポート)*
6	PCM Center	中央チャンネル PCM データ (未サポート)*
7	PCM Surround L	サラウンド左チャンネル PCM データ (未サポート)*
8	PCM Surround R	サラウンド右チャンネル PCM データ (未サポート)*
9	PCM LFE	LFE チャンネル PCM データ (未サポート)*
10	Modem Line 2 DAC	モデム 2 出力データ (未サポート)*
11	Modem handset DAC	モデム handset 出力データ (未サポート)*
12	Modem IO control	モデム制御用 IO 出力 (未サポート)*

【注】 * 未サポート部はレジスタとして存在しません。

表 27.4 AC97 受信フレームの説明

スロット	名称	説明
0	SDATA_IN TAG	有効データを示す TAG
1	Status ADDR read port	レジスタアドレスおよびスロットリクエスト
2	Status DATA read port	レジスタリードデータ
3	PCM L ADC record	左チャンネル PCM 入力データ
4	PCM R ADC record	右チャンネル PCM 入力データ
5	Modem Line 1 ADC	モデム 1 入力データ (未サポート)*
6	Dedicated Microphone ADC	オプション PCM 入力データ (未サポート)*
7~9	Reserved	予約
10	Modem Line 2 ADC	モデム 2 入力データ (未サポート)*
11	Modem handset input DAC	モデム handset 入力データ (未サポート)*
12	Modem IO status	モデム制御用 IO 入力 (未サポート)*

【注】 * 未サポート部はレジスタとして存在しません。

27.5 動作説明

27.5.1 レシーバ

シリアルオーディオデータは、HAC_BITCLK を基準とする HAC_SDIN 信号でモジュールに入力されます。タグビットはスロット 0 から抽出され、対応する他のスロットの有効・無効を示します。タグビットによって有効なスロットを受信しないかぎり、受信データは更新されません。

サポートするのはスロット 1~4 のデータで、他のスロットに対応するタグビットやデータは無視されます。有効なスロットデータはシフトレジスタにロードされ、PIO 転送または DMA 転送のために保持されます。対応するステータスビットも生成されます。各データは 32 ビットレジスタ内の 20 ビットが PIO で読み出し可能です。

RX オーバフローが起きたときは、HAC の現在の RX バッファデータが新しいデータで上書きされます。

27.5.2 トランスミッタ

シリアルオーディオデータは、HAC_BITCLK を基準とする HAC_SDOUT 信号でモジュールから出力されます。タグビットはスロット 0 に設定され、現在のフレーム内のどのスロットにあるデータが有効であることを示します。データスロットは前の RX フレームのスロット要求の該当するビットに対応して現在の TX フレームにロードされます。

サポートするのはスロット 1~4 のデータです。PIO 転送または DMA 転送により転送されたデータは、Tx バッファに保持されます。各データは 32 ビットレジスタ内の 20 ビットが PIO で書き込み可能です。対応するステータスビットも生成されます。

TX アンダフローが起きたときは、次のデータが埋まるまで HAC の現在の TX バッファデータが送信されます。

27.5.3 DMA

DMA 転送は、RX フレームと TX フレームの両方のスロット 3 とスロット 4 でサポートされます。RX フレームは、HACACR の DMARX16 ビットで DMA 転送のスロットデータサイズが 16 ビットか 20 ビットかを決定します。TX フレームにおいては、スロットデータサイズは 16 ビットのみ使用できますので、HACACR の DMATX16 ビットを 0 に設定してください。

データサイズが 20 ビットの場合、スロット 3 と 4 の両方のデータスロットを転送するのに 2 回のローカルバスアクセスが必要です。また、レシーバとトランスミッタのそれぞれに 1 つの DMA リクエストがあるので、ステレオモードで DMA リクエストはスロット 3 と 4 それぞれ別々に発生します。モノラルモードでは DMA は 1 つのスロットに対してのみ発生します。

データサイズが 16 ビットの場合、スロット 3 と 4 からのデータはシングル 32 ビットのバケット形式 (レフトデータとライトデータが PCML に入れられる) になります。このとき必要な外部バスアクセスは 1 サイクルのみです。

システムによっては終了カウントに達する前に DMA を停止させる必要があります。これは HACACR の該当する DMA ビットを無効にすることで行います。DMAC をプログラムし直したあと、再度該当する DMA ビットを有効にすると次の転送を行うことができます。

27.5.4 割り込み

レシーバとトランスミッタからのフラグイベントに対して割り込みが使用できます。各割り込みは割り込みイネーブルレジスタで設定されます。割り込みにはスロットデータの読み出し / 書き込みの CPU への要求やオーバーフローやアンダフローなどがあります。割り込み要因はステータスレジスタを読み出すことで把握できます。対応するビットに 0 を書き込むことで割り込みをクリアできます。

27.5.5 初期化シーケンス

図 27.3 に初期化シーケンスの例を示します。

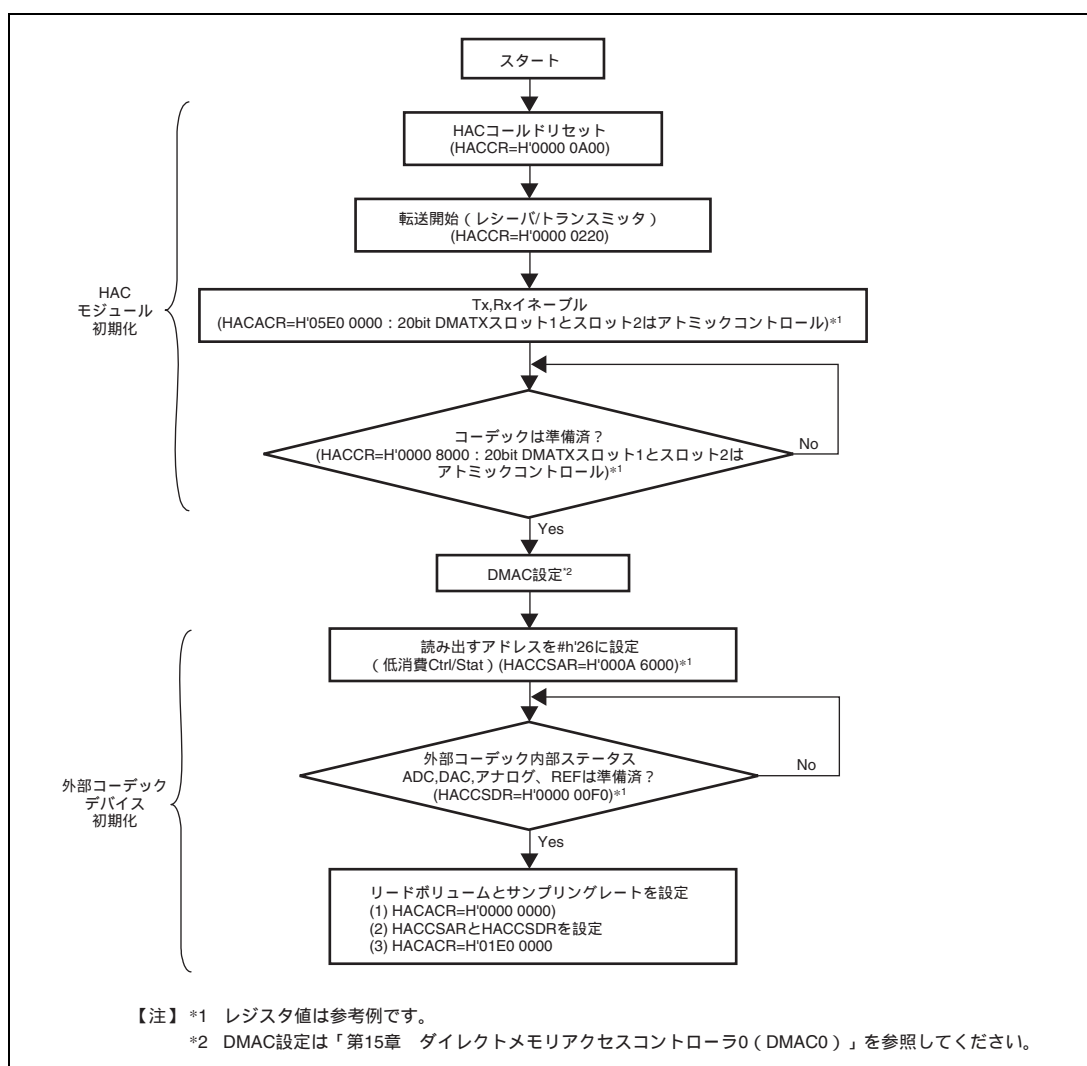


図 27.3 初期化シーケンス例

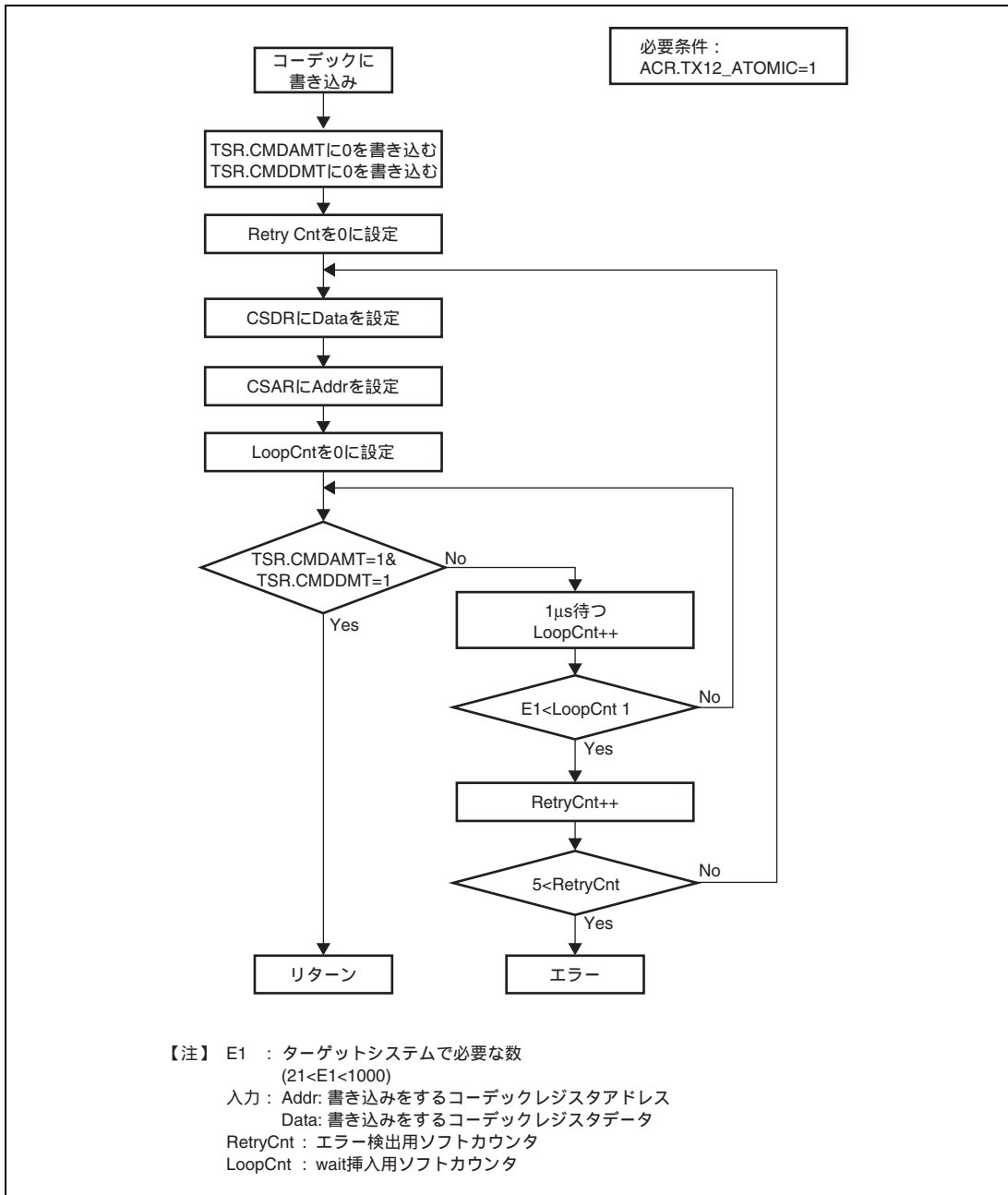


図 27.4 外部コーデックレジスタ書き込みフローチャート例

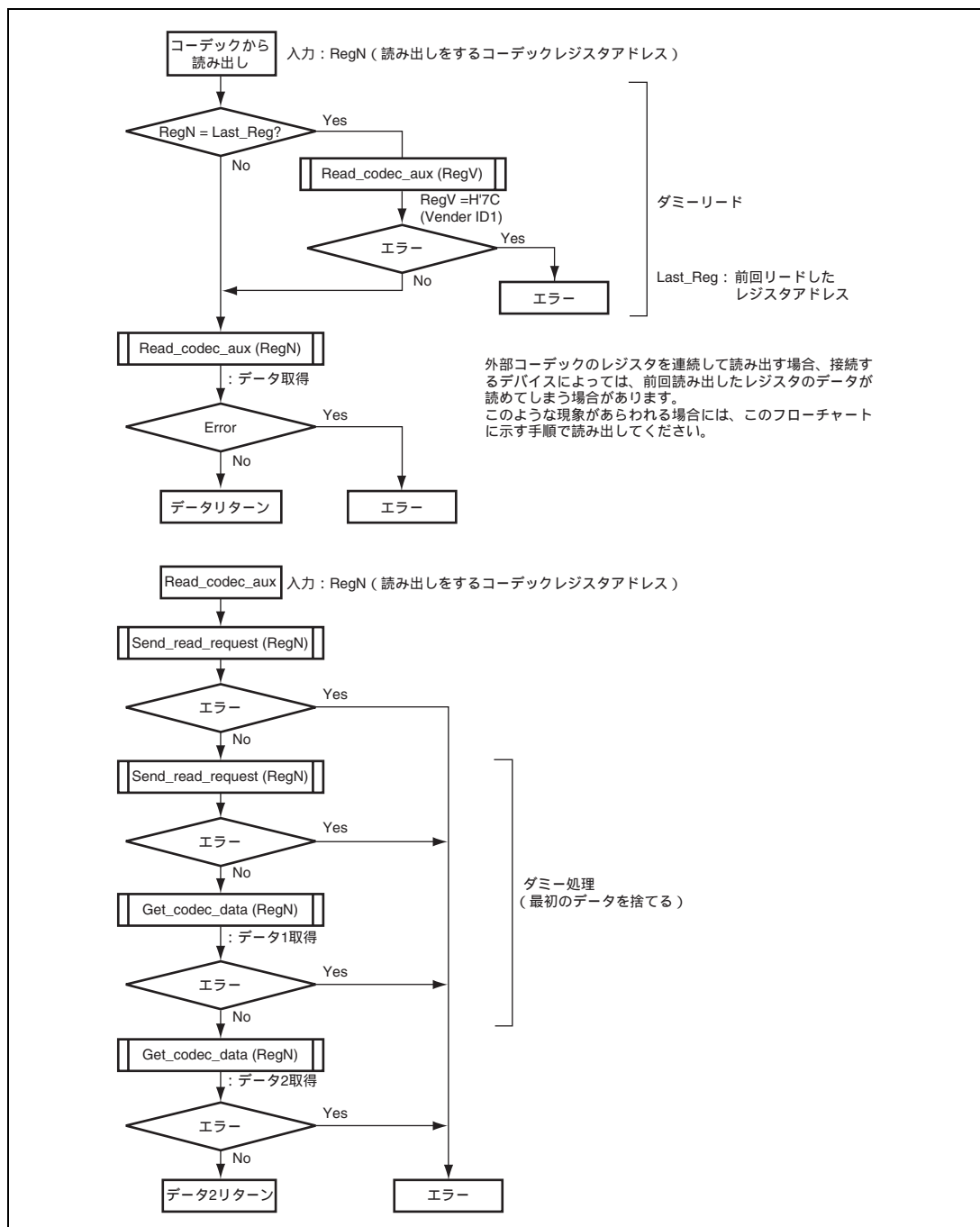


図 27.5 外部コーデックレジスタ読み出しフローチャート例

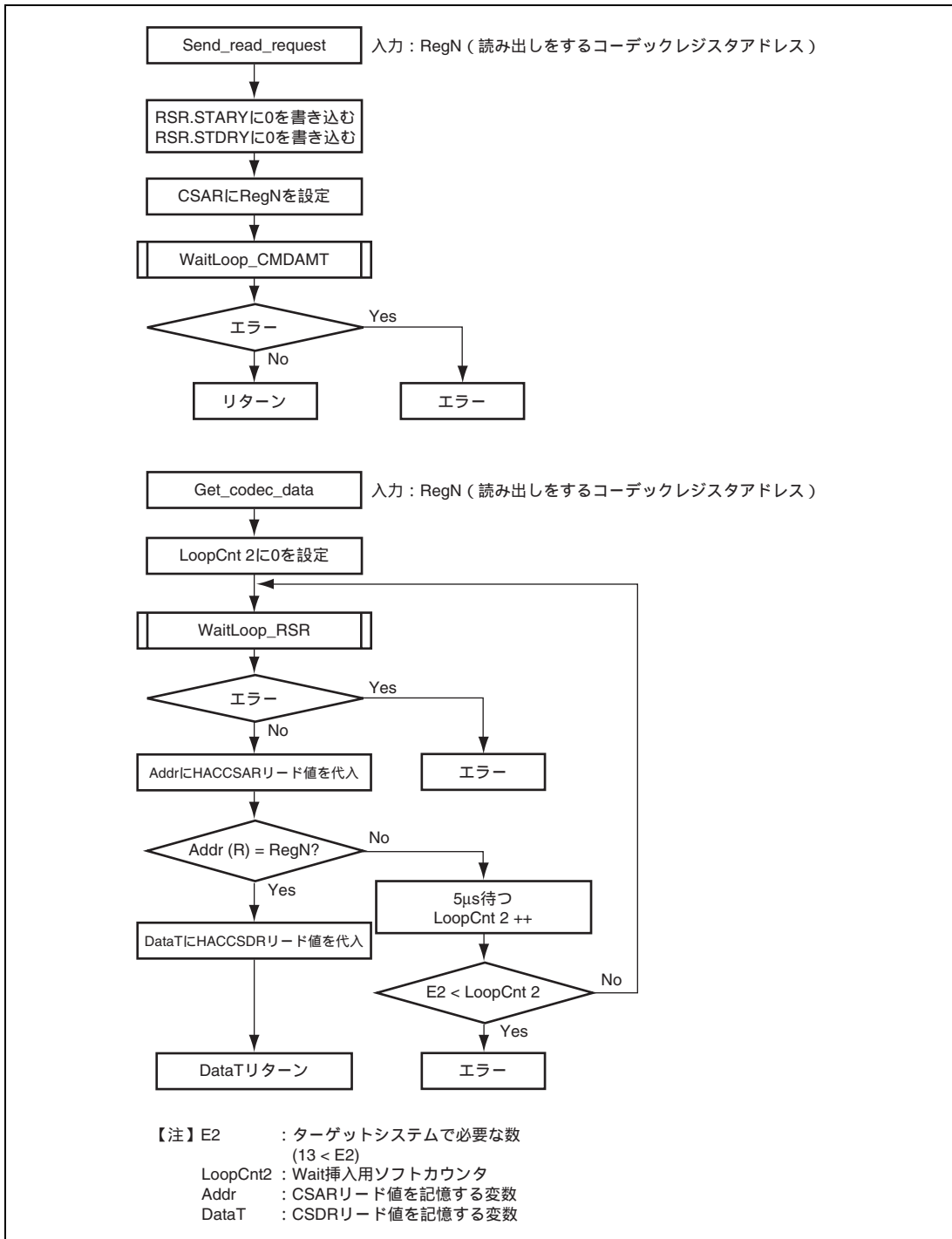


図 27.6 外部コーデックレジスタ読み出しフローチャート例 (続き)

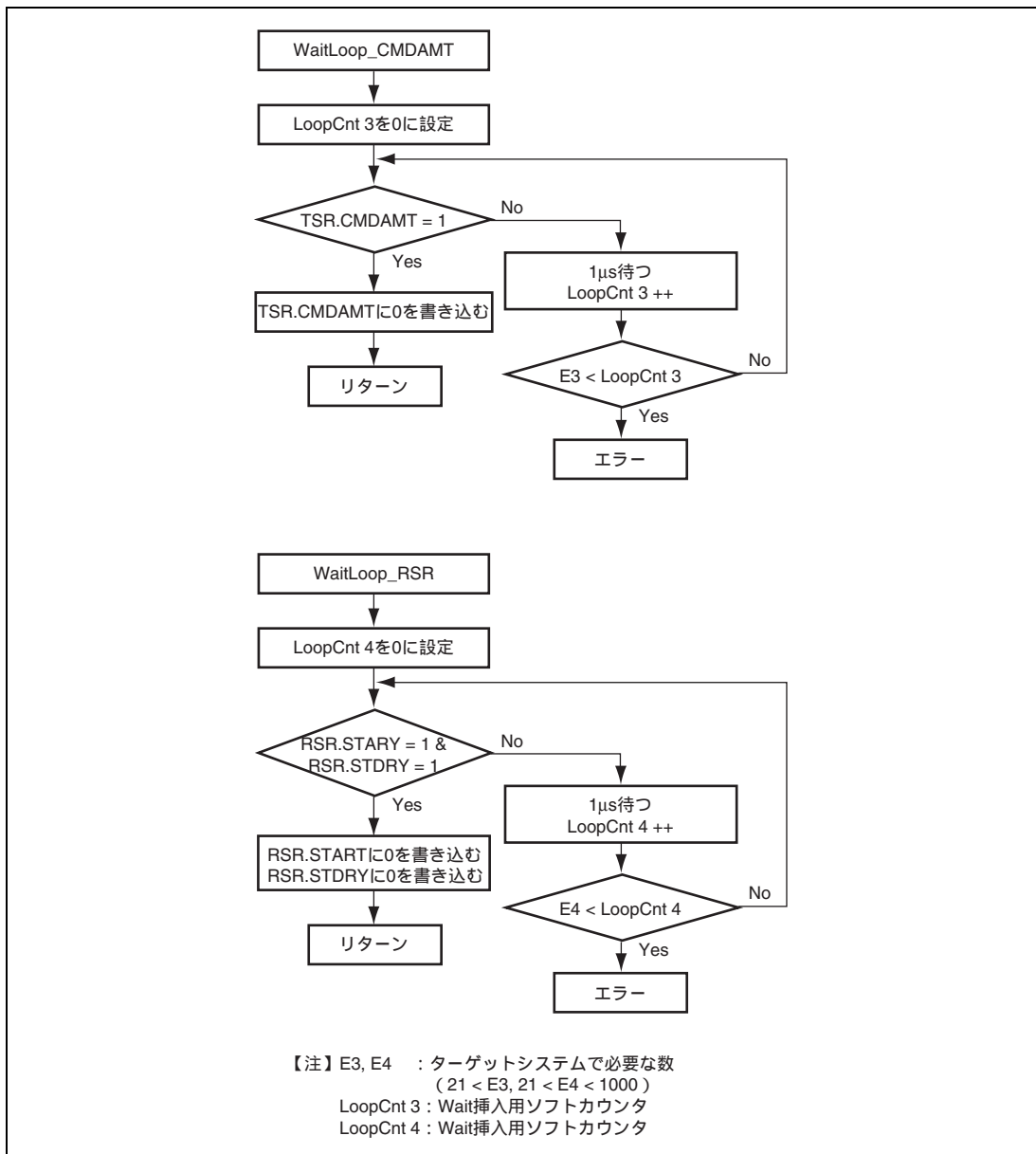


図 27.7 外部コーデックレジスタ読み出しフローチャート例 (続き)

27.5.6 低消費電力モード

低消費電力モードには以下のモード、機能があります。

(1) スリープモード

HAC の動作は継続されます。

(2) ライトスリープモード

HAC の動作は継続されますが、DMAC を使用して送受信を行った場合は動作保障しません。DMAC を使用した送受信を行っているとき、ライトスリープモードに遷移させる前に以下の手順を行ってください。

1. すべてのデータ転送が行われたかを確認します。

送信 / 受信データがどちらも空である必要があります。

すなわち、TXステータスレジスタHACTSR[31:28]がすべて1になるまでウェイトしてください。また、RXステータスレジスタHACRSR[22]かつ[21]が1になるまでウェイトするか、またはHACRSR[20]かつ[19]が1になるまで受信データ (ACPCMR/HACPCML) を読み出す必要があります。

2. HAC内すべてのDMA転送要求を禁止します。
3. コントロールステータスレジスタHACCR.STビットに0を書き込んで送受信を終了させてください。

(3) モジュールスタンバイモード

HAC の動作中モジュールスタンバイモードに遷移すると動作保障しません。モジュールスタンバイに遷移させる場合には、以下の手順に従ってください。

1. すべてのデータ転送が行われたかを確認します。

ライトスリープと同様の処理を行ってください。

2. HAC内すべてのDMA転送要求と割り込み要求を禁止します。
3. コーデックを低消費電力モードにします。
4. コントロールステータスレジスタHACCR.STビットに0を書き込んで送受信を終了させてください。
5. スタンバイコントロールレジスタ0 (MSTPCR0) のMSTP16およびMSTP17ビットを1にセットします。

モジュールスタンバイ解除後、HACモジュールを使用する場合、手順に従いレジスタを再設定してください。

(4) 周波数変更

HAC の動作中に周波数変更 (Pck) 行うと動作は継続されますが、変更値によってアンダフロー / オーバフローが発生する可能性があります。

したがって、HAC の動作中に周波数変更をする前に、以下の設定をしてください。

1. すべてのデータ転送が行われたかを確認します。

ライトスリープと同様の処理を行ってください。

2. HAC内すべてのDMA転送要求と割り込み要求を禁止します。
3. コーデックを低消費電力モードにします。
4. コントロールステータスレジスタHACCR.STビットに0を書き込んで送受信を終了させてください。

周波数変更後、HACモジュールを使用する場合、手順に従いレジスタを再設定してください。

27.5.7 注意事項

モジュールが生成する HAC_SYNC 信号は、フレーム内のスロット 0 の位置を示すために使用されます。

HAC を 2 チャンネル同時に使用する場合は、 $\overline{\text{HAC_RES}}$ 端子を 2 つのコーデック両方のリセット端子に接続してください。

27.5.8 参考

AC'97 Component Specification, Revision 2.1

28. シリアルサウンドインタフェース (SSI)

本 LSI は 4 チャンネルのシリアルサウンドインタフェース (SSI) を内蔵しています。SSI は、さまざまなデバイスと音声データの送受信を行うモジュールです。他の一般的フォーマットだけでなく、バーストとマルチチャンネルモードにも対応しています。

28.1 特長

SSI には次のような特長があります。

- チャンネル数：4チャンネル。
- 動作モード：圧縮モード、非圧縮モード
圧縮モードは、連続ビットストリームの転送に使用されます。
非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。
- SSIモジュールは、トランスミッタまたはレシーバのいずれとしても動作できます。また、圧縮モードと非圧縮モードのどちらでもシリアルバスフォーマット (表28.3参照) を使用できます。
- データバッファとシフトレジスタ間是非同期転送
- シリアルバスインタフェースで使用されるクロックの分周比が選択可能です。
- DMACまたはSSIの割り込みで、データ送受信を制御できます。

図 28.1 に SSI モジュール単体のブロック図を示します。

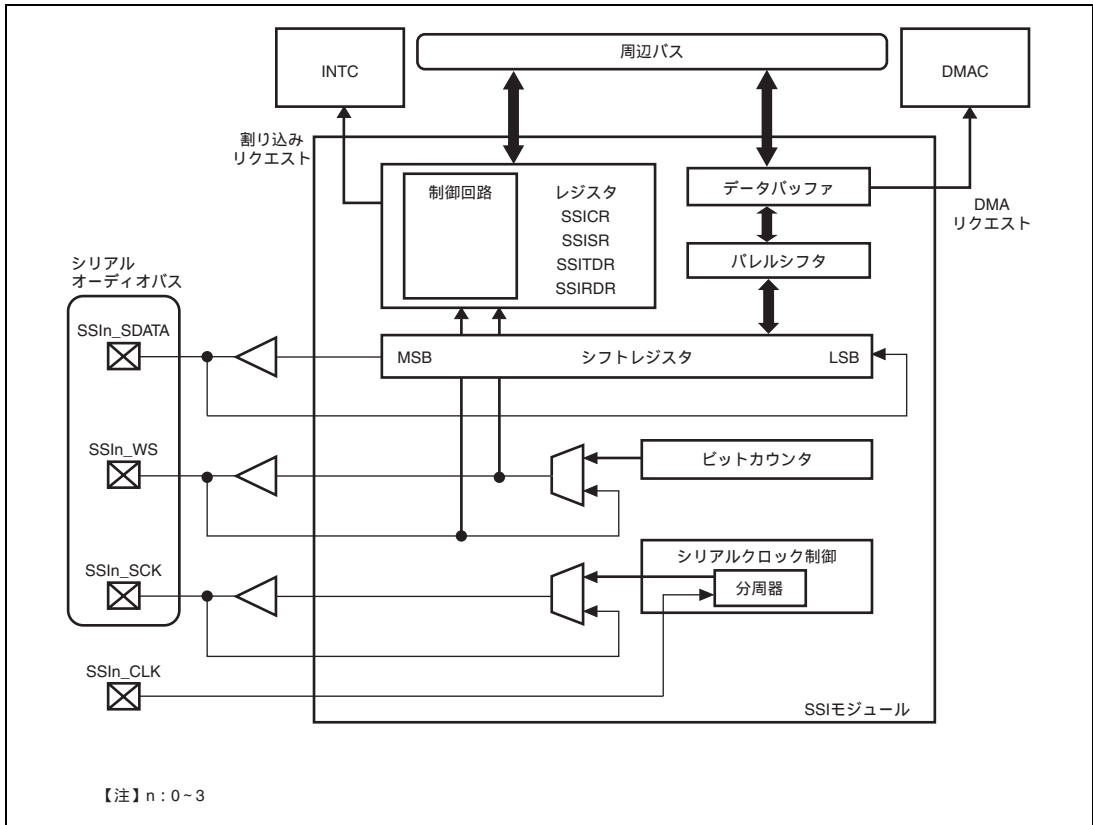


図 28.1 SSI のブロック図

28.2 入出力端子

SSI モジュールに関する端子構成を表 28.1 に示します。

表 28.1 端子構成

名称	本数	入出力	機能
SSIn_SCK	1	入出力	シリアルビットクロック
SSIn_WS	1	入出力	ワード選択
SSIn_SDATA	1	入出力	シリアルデータ入出力
SSIn_CLK	1	入力	分周器入力クロック (オーバーサンプルクロック、256/384/512fs を入力)

【注】 n=0~3

28.3 レジスタの説明

SSI には以下のレジスタがあります。本文中では、チャンネルによる区別を省略して説明します。

表 28.2 レジスタ構成 (1)

チャンネル	名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ	同期クロック
0	コントロールレジスタ 0	SSICR0	R/W	H'FFE0 0000	H'1FE0 0000	32	Pck
	ステータスレジスタ 0	SSISR0	R/W*	H'FFE0 0004	H'1FE0 0004	32	Pck
	トランスミットデータレジスタ 0	SSITDR0	R/W	H'FFE0 0008	H'1FE0 0008	32	Pck
	レシーブデータレジスタ 0	SSIRDR0	R	H'FFE0 000C	H'1FE0 000C	32	Pck
1	コントロールレジスタ 1	SSICR1	R/W	H'FFE1 0000	H'1FE1 0000	32	Pck
	ステータスレジスタ 1	SSISR1	R/W*	H'FFE1 0004	H'1FE1 0004	32	Pck
	トランスミットデータレジスタ 1	SSITDR1	R/W	H'FFE1 0008	H'1FE1 0008	32	Pck
	レシーブデータレジスタ 1	SSIRDR1	R	H'FFE1 000C	H'1FE1 000C	32	Pck
2	コントロールレジスタ 2	SSICR2	R/W	H'FFE2 0000	H'1FE2 0000	32	Pck
	ステータスレジスタ 2	SSISR2	R/W*	H'FFE2 0004	H'1FE2 0004	32	Pck
	トランスミットデータレジスタ 2	SSITDR2	R/W	H'FFE2 0008	H'1FE2 0008	32	Pck
	レシーブデータレジスタ 2	SSIRDR2	R	H'FFE2 000C	H'1FE2 000C	32	Pck
3	コントロールレジスタ 3	SSICR3	R/W	H'FFE3 0000	H'1FE3 0000	32	Pck
	ステータスレジスタ 3	SSISR3	R/W*	H'FFE3 0004	H'1FE3 0004	32	Pck
	トランスミットデータレジスタ 3	SSITDR3	R/W	H'FFE3 0008	H'1FE3 0008	32	Pck
	レシーブデータレジスタ 3	SSIRDR3	R	H'FFE3 000C	H'1FE3 000C	32	Pck

【注】 上記アドレス以外への書き込みは行わないでください。書き込みを行った場合、動作は保証されません。読み出すと不定値が読み出されます。

- * 本レジスタの 19、27 ビットは読み出し / 書き込み可能で、それ以外は読み出し専用です。詳細は、「28.3.2 ステータスレジスタ」を参照ください。

表 28.2 レジスタ構成 (2)

チャンネル	名称	略称	パワーオン リセット PRESET 端子/ WDT/H-UDI による	マニュアル リセット WDT/多重例外 による	スリープ Sleep 命令 による	モジュール スタンバイ による	ライト スリープ による
0	コントロールレジスタ 0	SSICR0	H'0000 0000	保持	保持	保持	保持
	ステータスレジスタ 0	SSISR0	H'xxxx xxxx	保持	保持	保持	保持
	トランスミットデータレジスタ 0	SSITDR0	H'0000 0000	保持	保持	保持	保持
	レシーブデータレジスタ 0	SSIRDR0	H'0000 0000	保持	保持	保持	保持
1	コントロールレジスタ 1	SSICR1	H'0000 0000	保持	保持	保持	保持
	ステータスレジスタ 1	SSISR1	H'xxxx xxxx	保持	保持	保持	保持
	トランスミットデータレジスタ 1	SSITDR1	H'0000 0000	保持	保持	保持	保持
	レシーブデータレジスタ 1	SSIRDR1	H'0000 0000	保持	保持	保持	保持
2	コントロールレジスタ 2	SSICR2	H'0000 0000	保持	保持	保持	保持
	ステータスレジスタ 2	SSISR2	H'xxxx xxxx	保持	保持	保持	保持
	トランスミットデータレジスタ 2	SSITDR2	H'0000 0000	保持	保持	保持	保持
	レシーブデータレジスタ 2	SSIRDR2	H'0000 0000	保持	保持	保持	保持
3	コントロールレジスタ 3	SSICR3	H'0000 0000	保持	保持	保持	保持
	ステータスレジスタ 3	SSISR3	H'xxxx xxxx	保持	保持	保持	保持
	トランスミットデータレジスタ 3	SSITDR3	H'0000 0000	保持	保持	保持	保持
	レシーブデータレジスタ 3	SSIRDR3	H'0000 0000	保持	保持	保持	保持

28.3.1 コントロールレジスタ (SSICR)

SSICR は、読み出し / 書き込み可能な 32 ビットのレジスタで、割り込みの制御、各極性の状態の選択、動作モードの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	DMEN	UIEN	OIEN	IEN	DIEN	CHNL ₁	CHNL ₀	DWL2	DWL1	DWL0	SWL2	SWL1	SWL0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	BREN	CKDV ₂	CKDV ₁	CKDV ₀	MUEN	CPEN	TRMD	EN
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出し値は 0 です。書き込む値は常に 0 にしてください。
28	DMEN	0	R/W	DMA イネーブル DMA 要求を許可 / 禁止します。 0 : DMA 要求を禁止 1 : DMA 要求を許可
27	UIEN	0	R/W	アンダフロー割り込みイネーブル 0 : アンダフロー割り込みを禁止 1 : アンダフロー割り込みを許可
26	OIEN	0	R/W	オーバフロー割り込みイネーブル 0 : オーバフロー割り込みを禁止 1 : オーバフロー割り込みを許可
25	IEN	0	R/W	アイドルモード割り込みイネーブル 0 : アイドルモード割り込みを禁止 1 : アイドルモード割り込みを許可
24	DIEN	0	R/W	データ割り込みイネーブル 0 : データ割り込みを禁止 1 : データ割り込みを許可
23	CHNL1	0	R/W	チャンネル 各システムワードのチャンネル数を示します。CPEN = 1 のとき、これらのビットは無視されます。 00 : 各システムワードは 1 チャンネルで構成されています。 01 : 各システムワードは 2 チャンネルで構成されています。 10 : 各システムワードは 3 チャンネルで構成されています。 11 : 各システムワードは 4 チャンネルで構成されています。
22	CHNL0	0	R/W	

ビット	ビット名	初期値	R/W	説 明
21	DWL2	0	R/W	データワード長 データワードのビット数を示します。CPEN=1 のとき、これらのビットは無視 されます。 000 : 8 ビット 001 : 16 ビット 010 : 18 ビット 011 : 20 ビット 100 : 22 ビット 101 : 24 ビット 110 : 32 ビット 111 : 設定禁止
20	DWL1	0	R/W	
19	DWL0	0	R/W	
18	SWL2	0	R/W	システムワード長 システムワードのビット数を示します。CPEN=1 のとき、これらのビットは無 視されます。 000 : 8 ビット 001 : 16 ビット 010 : 24 ビット 011 : 32 ビット 100 : 48 ビット 101 : 64 ビット 110 : 128 ビット 111 : 256 ビット
17	SWL1	0	R/W	
16	SWL0	0	R/W	
15	SCKD	0	R/W	シリアルビットクロック方向 0 : シリアルビットクロック入力、スレーブモード 1 : シリアルビットクロック出力、マスタモード
14	SWSD	0	R/W	シリアル WS 方向 0 : シリアルワード選択入力、スレーブモード 1 : シリアルワード選択出力、マスタモード

ビット	ビット名	初期値	R/W	説明															
13	SCKP	0	R/W	<p>シリアルビットクロック極性</p> <p>0: SSI_WS と SSI_SDATA は SSI_SCK の立ち下がりエッジで変化 (SCK 立ち上がりエッジでサンプリング)</p> <p>1: SSI_WS と SSI_SDATA は SSI_SCK の立ち上がりエッジで変化 (SCK 立ち下がりエッジでサンプリング)</p> <table border="1"> <thead> <tr> <th></th> <th>SCKP = 0</th> <th>SCKP = 1</th> </tr> </thead> <tbody> <tr> <td>受信時 (TRMD = 0) SSI_SDATA 入力サンプリングタイミング</td> <td>SSI_SCK 立ち上がりエッジ</td> <td>SSI_SCK 立ち下がりエッジ</td> </tr> <tr> <td>送信時 (TRMD = 1) SSI_SDATA 出力変化タイミング</td> <td>SSI_SCK 立ち下がりエッジ</td> <td>SSI_SCK 立ち上がりエッジ</td> </tr> <tr> <td>スリープモード時 (SWSD = 0) SSI_WS 入力サンプリングタイミング</td> <td>SSI_SCK 立ち上がりエッジ</td> <td>SSI_SCK 立ち下がりエッジ</td> </tr> <tr> <td>マスタモード時 (SWSD = 1) SSI_WS 出力変化タイミング</td> <td>SSI_SCK 立ち下がりエッジ</td> <td>SSI_SCK 立ち上がりエッジ</td> </tr> </tbody> </table>		SCKP = 0	SCKP = 1	受信時 (TRMD = 0) SSI_SDATA 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ	送信時 (TRMD = 1) SSI_SDATA 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ	スリープモード時 (SWSD = 0) SSI_WS 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ	マスタモード時 (SWSD = 1) SSI_WS 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ
	SCKP = 0	SCKP = 1																	
受信時 (TRMD = 0) SSI_SDATA 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ																	
送信時 (TRMD = 1) SSI_SDATA 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ																	
スリープモード時 (SWSD = 0) SSI_WS 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ																	
マスタモード時 (SWSD = 1) SSI_WS 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ																	
12	SWSP	0	R/W	<p>シリアル WS 極性</p> <p>このビットの機能は SSI モジュールが非圧縮モードか圧縮モードであるかによって異なります。</p> <p>[CPEN = 0 (非圧縮モード) のとき]</p> <p>0: SSI_WS は第 1 システムワードではローレベル、第 2 システムワードではハイレベル</p> <p>1: SSI_WS は第 1 システムワードではハイレベル、第 2 システムワードではローレベル</p> <p>[CPEN = 1 (圧縮モード) のとき]</p> <p>0: SSI_WS はアクティブハイフロー制御。つまり、WS がハイレベルのときデータは転送され、WS がローレベルのときデータは転送されません。</p> <p>1: SSI_WS はアクティブローフロー制御。つまり、WS がローレベルのときデータは転送され、WS がハイレベルのときデータは転送されません。</p> <p>【注】 EN=1 のときに変更しないでください。</p>															
11	SPDP	0	R/W	<p>シリアルパディング極性</p> <p>CPEN = 1 のとき、このビットは無視されます。</p> <p>0: パディングビットはローレベル</p> <p>1: パディングビットはハイレベル</p> <p>MUEN=1 のとき、パディングビットはローレベルになります。(MUTE 機能が優先されます)</p>															
10	SDTA	0	R/W	<p>シリアルデータアラインメント</p> <p>CPEN = 1 のとき、このビットは無視されます。</p> <p>0: シリアルデータ、パディングビットの順に送受信</p> <p>1: パディングビット、シリアルデータの順に送受信</p>															

ビット	ビット名	初期値	R/W	説明
9	PDTA	0	R/W	<p>パラレルデータアラインメント</p> <p>CPEN=1 のとき、このビットは無視されます。データワード長が 32、16、8 ビット のとき、このビットは意味を持ちません。</p> <p>このビットは、受信モード時の SSIRDR と送信モード時の SSITDR に適用します。</p> <p>0 : パラレルデータ (SSITDR、SSIRDR) を左詰め 1 : パラレルデータ (SSITDR、SSIRDR) を右詰め</p> <ul style="list-style-type: none"> • DWL = 000 (データワード長 8 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。各 32 ビットアクセスには 4 データワードが送受信されます。ビット 7~0 には第 1 のデータワード、ビット 15~8 には第 2 のデータワード、ビット 23~16 には第 3 のデータワード、そしてビット 31~24 には第 4 のデータワードが格納されています。 • DWL = 001 (データワード長 16 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。各 32 ビットアクセスには 2 データワードが送受信されます。ビット 15~0 には第 1 のデータワード、そしてビット 31~16 には第 2 のデータワードが格納されています。 • DWL = 010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA = 0 (左詰め) SSIRDR か SSITDR のデータビットで使用されるのは以下のビットです。 ビット 31~ビット (32 - DWL によって設定されたデータワード長のビット数) つまり、DWL = 011 のとき、データワード長は 20 ビットになり、SSIRDR か SSITDR のビット 31~12 が使用されます。他のすべてのビットは無視されるカリザービットになります。 • DWL = 010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA = 1 (右詰め) SSIRDR か SSITDR のデータビットで使用されるのは以下のビットです。 ビット (DWL によって設定されたデータワード長のビット数 - 1) ~ ビット 0 つまり、DWL = 011 のとき、データワード長は 20 ビットになり、SSIRDR か SSITDR のビット 19~0 が使用されます。他のすべてのビットは無視されるカリザービットになります。 • DWL = 110 (データワード長 32 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。
8	DEL	0	R/W	<p>シリアルデータディレイ</p> <p>CPEN=1 のとき、このビットは 1 にセットしてください。</p> <p>0 : SSL_WS と SSI_SDATA 間で 1 クロックサイクルの遅延 1 : SSL_WS と SSI_SDATA 間の遅延なし</p>

ビット	ビット名	初期値	R/W	説明
7	BREN	0	R/W	<p>バーストモードイネーブル</p> <p>0: バーストモードを禁止 1: バーストモードを許可</p> <p>CPEN=0 のとき、このビットは0 にセットしてください。</p> <p>バーストモードは圧縮モード (CPEN=1) かつトランスミットモードでのみ使用可能です。バーストモードが許可されているとき、SSI_SCK 信号は出力制御されます。SSI_SDATA に有効なシリアルデータが出力されている期間中のみクロックパルスを出します。</p>
6~4	CKDV2	0	R/W	<p>シリアルオーバーサンプルクロック分周比</p> <p>オーバーサンプルクロック (SSI_CLK) とシリアルビットクロック (SSI_SCK) の分周比を設定します。SCKD=0 のとき、このビットは無視されます。</p> <p>シリアルビットクロックはシフトレジスタで使われ、SSI_SCK 端子から供給されます。</p> <p>000: シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 1 001: シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 2 010: シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 4 011: シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 8 100: シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 16 101: シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 6 110: シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 12 111: 設定禁止</p>
	CKDV1	0	R/W	
	CKDV0	0	R/W	
3	MUEN	0	R/W	<p>シリアルデータ出力ディセーブルビット</p> <p>0: SSI モジュールはミュート状態でない 1: SSI モジュールはミュート状態</p> <p>【注】 本ビットは、出力を停止 (Low 出力) または、出力を許可することができますが、SSI_WS 信号の変化には同期していません。</p>
2	CPEN	0	R/W	<p>圧縮モードイネーブル</p> <p>0: 圧縮モードを禁止 1: 圧縮モードを許可</p> <p>【注】 圧縮モード (CPEN=1) の場合、スレーブトランスミッタ (SWSD=0 かつ TRMD=1) 以外の動作でご使用ください。 また、EN=1 のときに変更しないでください。</p>

ビット	ビット名	初期値	R/W	説明
1	TRMD	0	R/W	送信 / 受信モード選択 0 : SSI モジュールは受信モード 1 : SSI モジュールは送信モード
0	EN	0	R/W	SSI モジュールイネーブル 0 : SSI モジュール動作を禁止 1 : SSI モジュール動作を許可

28.3.2 ステータスレジスタ (SSISR)

SSISR は、SSI モジュールの動作状態を示すステータスフラグと、現在のチャンネル番号とワード番号を示すビットで構成されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	DMRQ	UIRQ	OIRQ	IIRQ	DIRQ	—	—	—	—	—	—	—	—
初期値 :	—	—	—	0	0	0	0	0	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R/W*	R/W*	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CHNO ₁	CHNO ₀	SWNO	IDST
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	0	0	1	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	-	0または1	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
28	DMRQ	0	R	DMA 要求ステータスフラグ 本ステータスフラグにより、CPU は SSI モジュールの DMA リクエストの状態を知ることができます。 [TRMD = 0 (受信モード) のとき] <ul style="list-style-type: none"> DMRQ = 1 のとき、SSIRDR に未読データがあります。 SSIRDR が読み出された場合、次の SSIRDR に次の未読データが書き込まれるまで DMRQ = 0 になります。 [TRMD = 1 (送信モード) のとき] <ul style="list-style-type: none"> DMRQ = 1 のとき、SSITDR は、シリアルオーディオバス上の送信を継続できるようにデータの DMAC に対して書き込みを要求します。 SSITDR にデータが書き込まれた場合、次の送信データの要求があるまで DMRQ = 0 になります。

ビット	ビット名	初期値	R/W	説明
27	UIRQ	0	R/W*	<p>アンダフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより低いレートでデータが供給されたことを示します。</p> <p>このビットは、UIEN ビットの設定にかかわらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>UIRQ = 1 かつ UIEN = 1 のとき、割り込みが発生します。</p> <p>[TRMD = 0 (受信モード) のとき]</p> <p>UIRQ = 1 のとき、DMRQ や DIRQ ビットが新しい未読データの存在を示す前に、SSIRDR が読み出されたことを示しています。このとき、同じ受信データがホストによって 2 回格納される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p> <p>[TRMD = 1 (送信モード) のとき]</p> <p>UIRQ = 1 のとき、送信する前に SSITDR に送信データが書き込まれなかったことを示しています。これにより同じデータが 1 回多く送信される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。結果として間違った SSI データが出力されるため、このエラーは、受信モードのアンダフローより深刻です。</p> <p>【注】 アンダフローエラーが発生すると、次のデータが書き込まれるまで、データバッファ中にあるデータが送信されます。</p>
26	OIRQ	0	R/W*	<p>オーバフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより高いレートでデータが供給されたことを示します。</p> <p>このビットは OIEN ビットの設定にかかわらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>OIRQ = 1 かつ OIEN = 1 のとき、割り込みが発生します。</p> <p>[TRMD = 0 (受信モード) のとき]</p> <p>OIRQ = 1 のとき、SSIRDR に、新しい未読データが書き込まれる前に以前の未読データが読み出されなかったことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p> <p>[TRMD = 1 (送信モード) のとき]</p> <p>OIRQ = 1 のとき、SSITDR 中のデータがシフトレジスタに転送される前に SSITDR にデータが書き込まれたことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p> <p>【注】 オーバフローエラーが発生すると、データバッファ中にあるデータは、SSI インタフェースから送られてくる次のデータに上書きされません。</p>

ビット	ビット名	初期値	R/W	説明
25	IIRQ	0	R	<p>アイドルモード割り込みステータスフラグ</p> <p>本ステータスフラグは SSI モジュールがアイドル状態であるかどうかを示します。ポーリングを可能にするため、このビットは、I IEN ビットの設定にかかわらず 1 にセットされます。</p> <p>割り込みは、I IEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んで割り込みをクリアできません。</p> <p>I IIRQ = 1 かつ I IEN = 1 のとき、割り込みが発生します。</p> <p>0 : SSI モジュールはアイドル状態でない 1 : SSI モジュールはアイドル状態</p> <p>アイドル状態とは SSI モジュール起動した後、シリアルバスが停止した状態を示します。</p>
24	DIRQ	0	R	<p>データ割り込みステータスフラグ</p> <p>本ステータスフラグは SSI モジュールがデータの読み出しが書き込みを必要としていることを示します。</p> <p>ポーリングを可能にするため、このビットは、D IEN ビットの設定にかかわらず 1 にセットされます。</p> <p>割り込みは、D IEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んで割り込みをクリアできません。</p> <p>D IIRQ = 1 かつ D IEN = 1 のとき、割り込みが発生します。</p> <p>[TRMD = 0 (受信モード) のとき]</p> <p>0 : SSIRDR に未読データなし 1 : SSIRDR に未読データあり</p> <p>[TRMD = 1 (送信モード) のとき]</p> <p>0 : 送信バッファはフル 1 : 送信バッファは空のため SSITDR へのデータ書き込みを要求しています</p>
23-4	-	0または1	R	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
3 2	CHNO1 CHNO0	0 0	R R	<p>チャンネル番号</p> <p>現在のチャンネルを示します。なお、データワード長が 8、16 ビットの場合は、このビットは意味を持ちません。</p> <p>00 : 1 チャンネル 01 : 2 チャンネル 10 : 3 チャンネル 11 : 4 チャンネル</p> <p>[TRMD = 0 (受信モード) のとき]</p> <p>このビットは、SSIRDR 内の現在のデータがどのチャンネルのものかをあらわします。シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。</p> <p>[TRMD = 1 (送信モード) のとき]</p> <p>このビットは、SSITDR にどのチャンネルのデータを書き込むべきかをあらわします。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかにかかわらず、この値は変化します。</p>
1	SWNO	1	R	<p>シリアルワード番号</p> <p>現在のワード番号を示します。なお、データワード長が 8、16 ビットの場合は、このビットは意味を持ちません。</p> <p>[TRMD = 0 (受信モード) のとき]</p> <p>このビットは、SSIRDR 内の現在のデータがどちらのシステムワードであるかをあらわします。SSIRDR が読み出されたかどうかにかかわらず、シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。</p> <p>[TRMD = 1 (送信モード) のとき]</p> <p>このビットは、SSITDR にどちらのシステムワードを書き込むべきかをあらわします。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかにかかわらず、この値は変化します。</p>

ビット	ビット名	初期値	R/W	説明
0	IDST	0または1	R	<p>アイドルモードステータスフラグ</p> <p>本ステータスフラグはシリアルバスが停止した状態であることを示します。EN = 1 かつシリアルバスが動作中のとき、このビットはクリアされます。このビットは以下の条件のときに自動的に 1 にセットされます。</p> <p>[SSI がマスタトランスミッタ (SWSD = 1 かつ TRMD = 1) のとき]</p> <p>システムワード中送信すべきデータがすべて SSITDR に書き込まれた後で、EN ビットをクリアして現在出力中のシステムワードを終了すると、このビットは 1 にセットされます。</p> <p>[SSI がマスタレシーバ (SWSD = 1 かつ TRMD = 0) のとき]</p> <p>EN ビットがクリアされ、現在のシステムワードが終了すると、このビットは 1 にセットされます。</p> <p>[SSI がスレーブトランスミッタ / レシーバ (SWSD = 0) のとき]</p> <p>EN ビットがクリアされ、現在のシステムワードが終了すると、このビットは 1 にセットされます。</p> <p>【注】 現在のシステムワードが終了する前に外部デバイスがシリアルバスクロックを停止すると、このビットはセットされません。</p>

【注】 * 読み出し / 書き込み可能。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

28.3.3 トランスミットデータレジスタ (SSITDR)

SSITDR は、32 ビットのレジスタで、送信するデータを格納します。

本レジスタに書き込まれたデータは、送信の要求があると、シフトレジスタに転送されます。データワード長が 32 ビット未満のとき、アラインメントは SSICR の PDTA コントロールビットの設定に従って行われます。

本レジスタを読むことで、バッファ内のデータが得られます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

28.3.4 レシーブデータレジスタ (SSIRD)

SSIRD は、32 ビットのレジスタで、受信したデータを格納します。

本レジスタのデータは、データワードが受信されるごとにシフトレジスタから転送されます。データワード長が 32 ビット未満のとき、アラインメントは SSICR の PDTA コントロールビットの設定に従って行われます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

28.4 動作説明

28.4.1 バスフォーマット

SSI モジュールは、トランスミッタとレシーバのいずれとしても動作でき、どちらのモードにおいても、多くのシリアルバスフォーマットを使用できます。

バスフォーマットは表 28.3 に示す 8 つの主要なモードから選択できます。

表 28.3 SSI モジュールのバスフォーマット

バスフォーマット	TRMD	CPEN	SCKD	SWSD	EN	MUEN	DIEN	IEN	OIEN	UIEN	DEL	PDTA	SDTA	SPDP	SWSP	SCKP	SWL[2:0]	DWL[2:0]	CHNL[1:0]
非圧縮スレーブレシーバ	0	0	0	0	コントロールビット					コンフィギュレーションビット									
非圧縮スレープトランスミッタ	1	0	0	0															
非圧縮マスタレシーバ	0	0	1	1															
非圧縮マスタトランスミッタ	1	0	1	1															
圧縮スレーブレシーバ	0	1	0/1	0	コントロールビット					無視されます		コンフィ ギュレー ション ビット		無視されます					
圧縮マスタレシーバ	0	1	0/1	1															
圧縮マスタトランスミッタ	1	1	0/1	1															

28.4.2 非圧縮モード

非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。Philips、Sony または松下モードだけでなく、多数の改良版にも対応しています。

(1) スレーブレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(2) スレープトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(3) マスタレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。クロックとワード選択信号は SSI_CLK 入力クロックから内部生成されます。これらの信号のフォーマットは SSI モジュールの設定に従います。別デバイスから送信されるデータが、設定されたフォーマットと一致しないとき、動作は保証されません。

(4) マスタトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。クロックとワード選択信号は SSI_CLK 入力クロックから内部生成されます。これらの信号のフォーマットは SSI モジュールのコンフィギュレーションビットの設定に従います。

(5) 動作設定 (ワード長関連)

非圧縮モードでは、SSICR のワード長に関するすべてのビットが有効です。SSI モジュールは多数のコンフィギュレーションをサポートできますが、ここでは Philips、Sony、松下のフォーマットについて説明します。

1. Philipsフォーマット

図 28.2 と図 28.3 に、パディングありとパディングなしの Philips フォーマットをそれぞれ示します。データワード長がシステムワード長より短いときにパディングが発生します。

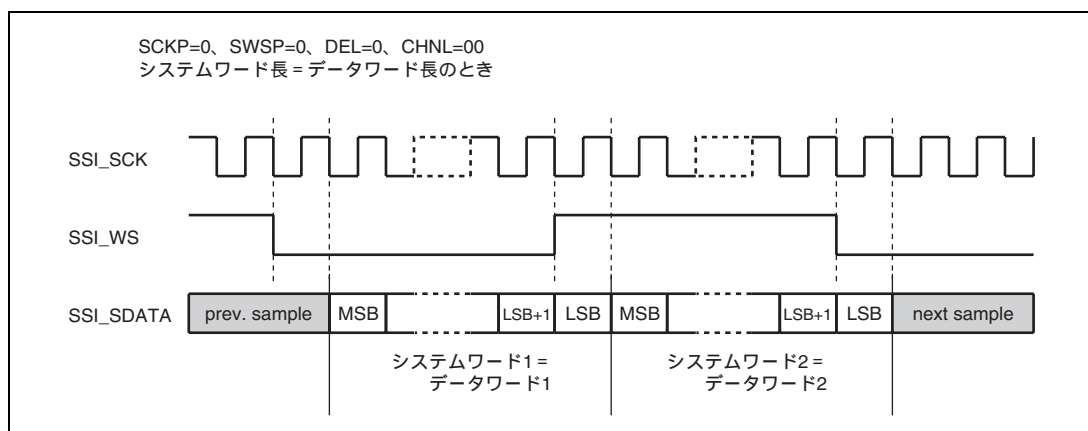


図 28.2 Philips フォーマット (パディングなし)

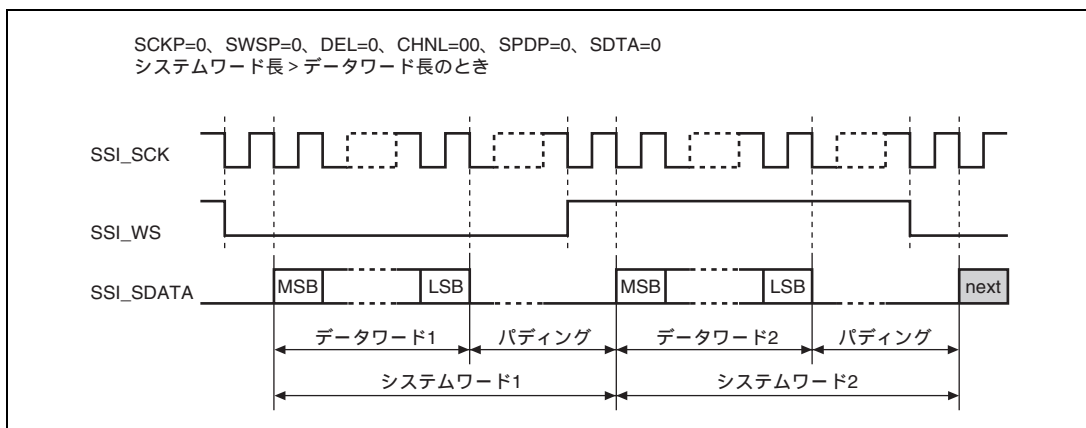


図 28.3 Philips フォーマット (パディングあり)

図 28.4 に Sony フォーマットを、図 28.5 に松下のフォーマットを示します。2 つともパディングありの例ですが、システムワード長とデータワード長が同じだった場合はパディングなしとなることもあります。

2. Sony フォーマット

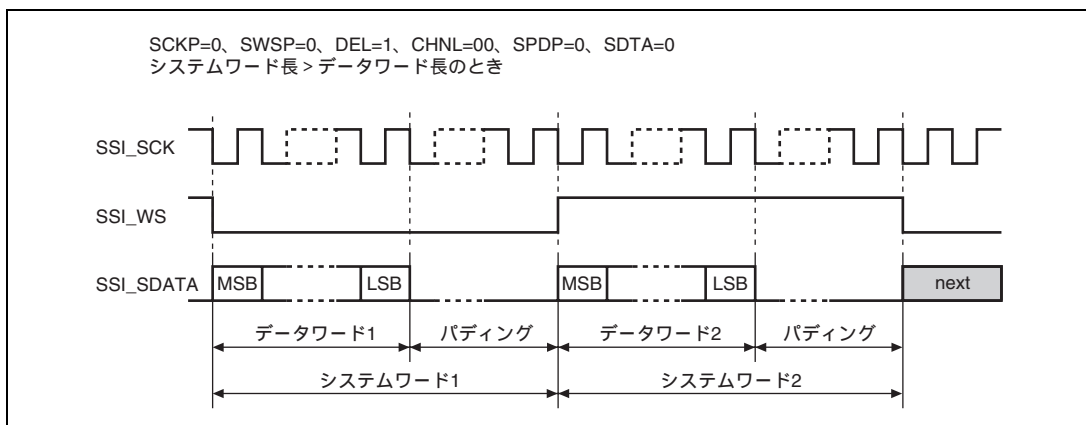


図 28.4 Sony フォーマット (シリアルデータ、パディングビットの順に送受信)

3. 松下フォーマット

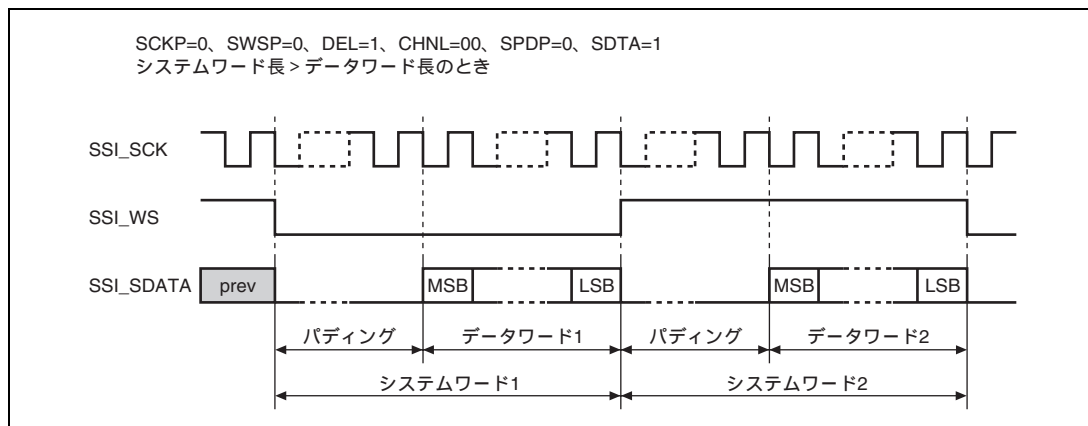


図 28.5 松下フォーマット (パディングビット、シリアルデータの順に送受信)

(6) マルチチャンネルフォーマット

Philips 仕様の定義を拡張し、2システムワード中に2より多いチャンネルの転送を行うデバイスタイプもあります。

SSI モジュールは、CHNL、SWL および DWL ビットを使って、4、6、および 8 チャンネルの転送を実行します。ただし、システムワード長 (SWL) が、データワード長 (DWL) にチャンネル数 (CHNL) を掛けたもの以上の長さの場合に限ります。

表 28.4 に有効な設定とパディングビット数を示します。有効ではない設定には数字の代わりに「-」が記入されています。

表 28.4 有効な設定とパディングビット数

システムワードごとのパディングビット数			DWL[2:0]	000	001	010	011	100	101	110
CHNL [1:0]	システムワードごとに デコードされるチャンネル	SWL [2:0]	デコードされた ワード長	8	16	18	20	22	24	32
00	1	000	8	0	-	-	-	-	-	-
		001	16	8	0	-	-	-	-	-
		010	24	16	8	6	4	2	0	-
		011	32	24	16	14	12	10	8	0
		100	48	40	32	30	28	26	24	16
		101	64	56	48	46	44	42	40	32
		110	128	120	112	110	108	106	104	96
		111	256	248	240	238	236	234	232	224

システムワードごとのパディングビット数			DWL[2 : 0]	000	001	010	011	100	101	110
CHNL [1 : 0]	システムワードごとに デコードされるチャンネル	SWL [2 : 0]	デコードされた ワード長	8	16	18	20	22	24	32
01	2	000	8	-	-	-	-	-	-	-
		001	16	0	-	-	-	-	-	-
		010	24	8	-	-	-	-	-	-
		011	32	16	0	-	-	-	-	-
		100	48	32	16	12	8	4	0	-
		101	64	48	32	28	24	20	16	0
		110	128	112	96	92	88	84	80	64
		111	256	240	224	220	216	212	208	192
10	3	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	0	-	-	-	-	-	-
		011	32	8	-	-	-	-	-	-
		100	48	24	0	-	-	-	-	-
		101	64	40	16	10	4	-	-	-
		110	128	104	80	74	68	62	56	32
		111	256	232	208	202	196	190	184	160
11	4	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	-	-	-	-	-	-	-
		011	32	0	-	-	-	-	-	-
		100	48	16	-	-	-	-	-	-
		101	64	32	0	-	-	-	-	-
		110	128	96	64	56	48	40	32	0
		111	256	224	192	184	176	168	160	128

SSI モジュールがトランスミッタとして動作する場合、SSITDR に書き込まれた各ワードは書き込まれた順にシリアルオーディオバスに送信されます。SSI モジュールがレシーバとして動作する場合、シリアルオーディオバスが受信した各ワードは SSIRDR から受信した順に読み出されます。

図 28.6 ~ 図 28.8 に、4、6 および 8 チャンネルのデータがどのようにシリアルオーディオバスに転送されるかを示します。第 1 の例にはパディングビットがなく、第 2 の例は左詰め、そして第 3 の例は右詰めです。これらの例は、すべて任意の例です。

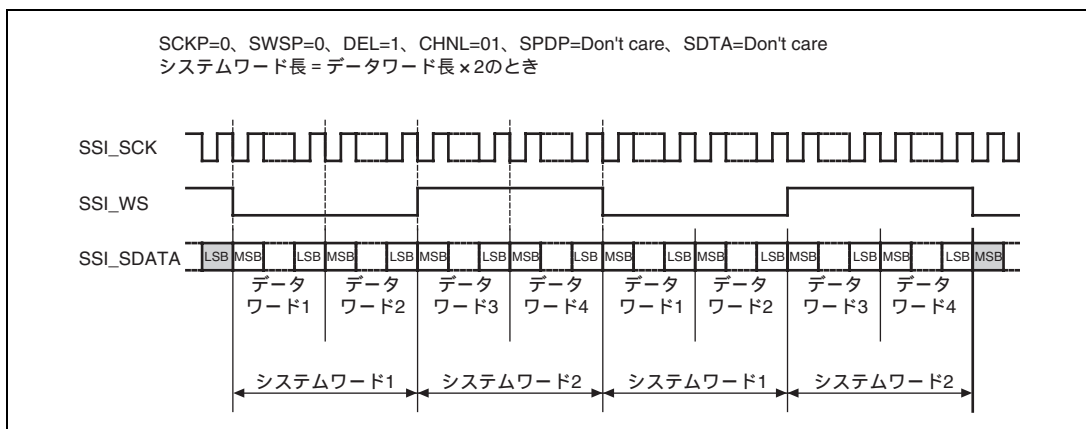


図 28.6 マルチチャンネルフォーマット (4チャンネル、パディングなし)

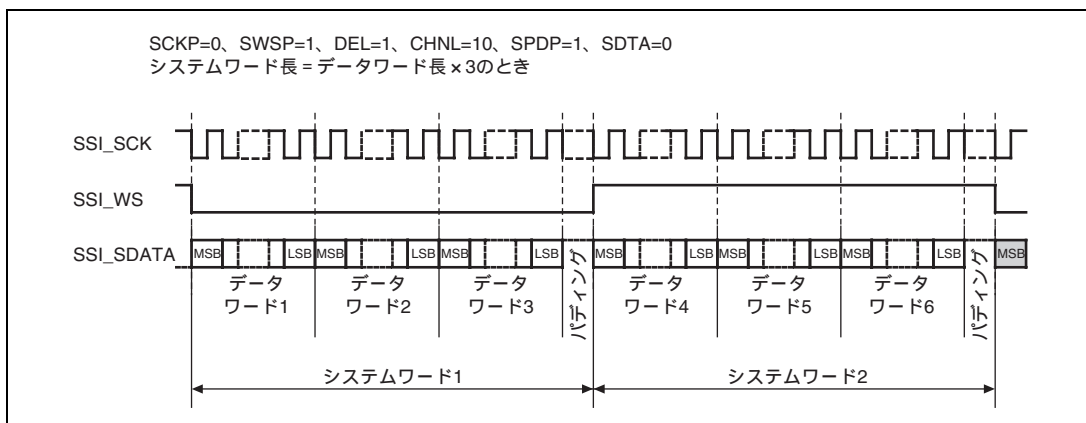
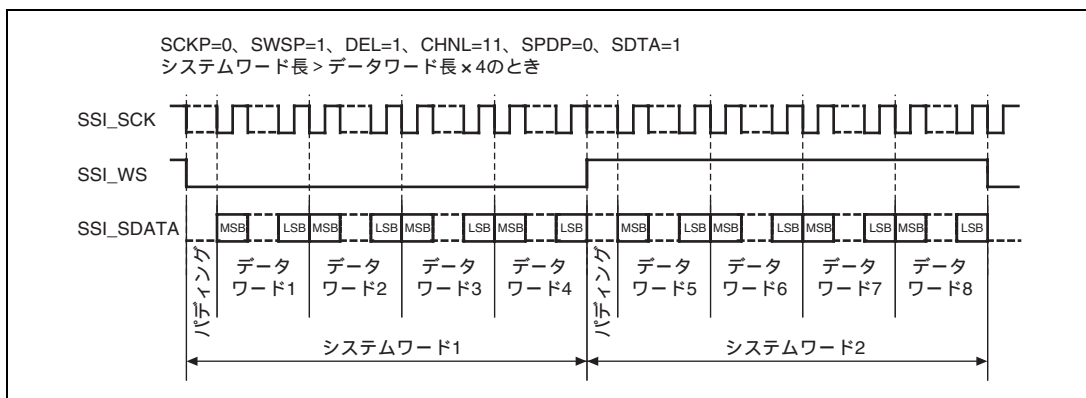


図 28.7 マルチチャンネルフォーマット (6チャンネル、High パディング)

図 28.8 マルチチャンネルフォーマット
(8チャンネル、シリアルデータ、パディングビットの順に送受信、パディングあり)

(7) 動作設定フォーマット設定ビット

非圧縮モードの他のコンフィギュレーションビットを以下に示します。これらのビットはお互いに排他的ではありませんが、組み合わせによっては実用でない設定があります。

図 28.9 の基本のフォーマット例を参照しながら、これらのコンフィギュレーションビットを以下に説明します。

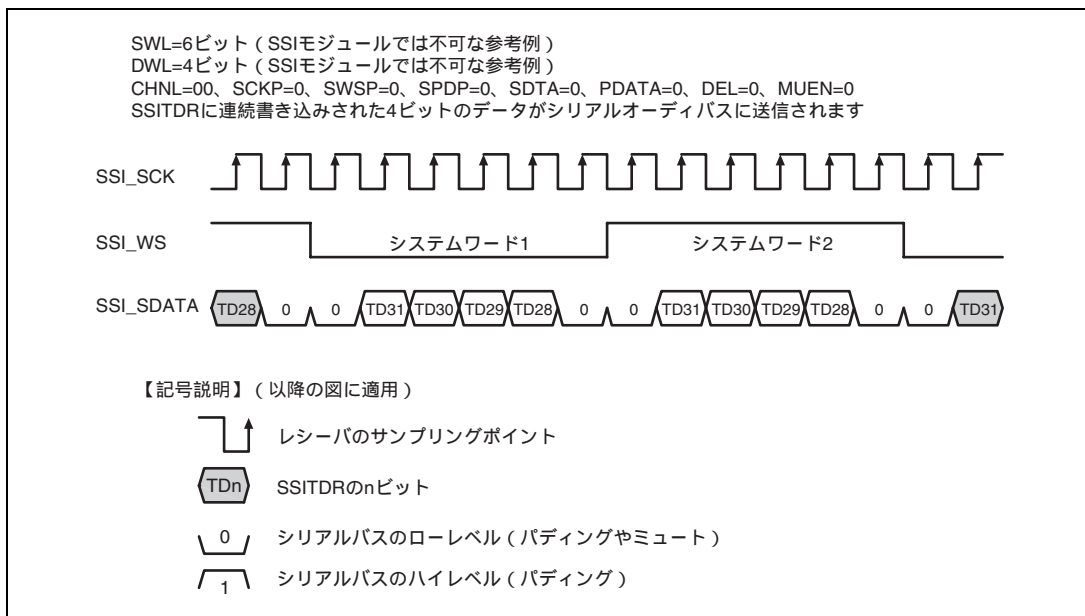


図 28.9 基本フォーマット例 (送信モード、任意のシステム/データワード長)

図 28.9 の例では、6ビットのシステムワードと4ビットのデータワードが使用されます。これらの設定は SSI モジュールでは実現不可能ですが、その他の設定ビットの説明のためにここでは例として用いています。

1. 反転クロック

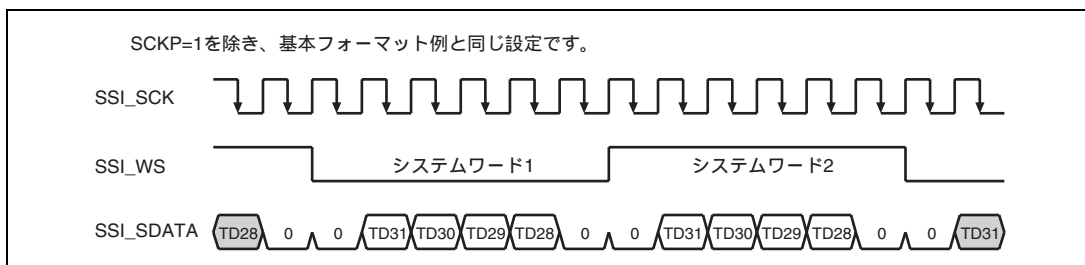


図 28.10 反転クロック

2. 反転ワード選択信号

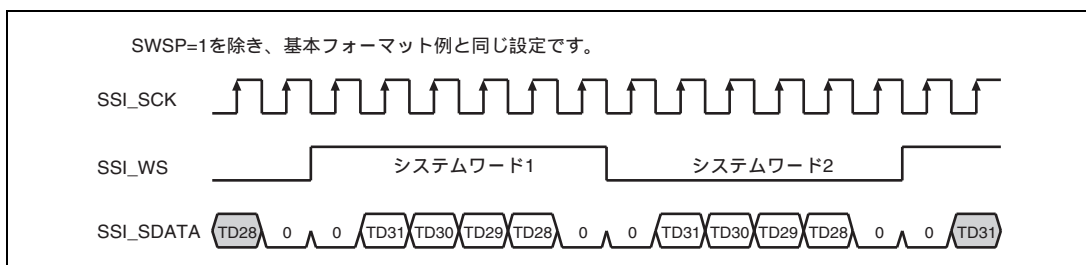


図 28.11 反転ワード選択信号

3. 反転パディング極性

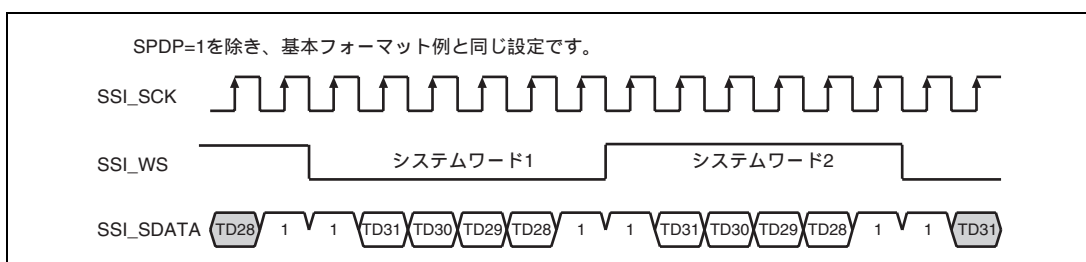


図 28.12 反転パディング極性

4. パディングビット、シリアルデータの順に送受信、遅延あり

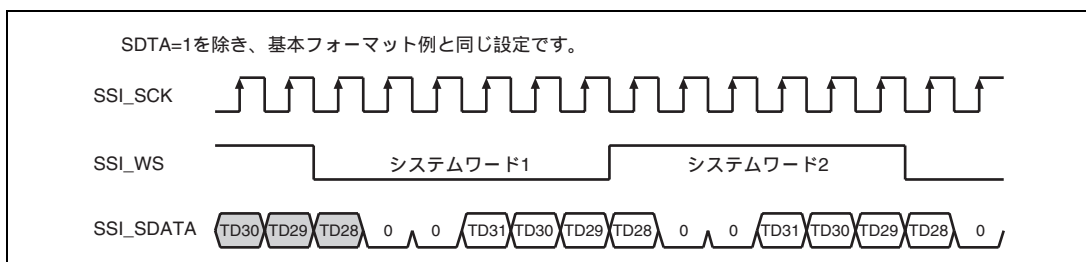


図 28.13 パディングビット、シリアルデータの順に送受信、遅延あり

5. パディングビット、シリアルデータの順に送受信、遅延なし

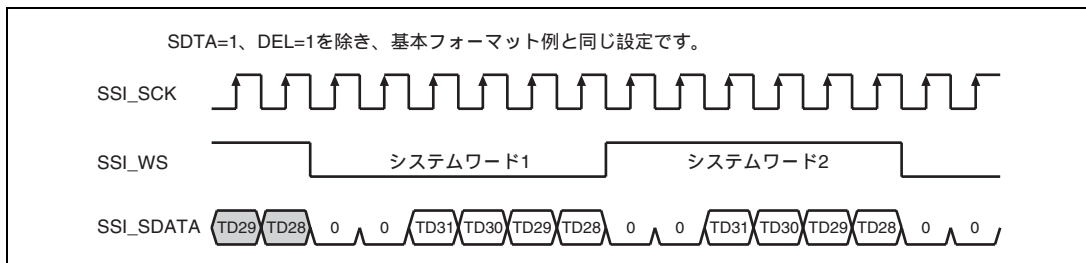


図 28.14 パディングビット、シリアルデータの順に送受信、遅延なし

6. シリアルデータ、パディングビットの順に送受信、遅延なし

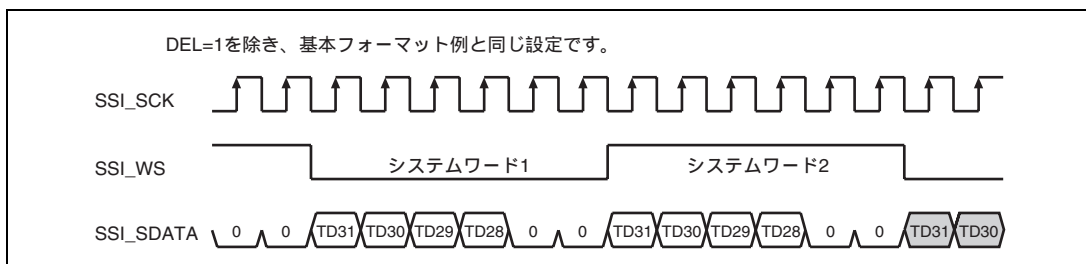


図 28.15 シリアルデータ、パディングビットの順に送受信、遅延なし

7. パラレルデータの右詰め、遅延あり

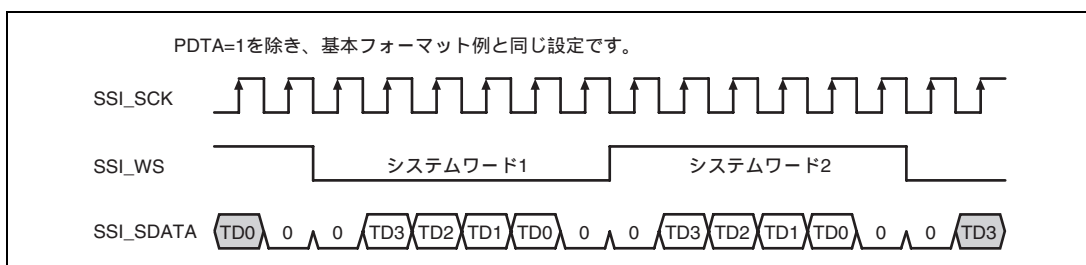


図 28.16 パラレルデータの右詰め、遅延あり

8. ミュート有効

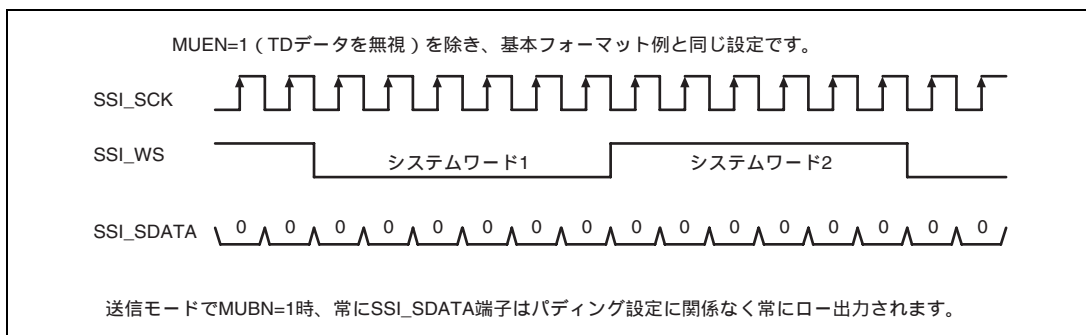


図 28.17 ミュート有効

28.4.3 圧縮モード

圧縮モードは、連続ビットストリームの転送に使用されます。このモードでは、受信側で圧縮されたビットストリームからデータを抽出する操作を必要とします。

バーストモード無効のとき、データワードという概念は存在しません。しかし、送信と受信を行うには、シリアルバスとメモリ間の転送が必要です。送信/受信時のワードバウンダリ設定は任意ですので、別の手段で処理しなくてはなりません。バーストモード有効時、送信されているデータビットは、出力するワードが存在するときのみシリアルビットクロック出力が有効であり、各 32 ビットワードを出力するのに必要なクロックパルス数しか生成されないことで認識されます。シリアルビットクロックは、SSICR.SCKP=0 のときローレベル、SSICR.SCKP=1 のときハイレベルで停止します。SSI モジュールがトランスミッタの場合にのみバーストモードは有効になるのでご注意ください。このモジュールはバーストモードデータを受信できません。

データの送信と受信は 32 ビットのブロック単位で行われ、メモリに保存する際には、最初に送信された/受信したビットがビット 31 になります。

非圧縮モードと違って、このモードでのワード選択端子からの出力はシステムワード開始信号ではなく、レシーバが次のデータバーストを受信できる状態にあることやトランスミッタが次のデータバーストを送信できる状態にあることを示すのに使用されます。

図 28.18 と図 28.19 では、バーストモード無効時と有効時の圧縮モードデータ転送をそれぞれ示します。

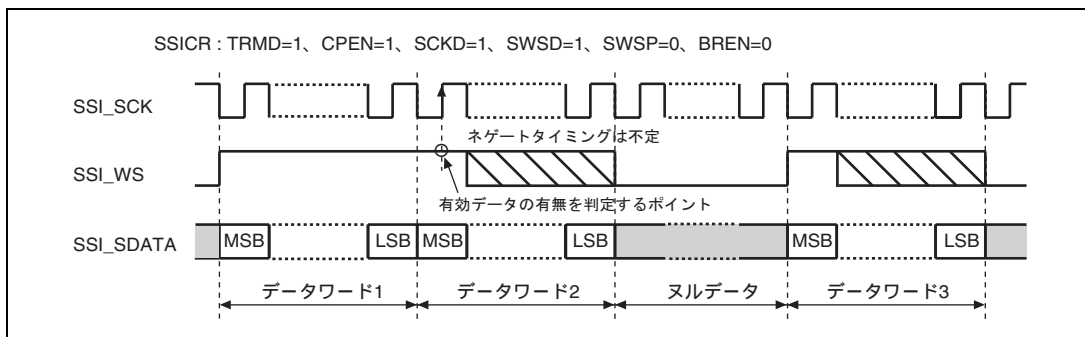


図 28.18 圧縮データフォーマット、マスタトランスミッタ、バーストモード無効

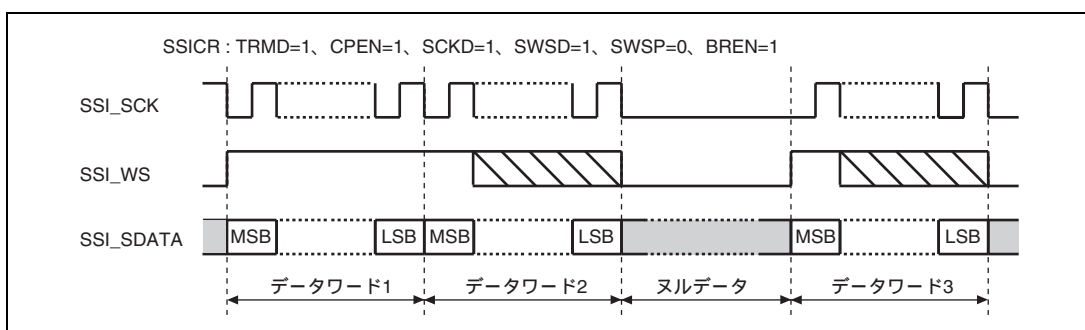


図 28.19 圧縮データフォーマット、マスタトランスミッタ、バーストモード有効

(1) スレーブレシーバ

このモードでは、別のデバイスからシリアルビットストリームを受信し、メモリに保存できます。シフトレジスタクロックは外部デバイスか内部クロックから供給されます。

ワード選択端子は入力フロー制御に使われます。SSICR.SWSP=0 のとき、SSI_WS がハイレベルなら、1 クロックサイクルに 1 データビットのタイミングで、32 ビットのブロック単位でビットストリームを受信します。SSI_WS がローレベルになった場合、現在の 32 ビットブロックが終了した時点で受信を停止します。SSI_WS が再びハイレベルになったときに受信を再開します。

(2) スレーブトランスミッタ

このモードは、使用しないでください。

(3) マスタレシーバ

このモードでは、別のデバイスからシリアルビットストリームを受信し、メモリに保存できます。シフトレジスタクロックは外部デバイスか内部クロックから供給されます。

ワード選択端子は出力フロー制御に使われます。データを続けて受信できることを示すために、ワード選択端子は常にアサートされています。データの損失が起きないタイミングで SSI モジュールにデータを送信するのは送信デバイスの責任です。

(4) マスタトランスミッタ

このモードでは、メモリから別のデバイスにシリアルビットストリームを転送できます。シフトレジスタクロックは外部デバイスか内部クロックから供給されます。

ワード選択端子は出力フロー制御に使われます。データを続けて送信することを示すために、ワード選択端子は常にアサートされています。ただし、ワード選択端子は最初のワードの転送準備ができるまではアサートされません。データの損失が起きないタイミングでシリアルデータを受信するのは受信デバイスの責任です。

データ転送用にコンフィギュレーションが終了したら、SSI モジュールは最小限の CPU とのやりとりで動作できます。CPU は、SSI モジュールと DMAC の設定をし、必要に応じてオーパフローやアンダフロー割り込みを処理します。

28.4.4 動作モード

コンフィギュレーション、有効および無効の 3 つの動作モードがあります。図 28.20 に動作モードの遷移図を示します。

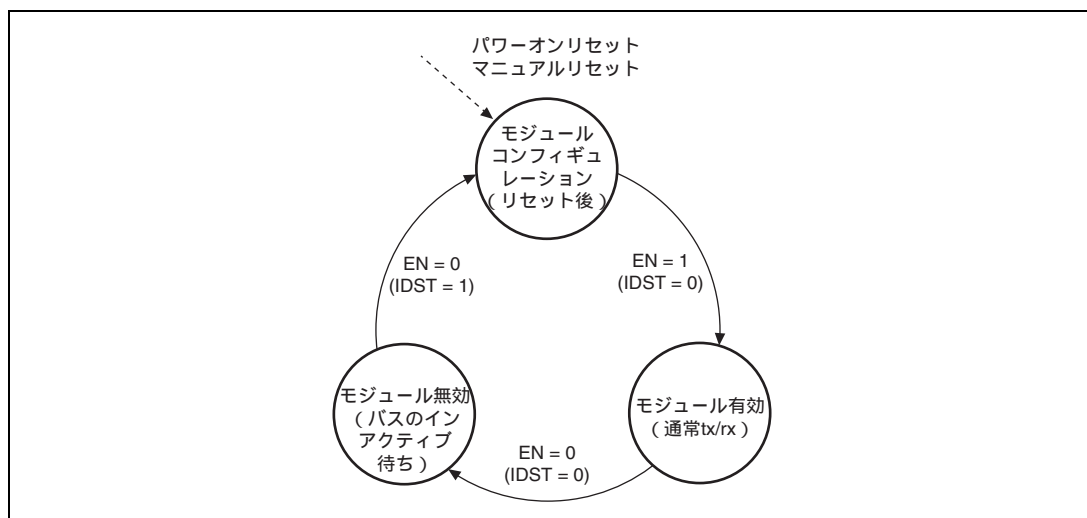


図 28.20 動作モード遷移図

(1) コンフィギュレーションモード

リセット解除後にこのモードになります。SSI モジュールが EN ビットのセットで有効になる前に、このモードでコントロールレジスタに必要な設定をする必要があります。

EN ビットをセットすると、SSI モジュールはモジュール有効モードに遷移します。

(2) モジュール有効モード

このモードの動作は選択された動作モードに依存しています。詳細については「28.4.5 送信動作」と「28.4.6 受信動作」を参照してください。

28.4.5 送信動作

送信は DMA が割り込みで制御できます。

CPU 負荷を低減するという点では、DMA 制御の方が優れています。DMA 制御モードでは、データのアンダフローやオーパフローの発生時、または DMAC の転送終了は、割り込みによって通知されます。

別の制御方法としては、必要に応じて SSI モジュールがデータ供給のために生成する割り込みを用いる方法があります。SSI モジュールは単にダブルバッファ構造であり、少なくともシステムワードごとにデータの書き込みを必要とするため、割り込み制御モードの方が高い負荷が生じます。

SSI モジュールを無効にする場合、IIRQ ビットが SSI のアイドル状態を示すまで SSI クロック*は供給され続けなければなりません。

図 28.21 に DMA 制御モードの送信動作を、図 28.22 に割り込み制御モードの送信動作を示します。

【注】 * SCKD = 0 のとき SSI_SCK 端子からの入力クロック
SCKD = 1 のとき SSI_CLK 端子からの入力クロック

(1) DMA コントローラを使用した送信

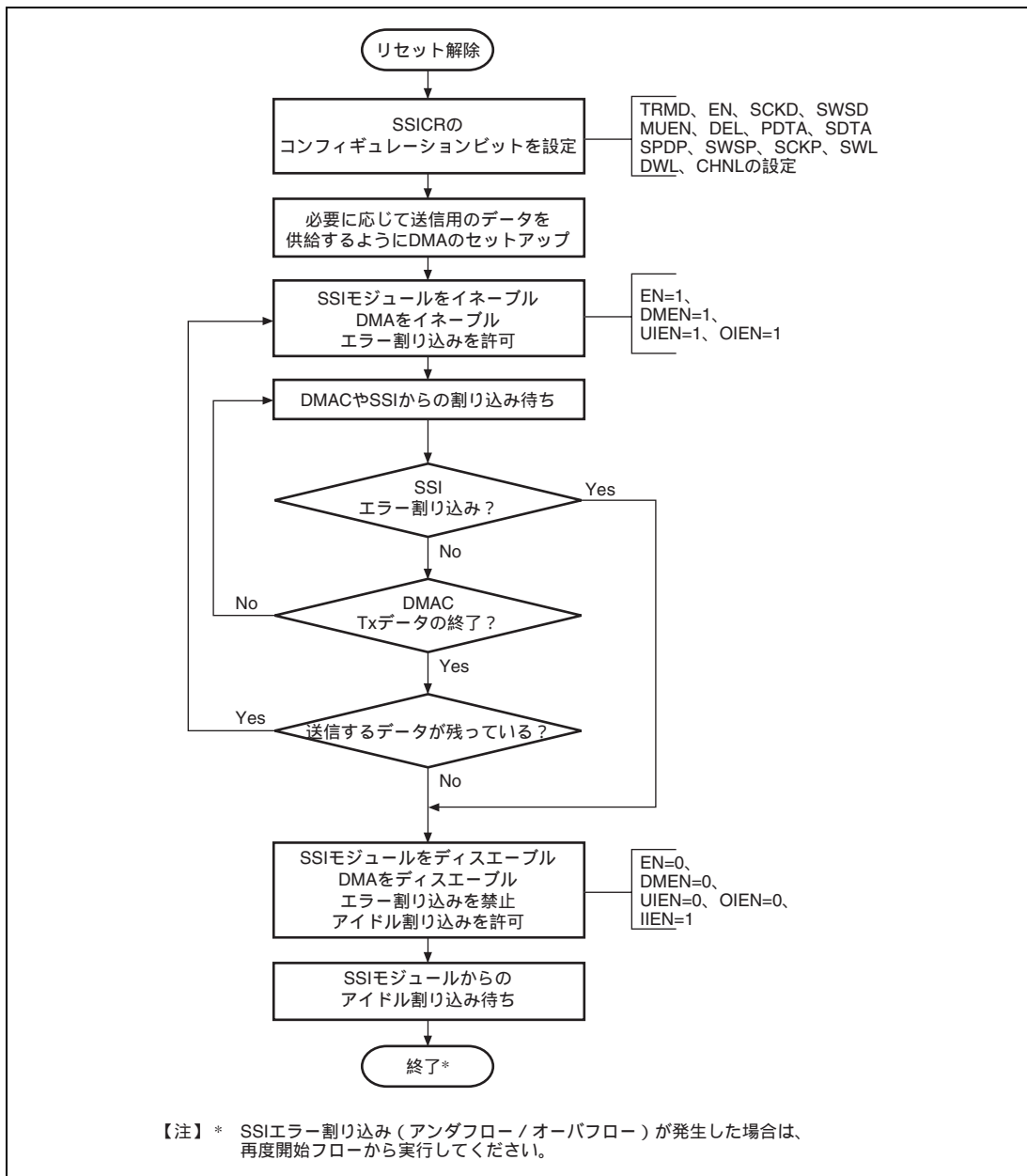


図 28.21 DMA コントローラを使用した送信

(2) 割り込みデータフロー制御を使用した送信

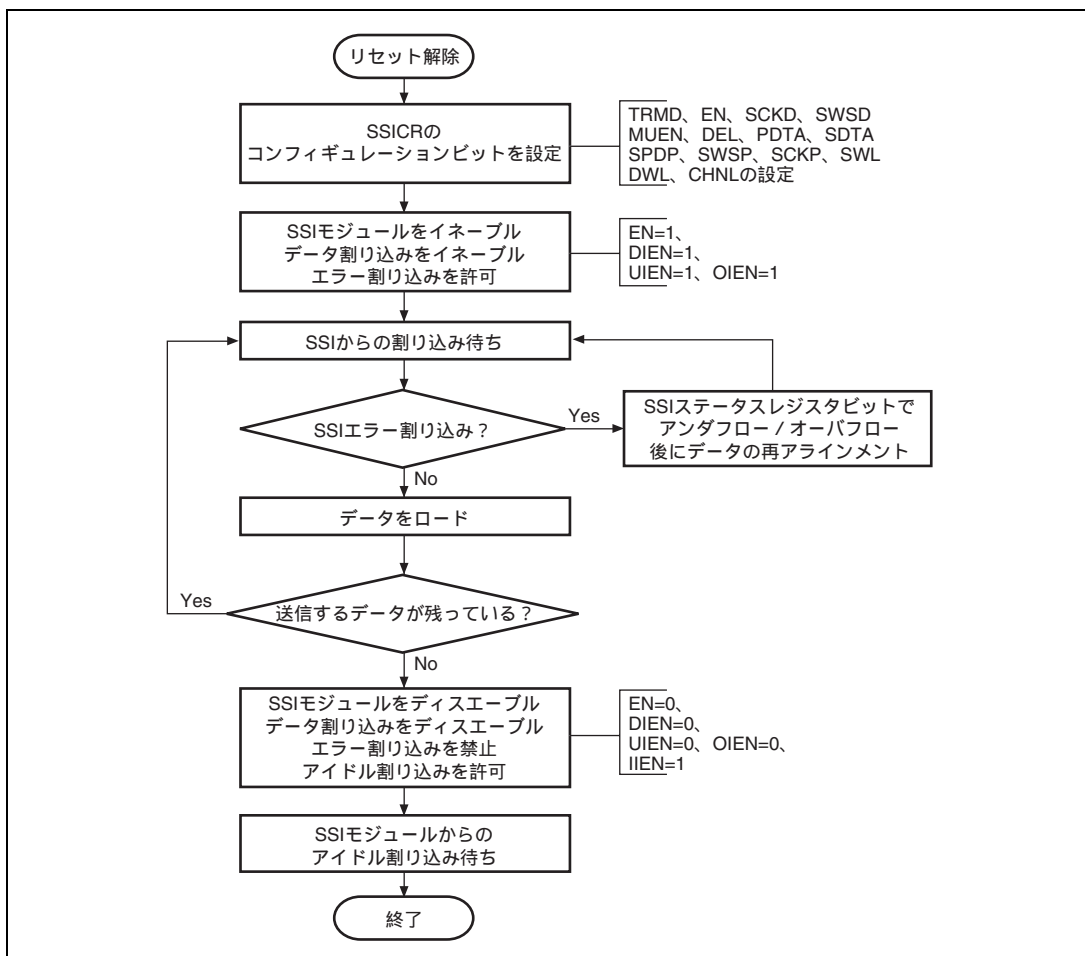


図 28.22 割り込みデータフロー制御を使用した送信

28.4.6 受信動作

送信同様、受信も DMA または割り込みで制御できます。

図 28.23 と図 28.24 にそれぞれの動作フローチャートを示します。

SSI モジュールを無効にする場合、SSISR.IIRQ ビットが SSI のアイドル状態を示すまで SSI クロック*は供給され続けなければなりません。

【注】 * SCKD=0 のとき SSI_SCK 端子からの入力クロック
SCKD=1 のとき SSI_CLK 端子からの入力クロック

(1) DMA コントローラを使用した受信

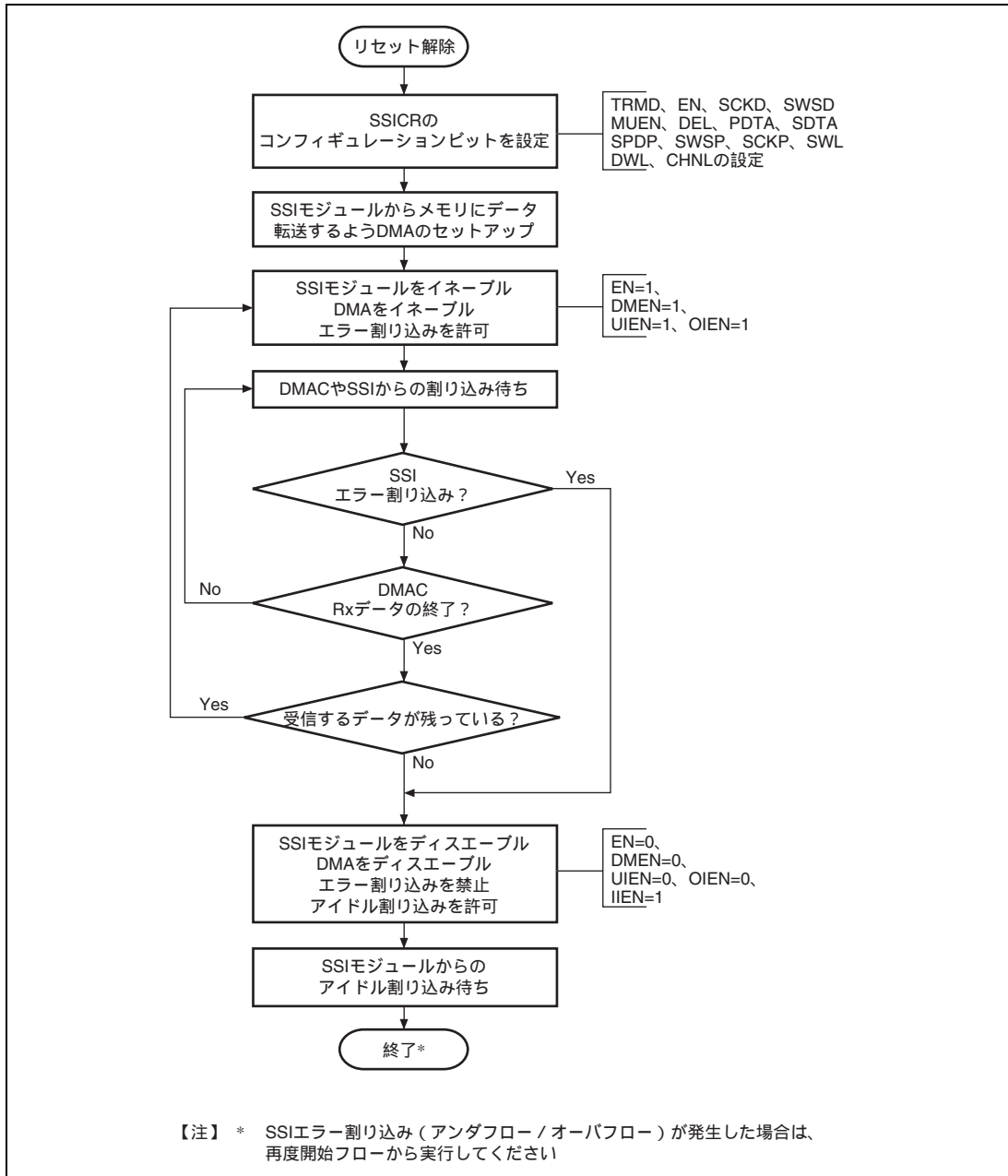


図 28.23 DMA コントローラを使用した受信

(2) 割り込みデータフロー制御を使用した受信

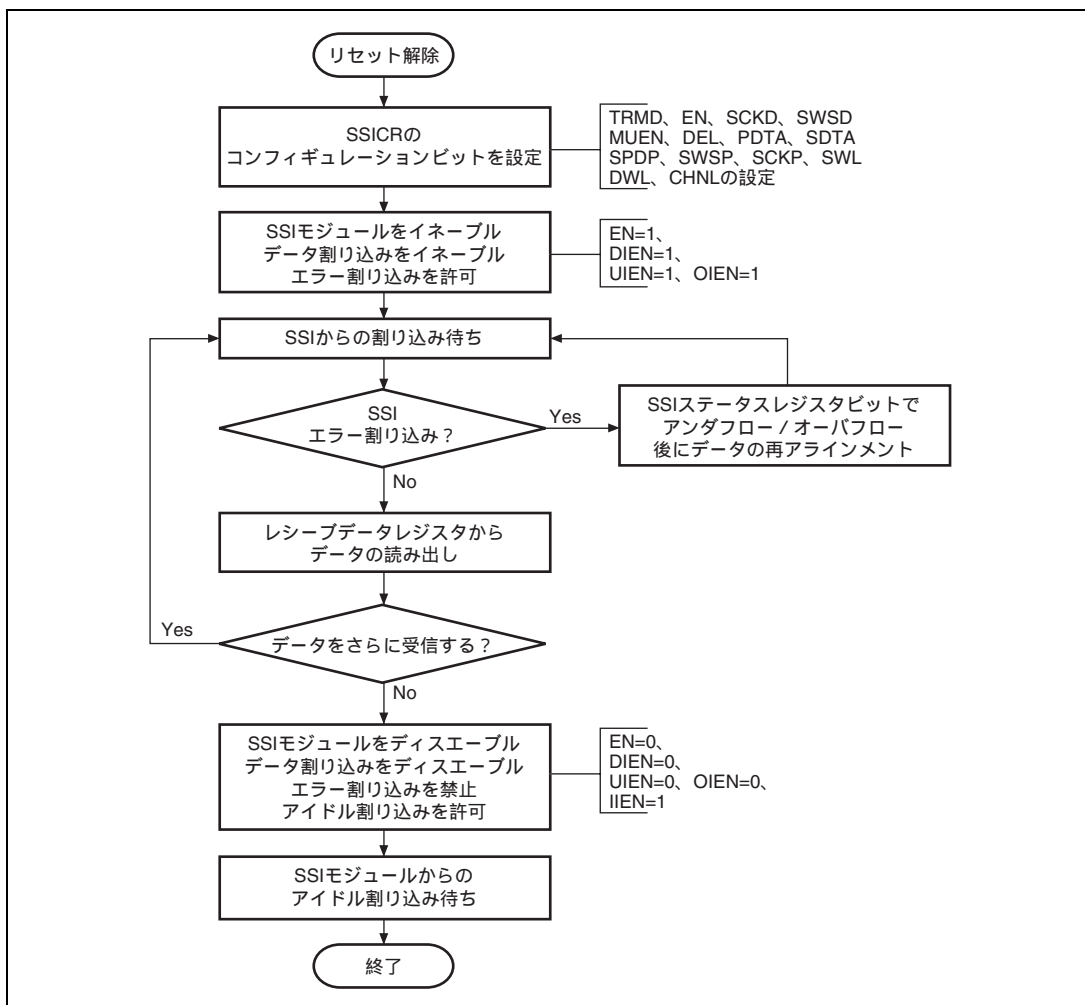


図 28.24 割り込みデータフロー制御を使用した受信

アンダフローやオーバーフロー条件が成立した場合 (SSISR.UIRQ=1 または SSISR.OIRQ=1)、SSISR.CHNO[1:0] ビットと SSISR.SWNO ビットを使って SSI モジュールを成立する前の状態に回復できます。アンダフローやオーバーフローが発生したら、CPU はチャンネル数とシステムワード数を読み出すことで、シリアルオーディオストリーム中の現在到達した位置を知ることができます。トランスミッタとして動作する場合、SSI モジュールが次に送信する予定のデータが送信可能になるまで CPU は送信データをスキップすることが可能です。これにより、オーディオデータストリームと再び同期できます。レシーバとして動作する場合、SSI モジュールが次に受信するデータを格納できるようになるまで CPU はヌルデータを格納することにより、受信データ数の整合性をとり、オーディオデータストリームと再び同期できます。

28.4.7 送信時における一時停止、再開手順

以下のやり方で実現することが可能です。

(1) DMAC の再設定なしで転送、停止を繰り返すための手順

1. DMA転送を止めるために、SSICR.DMEN=0 (DMA要求を禁止) にします。
2. SSISR.DIRQ=1 (送信モード:送信バッファは空き) になるのをポーリングまたは割り込みなどで待つ。
3. SSICR.EN=0 (SSIモジュール動作を禁止) で転送停止にします。
4. 再転送する前に、SSISR.IDST=1になっていることを確認します。
5. SSICR.EN=1 (SSIモジュール動作を許可) とSSICR.DMEN=1 (DMA要求を許可) を同時に設定します。

(2) SSI 停止後、DMAC を再設定する場合の転送手順

1. DMA転送を止めるために、SSICR.DMEN=0 (DMA要求を禁止) にします。
2. SSISR.DIRQ=1 (送信モード:送信バッファは空き) になるのをポーリングまたは割り込みなどで待つ。
3. SSICR.EN=0 (SSIモジュール動作を禁止) で転送停止にします。
4. BBG/DMACのDSTPRにてDMAC強制停止させます。
5. 再転送するまえに、SSISR.IDST=1になっていることを確認します。
6. BBG/DMACの各レジスタ設定と転送開始を行います。
7. SSICR.EN=1 (SSIモジュール動作を許可) とSSICR.DMEN=1 (DMA要求を許可) を同時に設定します。

28.4.8 シリアルビットクロックコントロール

シリアルビットクロック機能を用いて、シリアルバスインタフェースで使われるクロックの制御と選択を行っています。

シリアルビットクロック方向が入力に設定されている場合 (SSICR.SCKD=0)、SSI モジュールはクロックスレーブモードであり、シフトレジスタが使うビットクロックは SSL_SCK 端子に入力されたクロックです。

シリアルビットクロック方向が出力に設定されている場合 (SSICR.SCKD=1)、SSI モジュールはクロックマスターモードであり、シフトレジスタが使うビットクロックは SSI_CLK 入力端子から入力されたクロックまたはそれを分周したクロックです。SSI_CLK 端子から入力されたクロックは、SSICR のシリアルオーバサンプルクロック分周比 (CKDV) ビットで設定された比率で分周された後でシフトレジスタのビットクロックとして使われません。

上記のいずれの場合でも、SSI_SCK 端子の出力はビットクロックと同じになります。

28.5 低消費電力モード

低消費電力モードには以下のモード、機能があります。

(1) スリープモード

SSI の動作は継続されます。

(2) ライトスリープモード

SSIの動作は継続されますが、DMACを使用して送受信を行った場合は動作保障しません。DMACを使用した送受信を行っているとき、ライトスリープモードに遷移させる前に以下の手順を行ってください。

1. SSIモジュールがアイドル状態かを確認します。
すなわち、SSISR[0] が1になるまでウェイトしてください。
2. 送受信バッファが空であることを確認します。
送信モード時、SSISR[24] が1になるまでウェイトします。
受信モード時、SSISR[24] が0になるまで受信バッファ (SSIRDR) を読み続けます。
3. SSI内すべてのDMA転送要求を禁止します。
4. コントロールレジスタSSICR.ENビットに0を書き込んでSSIモジュール動作を停止してください。

(3) モジュールスタンバイモード

SSIの動作中モジュールスタンバイモードに遷移すると動作保障しません。モジュールスタンバイに遷移させる場合には、以下の手順に従ってください。

1. SSIモジュールがアイドル状態かを確認します。
2. すべてのデータ転送が行われたかを確認します。
ライトスリープと同様の処理を行ってください。
3. SSI内すべてのDMA転送要求と割り込み要求を禁止します。
4. コントロールレジスタSSICR.ENビットに0を書き込んでSSIモジュール動作を停止してください。
5. スタンバイコントロールレジスタ0 (MSTPCR0) のMSTP20およびMSTP21ビットを1にセットします。
モジュールスタンバイ解除後、SSIモジュールを使用する場合、手順に従いレジスタを再設定してください。

(4) 周波数変更

SSIの動作中に周波数変更 (Pck) を行うと動作は継続されますが、変更値によってアンダフロー / オーバフローが発生する可能性があります。

したがって、SSIの動作中に周波数変更をする前に、以下の設定をしてください。

1. SSIモジュールがアイドル状態かを確認します。
2. すべてのデータ転送が行われたかを確認します。
ライトスリープと同様の処理を行ってください。
3. SSI内すべてのDMA転送要求と割り込み要求を禁止します。
4. コントロールレジスタSSICR.ENビットに0を書き込んでSSIモジュール動作を停止してください。

周波数変更後、SSIモジュールを使用する場合、手順に従いレジスタを再設定してください。

28.6 使用上の注意事項

28.6.1 受信 DMA 動作中にオーバーフローが起こった場合の制限事項

受信 DMA 動作中にオーバーフローが起こった場合、モジュールの再起動が必要です。SSI 内の受信バッファは L チャンネルと R チャンネルが共用の 32 ビットのレジスタで構成しています。そのため、たとえばコントロールレジスタ (SSICR) のデータワード長 (DWL2~0) が 32 ビットの設定で、システムワード長 (SWL2~0) が 32 ビットの設定の場合、オーバーフローが一度発生すると、L チャンネルで受信すべきデータが、R チャンネルで受信してしまうことがあります。

そこで、オーバーフローエラー割り込みまたはオーバーフローエラーステータスフラグ (SSISR.OIRQ ビット) によりオーバーフローを確認した場合、SSICR.EN ビットおよび SSICR.DMEN ビットに 0 を書き込むことにより、SSI モジュールの DMA を禁止して動作を停止させてください (このとき DMAC の設定も停止させてください)。その後、OIRQ ビットに 0 を書き込み、オーバーフローステータスをクリアし、再度 DMA の設定を行い転送を再開してください。

28.6.2 SSI モジュール動作を停止するときの注意事項

SSI モジュールを使った通信を実行中に停止させる場合、SSI モジュールイネーブルビット (SSICR.EN) が 0 かつワード選択信号 (SSI_{In}_WS) の立ち下がりエッジが検出されたとき、正常終了するプロトコルになっているため、通信のマスター側を先に停止すると、ワード選択信号 (SSI_{In}_WS) の立ち下がりエッジが発生せず、正常終了しませんので、SSI モジュールイネーブルビット (SSICR.EN) をマスターを停止するよりも先に 0 に設定してください。

28.6.3 スレーブモードで動作させる場合の制限事項

本 LSI をスレーブモードで使用される場合において、データ転送を終了する際には、入力するワード選択信号 (SSI_WS) が停止する前に本 LSI のデータ転送を終了 (SSICR.EN=0) してください。

スレーブモードの場合、SSICR.EN がクリア (転送停止の設定) され、ワード選択信号 (SSI_WS) の立ち下がりエッジを検出することでデータ転送を終了する構成になっています。入力するワード選択信号が停止するとワード選択信号の立ち下がりエッジが検出できなくなり、データ転送が正常に終了できなくなります。

28.6.4 設定変更時の制限事項

コントロールレジスタ (SSICR) のコンフィギュレーションビットを切り替える場合、切り替え直後の SSI_SCK 信号、SSI_WS 信号の動作は保障されません。

接続するデバイスに影響する場合は、動的に設定を切り替えしないでください。

28.6.5 SSI モジュールの端子機能設定について

SSI モジュールを起動する場合は、「第 30 章 汎用入出力ポート (GPIO)」に記載されています周辺モジュールセレクトレジスタおよびポートコントロールレジスタの SSI0 ~ 1 チャンネルに対する設定終了後、SSI モジュールの設定、起動を行ってください。

29. I²C バスインタフェース

29.1 特長

本 LSI は Philips 社の提唱している I²C バス (Inter IC Bus) インタフェース方式に対応した I²C バスインタフェースを 2 チャンネル搭載しています。ただし、I²C バスを制御するレジスタの構成が一部 Philips 社と異なりますので注意してください。I²C バスインタフェースには次のような特長があります。

- Philips社提唱I²Cバスインタフェース方式に対応
- マルチマスタ対応
- 7ビット / 10ビットアドレス互換マスタ
- 7ビットのスレーブアドレス
- ファーストモード対応
- クロック周波数可変

図 29.1 に I²C バスインタフェースのブロック図を示します。

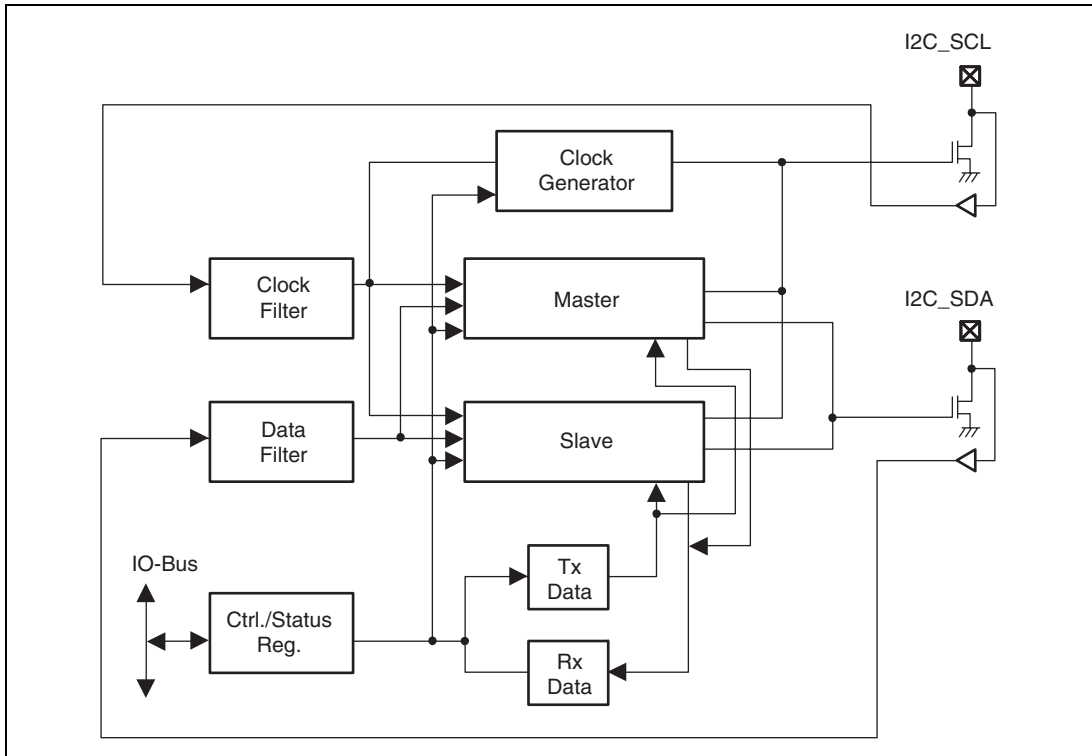


図 29.1 I²C バスインタフェースのブロック図

29.2 入出力端子

表 29.1 に I²C バスインタフェースで使用する端子を示します。

表 29.1 I²C バスインタフェースの端子構成

名称	入出力	機能
I2C0_SCL	入出力	I2C0 シリアルクロック入出力端子*
I2C0_SDA	入出力	I2C0 シリアルデータ入出力端子*
I2C1_SCL	入出力	I2C1 シリアルクロック入出力端子*
I2C1_SDA	入出力	I2C1 シリアルデータ入出力端子*

【注】 * I²C バス上の SCL/SDA 入出力端子はオープンドレインです。

LSI の I²C バッファは 3.3 V LVTTTL インタフェースであり、I²C タイミング規格に準拠しておりません。5 V 入力に対応していません。また、I/O 電源 (3.3 V 系) を遮断する場合には、I²C 端子に接続されている、プルアップ抵抗の吊り先である電源も遮断してください。

29.3 レジスタの説明

I²C バスインタフェースには以下のレジスタがあります。

表 29.2 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス	エリア 7 アドレス	サイズ
スレーブコントロールレジスタ 0	ICSCR0	R/W	H'FFE8 0000	H'1FE8 0000	32
マスタコントロールレジスタ 0	ICMCR0	R/W	H'FFE8 0004	H'1FE8 0004	32
スレーブステータスレジスタ 0	ICSSR0	R/(W)* ¹	H'FFE8 0008	H'1FE8 0008	32
マスタステータスレジスタ 0	ICMSR0	R/(W)* ²	H'FFE8 000C	H'1FE8 000C	32
スレーブ割り込みイネーブルレジスタ 0	ICSIER0	R/W	H'FFE8 0010	H'1FE8 0010	32
マスタ割り込みイネーブルレジスタ 0	ICMIER0	R/W	H'FFE8 0014	H'1FE8 0014	32
クロックコントロールレジスタ 0	ICCCR0	R/W	H'FFE8 0018	H'1FE8 0018	32
スレーブアドレスレジスタ 0	ICSAR0	R/W	H'FFE8 001C	H'1FE8 001C	32
マスタアドレスレジスタ 0	ICMAR0	R/W	H'FFE8 0020	H'1FE8 0020	32
受信データレジスタ 0	ICRXD0	R/W	H'FFE8 0024	H'1FE8 0024	32
送信データレジスタ 0	ICTXD0	R/W	H'FFE8 0024	H'1FE8 0024	32
スレーブコントロールレジスタ 1	ICSCR1	R/W	H'FFE9 0000	H'1FE9 0000	32
マスタコントロールレジスタ 1	ICMCR1	R/W	H'FFE9 0004	H'1FE9 0004	32
スレーブステータスレジスタ 1	ICSSR1	R/(W)* ¹	H'FFE9 0008	H'1FE9 0008	32
マスタステータスレジスタ 1	ICMSR1	R/(W)* ²	H'FFE9 000C	H'1FE9 000C	32
スレーブ割り込みイネーブルレジスタ 1	ICSIER1	R/W	H'FFE9 0010	H'1FE9 0010	32
マスタ割り込みイネーブルレジスタ 1	ICMIER1	R/W	H'FFE9 0014	H'1FE9 0014	32

名称	略称	R/W	P4 アドレス	エリア7 アドレス	サイズ
クロックコントロールレジスタ 1	ICCCR1	R/W	H'FFE9 0018	H'1FE9 0018	32
スリープアドレスレジスタ 1	ICSAR1	R/W	H'FFE9 001C	H'1FE9 001C	32
マスタアドレスレジスタ 1	ICMAR1	R/W	H'FFE9 0020	H'1FE9 0020	32
受信データレジスタ 1	ICRXD1	R/W	H'FFE9 0024	H'1FE9 0024	32
送信データレジスタ 1	ICTXD1	R/W	H'FFE9 0024	H'1FE9 0024	32

表 29.2 レジスタ構成 (2)

名称	略称	パワーオン リセット PRESET 端子/WDT /H-UDI による	マニュアル リセット WDT/多重例外による	スリープ/ ライトスリ ープ Sleep 命令によ る	モジュール スタンバイ
スリープコントロールレジスタ 0/1	ICSCR0/1	H'0000 0000	保持	保持	保持
マスタコントロールレジスタ 0/1	ICMCR0/1	H'0000 0000 ^{*3}	保持	保持	保持
スリープステータスレジスタ 0/1	ICSSR0/1	H'0000 0000	保持	保持	保持
マスタステータスレジスタ 0/1	ICMSR0/1	H'0000 0000	保持	保持	保持
スリープ割り込みイネーブルレジスタ 0/1	ICSIER0/1	H'0000 0000	保持	保持	保持
マスタ割り込みイネーブルレジスタ 0/1	ICMIER0/1	H'0000 0000	保持	保持	保持
クロックコントロールレジスタ 0/1	ICCCR0/1	H'0000 0000	保持	保持	保持
スリープアドレスイネーブルレジスタ 0/1	ICSAR0/1	H'0000 0000	保持	保持	保持
マスタアドレスイネーブルレジスタ 0/1	ICMAR0/1	H'0000 0000	保持	保持	保持
受信データレジスタ 0/1	ICRXD0/1	不定	保持	保持	保持
送信データレジスタ 0/1	ICTXD0/1	不定	保持	保持	保持

【注】 *1 ビット 4~0 はフラグをクリアするための 0 書き込みのみ可能です。

*2 ビット 6~0 はフラグをクリアするための 0 書き込みのみ可能です。

*3 ビット 6、5 は不定です。

29.3.1 スレーブコントロールレジスタ (ICSCR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	SDBS	SIE	GCAE	FNA
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて 0	R	リザーブビット 読み出すとビット 7 から 0 の値が、ビット 31 から 24、ビット 23 から 16、ビット 15 から 8 へのおの反映されます。書き込みは常に 0 にしてください。
3	SDBS	0	R/W	スレーブデータバッファセレクト データバッファを選択します。データバッファには、ダブルバッファモードとシングルバッファモードの 2 つのモードがあります。 このビットをクリアするとダブルバッファが選択されます。受信モード時に、両方のバッファがフルで SDR がクリアされていない間は SCL がローレベルに保持され、SDR がクリアされると SCL のローレベルが解除されます。 このビットをセットするとシングルバッファが選択されます。 受信データレジスタがデータケットを受信してから SDR がクリアされるまで SCL がローレベルに保持されます。 0 : ダブルバッファモード 1 : シングルバッファモード
2	SIE	0	R/W	スレーブインタフェースイネーブル スレーブが動作するときはこのビットをセットする必要があります。このビットがローレベルのときスレーブインタフェースはリセットされます。
1	GCAE	0	R/W	ジェネラルコールアクノリッジイネーブル スレーブがマスタからのジェネラルコールアドレスの送信に対しアクノリッジを求められた場合、このビットを 1 にセットする必要があります。
0	FNA	0	R/W	強制非アクノリッジ スレーブ受信モードでこのビットのレベルがアクノリッジ信号として送信デバイスに送られます。このビットはデータケットが受信されている間はクリアされ、データ受信が終了するとセットされます。 強制非アクノリッジはスレーブ受信中にマスタに送信されます。 スレーブがデータケットの最後のバイトデータを受信終わるとアクノリッジをドライブしないこと (nack) でマスタと通信を行います。nack を受け取ったあとマスタはバス上にストップを発行します。このビットを設定してもスレーブアドレスのアクノリッジには影響を与えません。

29.3.2 スレープステータスレジスタ (ICSSR)

スレープステータスレジスタのステータスビット (ビット0~4) は、0 を書き込むとクリアされます。各ビットは GCAR ビットと STM ビットを除き、0 を書き込むことによるリセットまで 1 に保持されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	GCAR	STM	SSR	SDE	SDT	SDR	SAR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
31~7	-	すべて0	R	リザーブビット 読み出すとビット7から0の値が、ビット31から24、ビット23から16、ビット15から8へのおの反映されます。書き込みは常に0にしてください。
6	GCAR	0	R	ジェネラルコールアドレス受信 バスから受信したアドレスがジェネラルコールアドレス (00H) であることを示します。このステータスビットは割り込みを発生させません。 SIE ビットが0または、SSR ビットがセットされるとこのビットはハードウェアによって自動的に0にクリアされます。SIE ビットはスレープコントロールレジスタのビット2、SSR ビットは本レジスタのビット4です。
5	STM	0	R	スレープ送信モード 現在のスレープ送信モードが読み出ししか書き込みかを示します。1のとき書き込みで0のとき読み出しです。このステータスビットは割り込みを発生させません。 SIE ビットが0または、SSR ビットがセットされるとこのビットはハードウェアによって自動的に0にクリアされます。SIE ビットはスレープコントロールレジスタのビット2、SSR ビットは本レジスタのビット4です。
4	SSR	0	R/W*	スレープストップ受信 ストップがバス上に出力されました。ストップビットの期間中で SDA の立ち上がりエッジのあとこのステータスビットがアクティブになります。

ビット	ビット名	初期値	R/W	説明
3	SDE	0	R/W*	スレーブデータエンプティ 送信データがシフトレジスタにロードされました。データバイト送信の開始時、ICTXD レジスタの内容は、バスヘデータ送信可能状態のシフトレジスタにロードされます。本ステータスビットは、このロードが行われ ICTXD レジスタが再びレディ状態になったことを示します。また、このステータスビットは最初のデータビットの前に SCL の立ち下がりエッジでアクティブになります。シングルバッファモード時には、このビットは ICTXD レジスタに新しいデータを書き込むごとにリセットする必要があります。スレーブ送信サイクルのスタートになってもこのビットがセットされたままの場合スレーブはバスを停止するために SCL をローレベルに保持するからです。
2	SDT	0	R/W*	スレーブデータ送信 バイトデータがバス上に送信されました。このビットは最後のデータビットの期間中で SCL の立ち下がりエッジのあとアクティブになります。
1	SDR	0	R/W*	スレーブデータ受信 バイトデータをバスから受信しました。データは受信データレジスタ内にありレディ状態です。このビットは最後のデータビットの期間中で SCL の立ち下がりエッジのあとアクティブになります。シングルバッファモード時には、データが ICRXD レジスタから読み出されたあと、このビットをリセットする必要があります。 SDBS がセットされると、受信データレジスタがデータパケットを受信開始してから SDR がクリアされるまで SCL はローレベルに保持されます。
0	SAR	0	R/W*	スレーブアドレス受信 スレーブがバス上に自分のアドレスを認識したことを示します(このアドレスはスレーブアドレスレジスタで定義されます)。スレーブコントロールレジスタのジェネラルコールアクノリッジイネーブルビットが有効な場合、本ステータスビットはバス上のアドレスがジェネラルコールアドレスの場合もセットされます。この場合、このレジスタの GCAR ビットでジェネラルコールアドレスが区別できます。STM ビットはアクセスが読み出し(ハイレベル)か書き込み(ローレベル)かを示します。このステータスビットは、最後のアドレスビットの期間中で SCL の立ち下がりエッジのあとアクティブになります。ソフトウェアがこのステータスビットをリセットするまで、ACK の開始時にスレーブは SCL をローレベルに保持します。

【注】 * 読み出し/書き込み可能です。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

29.3.3 スレーブ割り込みイネーブルレジスタ (ICSIER)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	SSRE	SDEE	SDTE	SDRE	SARE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すとビット7から0の値が、ビット31から24、ビット23から16、ビット15から8へおのおの反映されます。書き込みは常に0にしてください。
4	SSRE	0	R/W	スレーブストップ受信割り込みイネーブル 0 : SSR 割り込みの発生を禁止 1 : SSR 割り込みの発生を許可
3	SDEE	0	R/W	スレーブデータエンプティ割り込みイネーブル 0 : SDE 割り込みの発生を禁止 1 : SDE 割り込みの発生を許可
2	SDTE	0	R/W	スレーブデータ送信割り込みイネーブル 0 : SDT 割り込みの発生を禁止 1 : SDT 割り込みの発生を許可
1	SDRE	0	R/W	スレーブデータ受信割り込みイネーブル 0 : SDR 割り込みの発生を禁止 1 : SDR 割り込みの発生を許可
0	SARE	0	R/W	スレーブアドレス受信割り込みイネーブル 0 : SAR 割り込みの発生を禁止 1 : SAR 割り込みの発生を許可

29.3.4 スレーブアドレスレジスタ (ICSAR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	SADD0 ₆	SADD0 ₅	SADD0 ₄	SADD0 ₃	SADD0 ₂	SADD0 ₁	SADD0 ₀
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~7	-	すべて0	R	リザーブビット 読み出すとビット7から0の値が、ビット31から24、ビット23から16、ビット15から8へおのおの反映されます。書き込みは常に0にしてください。
6~0	SADD0 ₆ ~ SADD0 ₀	すべて0	R/W	スレーブアドレス I ² C バス上でスレーブに割り付けられた固有の7ビットアドレスです。スレーブインタフェースは、データパケット送信の始めにスレーブアドレスとして送信される最初の7ビットと、このアドレスが一致するかどうかを確認します。

29.3.5 マスタコントロールレジスタ (ICMCR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
初期値:	0	—	—	0	0	0	0	0	0	—	—	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	MDBS	FSCL	FSDA	OBPC	MIE	TSBE	FSB	ESG
初期値:	0	—	—	0	0	0	0	0	0	—	—	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	0または1	R	リザーブビット 読み出すとビット7から0の値が、ビット31から24、ビット23から16、ビット15から8へおのおの反映されます。書き込みは常に0にしてください。

ビット	ビット名	初期値	R/W	説明
7	MDBS	0	R/W	<p>マスタデータバッファセレクト</p> <p>データバッファを選択します。データバッファには、ダブルバッファモードとシングルバッファモードの2つのモードがあります。</p> <p>このビットをクリアするとダブルバッファが選択されます。受信モード時に、両方のバッファがフルで MDR がクリアされていない間は SCL がローレベルに保持され、MDR がクリアされると SCL のローレベルが解除されます。</p> <p>このビットをセットするとシングルバッファが選択されます。</p> <p>受信データレジスタがデータパケットを受信してから MDR がクリアされるまで SCL がローレベルに保持されます。</p> <p>0 : ダブルバッファモード 1 : シングルバッファモード</p>
6	FSCL		R/W	<p>強制 SCL</p> <p>強制 SCL は I2C_SCL 端子の状態を制御します (読み出しは I2C_SCL 端子の状態を反映します)。OBPC がセットされるとこのビットが直接バス上の SCL を制御します。</p> <p>I2C_SCL 端子の値をそのまま反映しているため、読み出しサイクル中のこのビットのレベル (リセットレベルも含む) も I2C_SCL のレベルによって変化します。</p>
5	FSDA		R/W	<p>強制 SDA</p> <p>強制 SDA は I2C_SDA 端子の状態を制御します (読み出しは I²C バスのビジー状態を反映します)。OBPC がセットされるとこのビットが直接バス上の SDA を制御します。</p> <p>読み出しサイクル中のこのビットのレベル (リセットレベルも含む) は、I²C バスのビジー状態を示します。1 は I²C バスがビジーであることを、0 はビジーでないことを示します。</p>
4	OBPC	0	R/W	<p>オーバライドバス端子コントロール</p> <p>このビットをセットするとこのレジスタの FSDA と FSCL が直接 SDA と SCL を制御します。テスト用です。</p>
3	MIE	0	R/W	<p>マスタインタフェースイネーブル</p> <p>このビットをセットするとマスタインタフェースが有効になります。</p>
2	TSBE	0	R/W	<p>スタートバイト送信イネーブル</p> <p>このビットをセットすると各スタート、リスタート発行後、バス上にスタートバイト (01H) をマスタが送信します。スタートバイトは I²C バスインタフェース対応の動作周波数の低いマイコンとインタフェースをとるために使用されます。</p>

ビット	ビット名	初期値	R/W	説明
1	FSB	0	R/W	バス上への強制ストップ このビットをセットすると現在の転送の終了時にマスタがバス上にストップを発行します。ESG もセットされた場合、マスタは直ちにスタートを発行し新しいデータパケットの送信を開始します。ESG がセットされない場合、マスタはアイドル状態になります。
0	ESG	0	R/W	イネーブルスタート生成 このビットをセットすると、マスタはデータパケットの送信を開始します。ESG がセットされたときにバスがアイドル状態だった場合、マスタはスタートをバス上に発行し、その後スレーブアドレスを発行します。マスタが転送中に ESG がセットされた場合、マスタは転送中のデータバイトの終了時にスレーブアドレスを発行する前にリスタートを発行します。データパケットを送信する場合、ソフトウェアはスレーブアドレスが送信されてからこのビットをリセットする必要があります。リセットしない場合、各送信終了後にリスタートが発行されます。

29.3.6 マスタステータスレジスタ (ICMSR)

マスタステータスレジスタのステータスビット (ビット0~6) は、0 を書き込むことでクリアされます。各ビットは0 を書き込んでリセットされるまで1 に保持されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	MNR	MAL	MST	MDE	MDT	MDR	MAT
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
31~7	-	すべて0	R	リザーブビット 読み出すとビット7から0の値が、ビット31から24、ビット23から16、ビット15から8へのおの反映されます。書き込みは常に0にしてください。
6	MNR	0	R/W*	マスタ NACK 受信 このビットがセットされると、マスタがアドレスまたはデータ送信に対する NACK を受信したことを示します (NACK はアクノリッジサイクル中にバス上の SDA がハイレベルであることです)。
5	MAL	0	R/W*	マスタアービトレーションロスト マルチマスタシステムではこのビットがセットされるとマスタはバス上の他のマスタに対するアービトレーションを失ったことを示します。 このとき MIE はリセットされマスタインタフェースは無効になります。

ビット	ビット名	初期値	R/W	説明
4	MST	0	R/W*	<p>マスタストップ送信</p> <p>このビットがセットされるとマスタがバス上にストップを送信したことを示します。ストップはコントロールレジスタの強制ストップビットを設定した結果またはスレーブ受信データバケット期間中のスレーブから受信している nack で送信することができます。</p>
3	MDE	0	R/W*	<p>マスタデータエンプティ</p> <p>データバイト送信開始時、送信データレジスタの内容はバスに送信可能状態のシフトレジスタにロードされます。</p> <p>このビットがセットされるとこのロードが行われ送信データレジスタが再びレディ状態になったことを示します。</p> <p>マスタ送信モードでは、MDE ビットは、スレーブアドレスが送信された後に MAT ビットがセットされるときと同じタイミングでもセットされます。このとき ICPCR の ESG ビットがクリアされた後で MDE と MAT ビットをクリアしてください。クリアするとデータ送信が再開されます。</p>
2	MDT	0	R/W*	<p>マスタデータ送信</p> <p>バイトデータがバス上のスレーブに送信されました。このステータスビットは最後のデータビット期間中に SCL の立ち下がりエッジ後アクティブになります。</p>
1	MDR	0	R/W*	<p>マスタデータ受信</p> <p>バイトデータがバスから受信され受信データレジスタがレディ状態になりました。このステータスビットは最後のデータビット期間中に SCL の立ち下がりエッジ後アクティブになります。シングルバッファモード時には、受信データレジスタからデータが読み出されたあと、このステータスビットをリセットする必要があります。</p> <p>MDBS がセットされると、受信データレジスタがデータバケットを受信開始してから MDR がクリアされるまで SCL はローレベルに保持されます。</p> <p>マスタ受信モードでは、MDR ビットは、スレーブアドレスが送信された後に MAT ビットがセットされるときと同じタイミングでもセットされます。このとき、ICPCR の ESG ビットがクリアされた後で、MDR と MAT ビットをクリアしてください。クリアすると、データ受信がスタートされます。</p>
0	MAT	0	R/W*	<p>マスタアドレス送信</p> <p>スレーブアドレスのバイトデータバケットがマスタによって送信されました。このビットはアドレスの ACK ビット期間中で SCL 立ち下がりエッジ後にアクティブになります。</p>

【注】 * 読み出し / 書き込み可能です。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

29.3.7 マスタ割り込みイネーブルレジスタ (ICMIER)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	MNRE	MALE	MSTE	MDEE	MDTE	MDRE	MATE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~7	-	すべて0	R	リザーブビット 読み出すとビット7から0の値が、ビット31から24、ビット23から16、ビット15から8へおのおの反映されます。書き込みは常に0にしてください。
6	MNRE	0	R/W	マスタ NACK 受信割り込みイネーブル 0 : MNR 割り込みの発生を禁止 1 : MNR 割り込みの発生を許可
5	MALE	0	R/W	マスタアービトラージョンロスト割り込みイネーブル 0 : MAL 割り込みの発生を禁止 1 : MAL 割り込みの発生を許可
4	MSTE	0	R/W	マスタストップ送信割り込みイネーブル 0 : MST 割り込みの発生を禁止 1 : MST 割り込みの発生を許可
3	MDEE	0	R/W	マスタデータエンプティ割り込みイネーブル 0 : MDE 割り込みの発生を禁止 1 : MDE 割り込みの発生を許可
2	MDTE	0	R/W	マスタデータ送信割り込みイネーブル 0 : MDT 割り込みの発生を禁止 1 : MDT 割り込みの発生を許可
1	MDRE	0	R/W	マスタデータ受信割り込みイネーブル 0 : MDR 割り込みの発生を禁止 1 : MDR 割り込みの発生を許可
0	MATE	0	R/W	マスタアドレス送信割り込みイネーブル 0 : MAT 割り込みの発生を禁止 1 : MAT 割り込みの発生を許可

29.3.8 マスタアドレスレジスタ (ICMAR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	SADD1 _6	SADD1 _5	SADD1 _4	SADD1 _3	SADD1 _2	SADD1 _1	SADD1 _0	STM1
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すとビット7から0の値が、ビット31から24、ビット23から16、ビット15から8へおのおの反映されます。書き込みは常に0にしてください。
7~1	SADD1_6 - SADD1_0	すべて0	R/W	スレーブアドレス このビットはマスタが通信しようとするスレーブのアドレスです。
0	STM1	0	R/W	スレーブ転送モード このビットはスレーブが動作しようとしているモードを示します。 このビットはスレーブの動作モード(送信または受信)を、マスタから送信されたスレーブアドレス(SADD1)と一致する外部スレーブデバイスに設定します。スレーブデバイスは受信したSTM1の値によってハードウェアが自動的に送信/受信を設定します。 このビットがセットされると読み出し、クリアされると書き込みになります。

29.3.9 クロックコントロールレジスタ (ICCCR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	SCGD							CDF	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すとビット7から0の値が、ビット31から24、ビット23から16、ビット15から8へおのおの反映されます。書き込みは常に0にしてください。
7~2	SCGD	すべて0	R/W	SCL クロック生成分周 マスタモードで動作しているときは、SCGD を分周比として内部クロック周波数から SCL クロックが生成されます。スレープモードにおいても、データオーバーフローでバスを停止させるため SCL をローレベルに保持しているときは内部クロックからのクロック生成により動作します。このため SCGD はマスタとスレープのいずれのモードにおいてもプログラムする必要があります。周波数の関係を以下に示します。 式 2 SCL レート計算 $SCL\ freq = IICck / (20 + SCGD * 8)$ IICck : I ² C 内部クロック周波数 CPU のレートと 2 種類の I ² C バスのスピードに対して推奨する CDF と SCGD の値を表 29.3 に示します。
1, 0	CDF	すべて0	R/W	クロック分周要素 I ² C バスインタフェースモジュール内のほとんどのブロックで使用される内部クロックは周辺バスクロックを分周したものです。I ² C の内部クロックは CDF を分周比として周辺バスクロックから生成されます。 式 1 I ² C 内部クロック周波数計算 $IICck = Pck / (1 + CDF)$ Pck : 周辺バスクロック バス上の SCL に対する SDA のセットアップとホールドタイムの最小値を満たすようにしてください。 クロック周波数は、グリッチフィルタが I ² C ファーストモード仕様で述べられているとおり 50ns までのグリッチに対して動作するようにしてください。 【注】 CDF はクロック周波数 (IICck) が 20MHz 未満になるような値にしてください。

表 29.3 CDF と SCGD の推奨値*

IO バスクロック周波数	100 kHz		400 kHz	
	CDF	SCGD	CDF	SCGD
50 MHz	2	19	2	3
誤差	-3.10%		-5.30%	

【注】 * SCL レートにおける推奨値です。

29.3.10 受信 / 送信データレジスタ (ICRXD/ICTXD)

本レジスタを読み出したときと書き込みしたときは、物理的には別のレジスタにアクセスしています。データが送信されるときは TXD を使用して、シフトレジスタのデータがロードされます。I²C バスからシフトレジスタにデータを受信したときは、データは RXD にロードされます。

● 受信データレジスタ (ICRXD)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RXD							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すとビット 7 から 0 の値が、ビット 31 から 24、ビット 23 から 16、ビット 15 から 8 へのおの反映されます。
7~0	RXD	すべて 0	R	読み出し受信データ マスタまたはスレーブによって受信されるデータ

● 送信データレジスタ (ICTXD)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TXD							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	TXD	すべて 0	W	書き込み送信データ マスタまたはスレーブによって送信されるデータ

29.4 動作説明

29.4.1 データとクロックフィルタ

これらのブロックは I²C バスから入力される信号のグリッチを取り除きます。取り除くグリッチの幅は 1 クロックまでです（内部クロック周波数の詳細は「29.3.9 クロックコントロールレジスタ (ICCCR)」を参照してください）。これはファーストモード I²C バスレート（400 kHz）の仕様ですが低速モードの仕様に違反するものではありません。

また、これらのブロックは内部クロックに対してバス信号の再同期も行います。

29.4.2 クロックジェネレータ

クロックジェネレータは 2 つの機能を持ちます。一つは、マスタまたはスレーブインタフェースのコマンドに従って SCL (I²C バスクロック) を生成することです。もう一つは、フィルタやマスタ、スレーブインタフェースで使用される内部クロックを制御することです。このクロックはフィルタやマスタ、スレーブインタフェースのレジスタのクロックイネーブル信号として動作します。

29.4.3 マスタ / スレーブインタフェース

これらのインタフェースは独立で並行に動作します。マスタインタフェースは I²C バス上のアドレスとデータの転送を制御します。スレーブインタフェースは I²C バスを監視し、設定されたアドレスがバス上に出力されると転送に参加します。どちらのインタフェースも独立にコントロール / ステータスレジスタと通信します。割り込みは 1 本のみで、I²C バスインタフェースモジュールから出力されます。発生源はマスタかスレーブのどちらかになります。

29.4.4 ソフトウェアステータスインターロック

I²C バスインタフェースモジュールへのソフトウェアインタフェースをできるだけ強固でシンプルにするため、いくつかの連動させたステータスをマスタインタフェースとスレーブインタフェースの動作に組み込んでいます。このステータスビットを以下に示します。

(1) MDR と SDR

データを受信すると MDR と SDR はセットされます。受信データレジスタを読み出したあとはステータスをクリアしてください。MDR と SDR がセットされているときにデータを受信すると、ハードウェアは受信データレジスタにまだ読み出されていないデータがあることを認識して自動的に SCL をローレベルに保持し、データ転送を一時停止します。この場合、受信データを読み出した後にステータスをクリアすることで転送は再開されます。

データを連続して受信するときは、受信データレジスタを読み出したあと必ず MDR と SDR のステータスをクリアしてください。

(2) MDE と SDE

スレーブまたはマスタが、データ(送信データレジスタのデータ)を I²C バス上に送信する段階になっても MDE と SDE ステータスビットがセットされている場合、MDE と SDE がリセットされるまで SCL はローレベルに保持される必要があります。MDE と SDE がセットされることで、現在送信データレジスタに保持されているデータはすでに I²C バスに送信されたことを示します。

次のデータバイトの送信が可能な状態になった送信データレジスタに書き込むとき、ソフトウェアはこのステータスビットをクリアする必要があります。ただし、この操作はバス上に送信される最初のバイトデータには必要ありません。

(3) MAL

マスタがアービトレーションを失ったとき、マスタステータスレジスタの MAL ビットがセットされマスタコントロールレジスタの MIE ビットがリセットされます。このときマスタモードは無効になり I²C バスインタフェースはスレーブモードになります。マスタの動作を再開する場合、マスタからのデータ転送は MAL ビットがクリアされてから開始されます。

(4) SAR

SAR ステータスビットは、スレーブが、自分のアドレスが I²C バス上に出力されたことを認識したときにセットされます。このときスレーブインタフェースは、SAR ステータスビットがリセットされるまで SCL をローレベルに保持します。

これはスレーブの送信がバスに対して行われようとしているときは特に重要です。スレーブは送信データレジスタからデータを送信します。ソフトウェアは SAR ステータスに対して、送信データレジスタに要求されるデータを書き込み、その後 SAR ビットをリセットするという応答を行います。これによりスレーブインタフェースはアクセスを続けることができます。

スレーブがデータを受信しようとしている場合、ソフトウェアが受信データレジスタから前のアクセスでロードされたデータをまだ読み出していることがあります。新しいアクセスがまだ受信データレジスタにある有効なデータを上書きしてしまう可能性があります。しかし、SAR ステータスビットを使うことでこれを回避することができます。ソフトウェアが受信データレジスタの全データ読み出しを終了してから SAR ビットをリセット (SAR がセットされていた場合) すると、受信データレジスタの上書きを避けられます。

29.4.5 I²C バスデータフォーマット

図 29.2 に I²C バスインタフェースのバスタイミングを示します。また、表 29.4 に図 29.2 の記号の意味を示します。

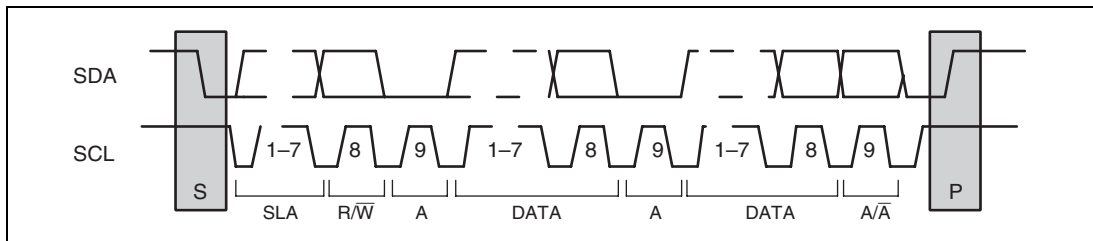


図 29.2 I²C バスタイミング

表 29.4 I²C バスデータフォーマットの記号説明

記号	説明
S	開始条件を示します。マスタデバイスは、SCL がハイレベルの状態では SDA をハイレベルからローレベルに変化させます。
SLA	スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/ \bar{W}	送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを転送します。
A	データアクリッジを示します。受信デバイスが SDA をローレベルにします。スレーブデバイスはマスタ送信モードではデータアクリッジを返します。
DATA	送受信データを示します。データ長は 8 ビットで MSB から転送されます。
P	停止状態を示します。マスタデバイスは、SCL がハイレベルの状態では SDA をローレベルからハイレベルに変化させます。

29.4.6 7ビットアドレスフォーマット

図 29.3 にマスタからスレーブデバイスへのデータ転送フォーマット (マスタデータ送信フォーマット) を示します。図 29.4 にマスタデバイスがスレーブデバイスからの 2 番目とそれ以降のバイトデータを読み出すデータ転送フォーマット (マスタデータ受信フォーマット) を示します。

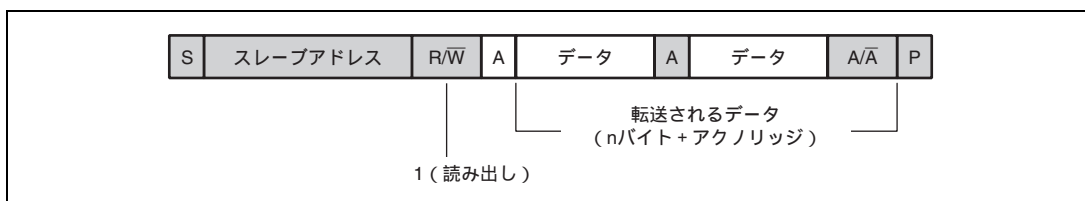
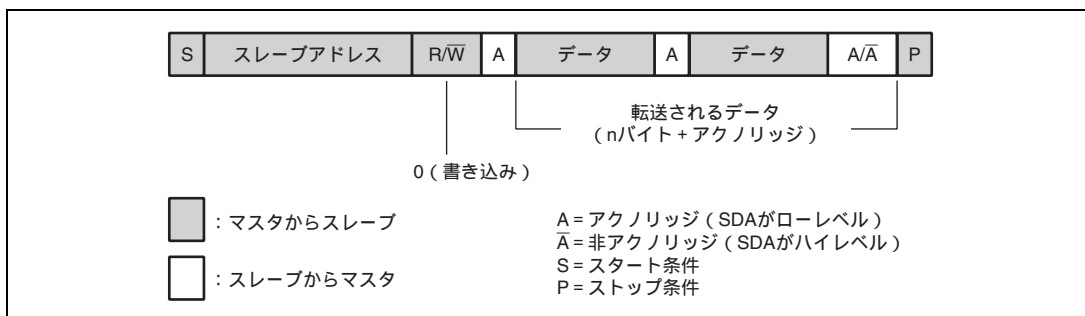
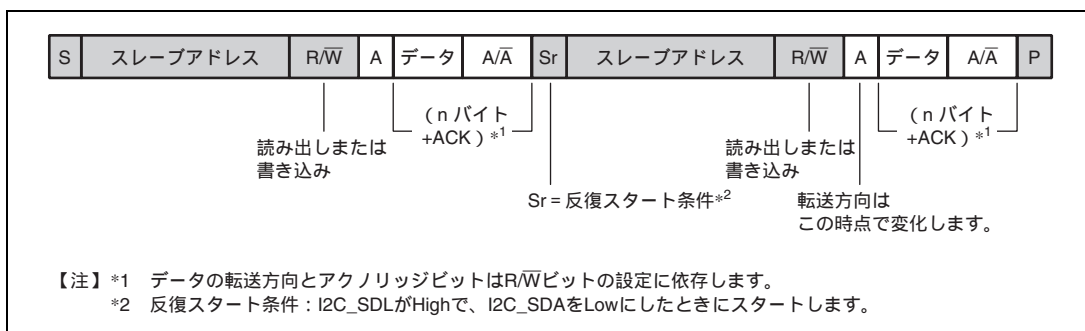


図 29.5 に、1 回の転送中にデータ転送の方向が変わる複合転送フォーマットを示します。1 回目の転送で方向が変わるときは再送コマンド (S_r)、スレーブアドレス、R/W が送信されます。この場合 R/W は 1 回目の転送方向と逆の方向が設定されています。再送コマンドは、マスタコントロールレジスタのイネーブルスタート生成ビットがセットされているときに送信または受信の最後でマスタが発行します。



【注】 *1 データの転送方向とアックノリッジビットはR/Wビットの設定に依存します。

*2 反復スタート条件：I²C_SDLがHighで、I²C_SDAをLowにしたときにスタートします。

29.4.7 10 ビットアドレスフォーマット

マスタモードでサポートする 10 ビットアドレス転送フォーマットについて説明します。このフォーマットは 7 ビットアドレス転送フォーマット同様に 3 種類の転送方法があります。

図 29.6 にデータ転送フォーマットを示します。マスタアドレスレジスタに設定された値は 1 回目の転送条件 (S) の後に 1 バイトで出力されます。送信データレジスタ (TXD) に設定された値は 2 番目のバイトでスレーブアドレスとして転送されます。3 バイト目とそれ以降のデータ転送は 7 ビットアドレスデータ送信と同じ方法で行われます。

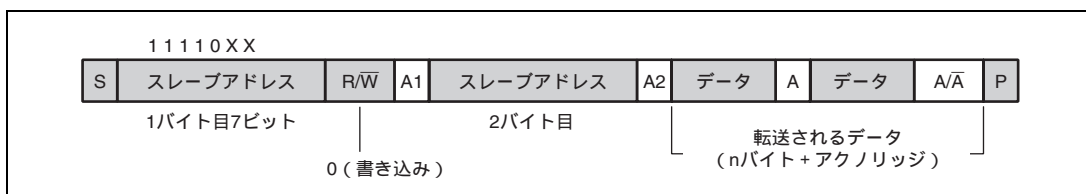


図 29.6 10 ビットアドレスデータ送信フォーマット

図 29.7 にデータ受信フォーマットを示します。データ受信フォーマットで 2 バイトのアドレスの送信は前述のデータ送信と同様に行われます。その後、再送条件 (Sr) が送信され、アドレスレジスタに設定された値が送信されます。このとき、STM1 は 1 (受信モード) である必要があります。データ転送は 7 ビットアドレス受信フォーマットと同様に行われます。

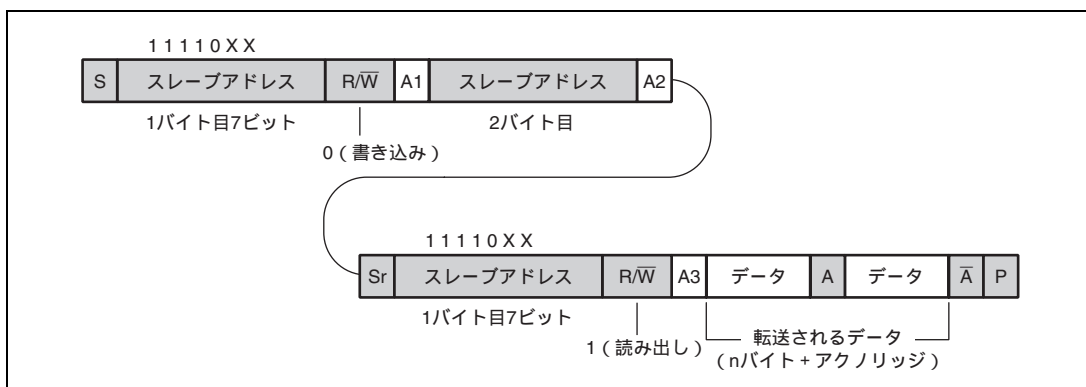


図 29.7 10 ビットアドレスデータ受信フォーマット

図 29.8 にデータ送信 / 受信複合フォーマットを示します。データ送信 / 受信複合フォーマットでは、データは最初の 2 バイトでアドレスが送信された後データが送信されます。その後、再送条件 (Sr) がストップ条件 (P) の代わりに送信されます。Sr 送信後の手順は通常データ受信フォーマットと同様に行われます。

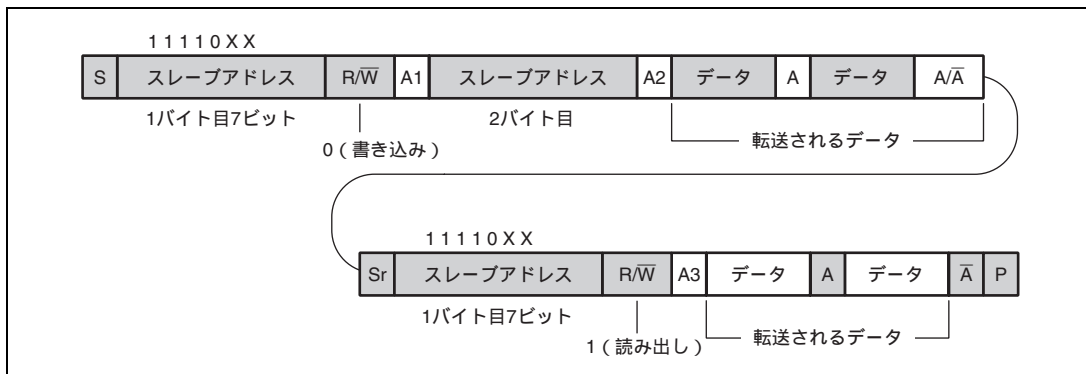


図 29.8 10 ビットアドレスデータ送信 / 受信複合フォーマット

29.4.8 マスタ送信動作

マスタ送信モードでの送信手順と動作を以下に示します。図 29.9 にマスタ送信モードのタイミングチャートを示します。マスタコントロールレジスタのMDBS ビットをセットすることにより、I²C はシングルパッファモードで動作します。

1. 初期状態では、スレーブアドレス、送信データ、送信スピードに従ってクロックコントロールレジスタとマスタ割り込みイネーブルレジスタを設定してください。マスタモードが使用されているときでもスレーブモードは要求されるので、スレーブアドレスレジスタにデバイスのアドレスを設定してください。
2. マスタコントロールレジスタのFSDAビットを監視してください。このビットがローレベルであることを確認してください。これは他のI²Cデバイスがバスを使用していないことを意味します。確認後、マスタコントロールレジスタのMIEビットとESGビットをセットしてマスタ送信を開始します。
3. 送信開始条件、スレーブアドレス、データ送信方向を示す信号が送信された後、マスタステータスレジスタのMATビットとMDEビットによる割り込みが図29.9の(1)に示されるタイミングで生成されます。このときESGをクリアしてください。マスタデバイスは、データ送信を一時停止するために、MDEビットがクリアされるまでSCLをローレベルにします。
4. SARによる割り込みが図29.9の(3)に示されるタイミングで生成されます。スレーブデバイスのIRQ処理が遅れた場合、スレーブデバイスはデータ送信を一時停止するためにSCLの期間を伸ばします(図29.9の(7)に示されるタイミング)。スレーブデバイスは9番目のクロックでSDAをローレベルにしてACKを返します。
5. データ転送は8ビットにACKの1ビットを加えたもの、つまり9ビットを単位として行います。MDE(ビット3)による割り込みは、データ転送前の9番目のクロック(図29.9の(2)に示されるタイミング)のときに生成されます。MDT(ビット2)による割り込みは、1バイトのデータ転送後から8番目のクロック(図29.9の(4)に示されるタイミング)のときに生成されます。転送データを設定したあとMDEをクリアしてください。スレーブデバイスのSDR(スレーブデータ受信)による割り込みは、8番目のクロック(図29.9の(6)に示されるタイミング)のときに生成されます。スレーブデバイスが受信データをリードしたあとSDRをクリアしてください。この処理が遅れた場合、スレーブデバイスはデータ送信を一時停止するためにSCLの期間を伸ばします(図29.9の(8)に示されるタイミング)。
6. データ転送を終了させるために、マスタステータスレジスタのMNR(ビット6)による割り込みが、スレーブデバイスからのACKが1(NACK)のとき9番目のクロックで生成されます(図29.9の(5)に示されるタイミング)。マスタデバイスはこのNACKを受信し、データ転送終了条件を出力します。マスタデバイスでデータ送信が終了したとき、マスタコントロールレジスタのFSB(ビット1)をセットして一時停止条件を出力してください。I²Cモジュールはバイトデータの最終ビットの送信または受信が完了するとFSBの値を取り込み、ストップ状態になります。そのため、あらかじめ決まったバイト数のデータ転送のあと通信を終了させるには、最終バイトデータの転送開始前にFSBが設定されている必要があります。
7. FSBは最終バイトデータが転送される前に設定される必要があります。そこでマスタ送信モード時には、最終バイトデータが設定されたあとMST(マスタストップ送信)を割り込みまたはポーリングでチェックします。また同時にMNR(マスタNACK受信)をチェックし、NACKが返された場合は最終バイトデータを再送

信するためにエラールーチンに進みます。

図 29.9 のタイミング (1) ~ (6) は、クロックの立ち下がりエッジ後に生成されます。

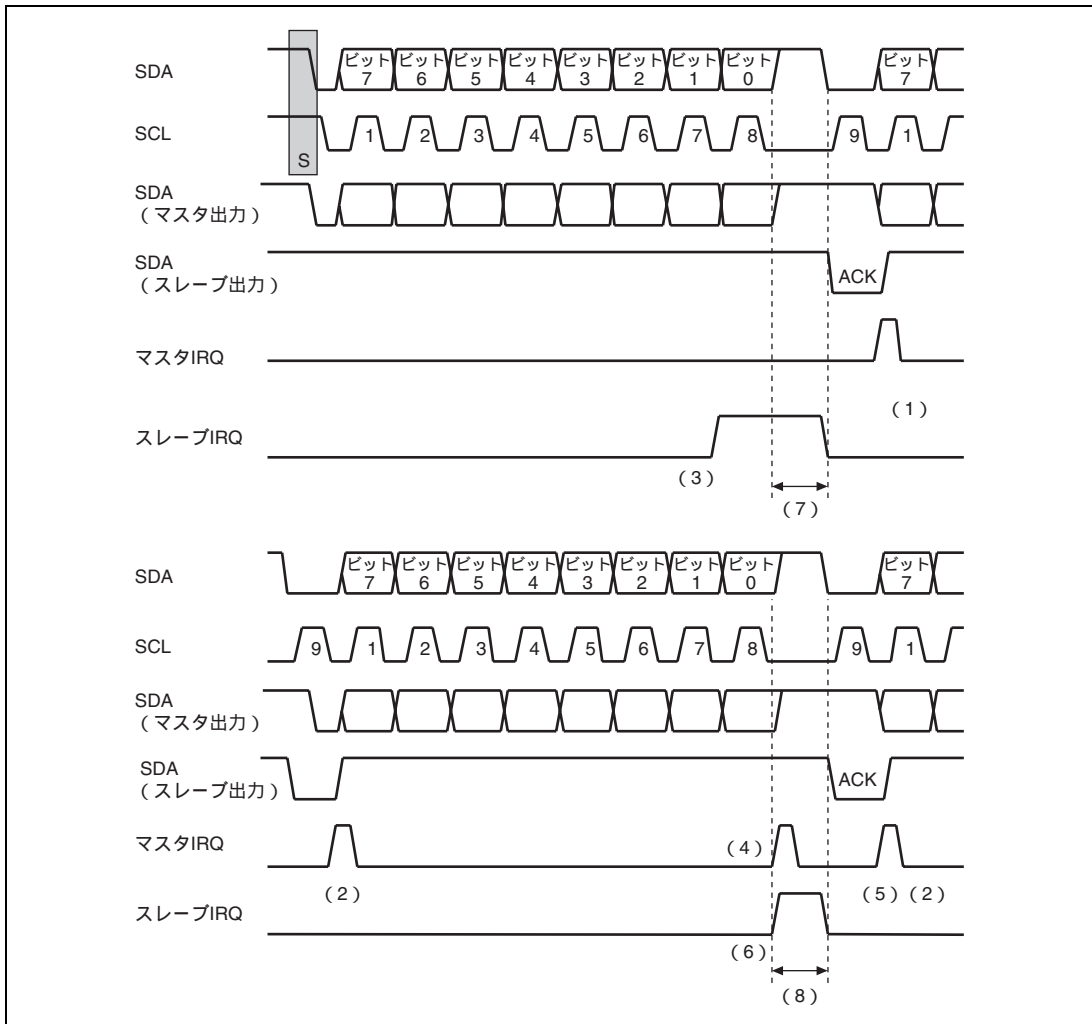


図 29.9 データ転送モード動作タイミング

29.4.9 マスタ受信動作

マスタ受信モードでのデータ受信手順と動作を以下に示します。図 29.10 にマスタデータ受信モードのタイミングチャートを示します。マスタコントロールレジスタの MDBS ビットをセットすることにより、I²C はシングルバッファモードで動作します。

1. マスタデータ受信モードでは、スレーブアドレスとデータ転送方向を示す1バイトの信号については、動作はマスタデータ転送モードと同様です。しかし、このときデータ転送方向は1（受信）を選択してください。
2. スレーブデバイスは、データ転送方向を示す信号によって自動的にデータ転送モードになり、マスタデバイスからのSCLクロックに同期して、1バイトデータの送信を行います。マスタデバイスは8番目のクロック（図 29.10の（2）に示されるタイミング）でMDR（ビット1）の割り込みを生成します。マスタデバイスが受信データを読み出した後、MDRビットをクリアしてください。この割り込み処理が遅れた場合、スレーブデバイスはデータ送信を一時停止するためにSCLの期間を伸ばします（図29.10の（3）に示されるタイミング）。
3. スレーブデバイスは、8番目のクロック（図29.10の（2）に示されるタイミング）で1バイトのデータ転送の最後を示すSDT（ビット2）による割り込みを生成します。また、9番目のクロック（図29.10の（1）に示されるタイミング）でデータエンプティを示すSDE（ビット3）による割り込みを生成します。スレーブ送信データをTXDに書き込んだ後、SDEをクリアしてください。
4. 転送を終了するために、マスタデバイスのマスタコントロールレジスタのFSB（ビット1）をセットして出力一時停止を出力してください。I²Cモジュールはバイトデータの最終ビットの送信または受信が完了すると、FSBの値を取り込んでストップ状態になります。そのため、あらかじめ決まったバイト数のデータ転送のあと通信を終了させるには、最終バイトデータの転送開始前にFSBが設定されている必要があります。最終バイトの受信後、マスタレシーバは受信トランザクションを完了しますが、もし最終バイトデータが正しくないとき、プロトコルレイヤはスレーブ送信側に再送信が必要なことを通知します。

図 29.10 のタイミング（1）～（3）は、クロックの立ち上がりエッジ後に生成されます。

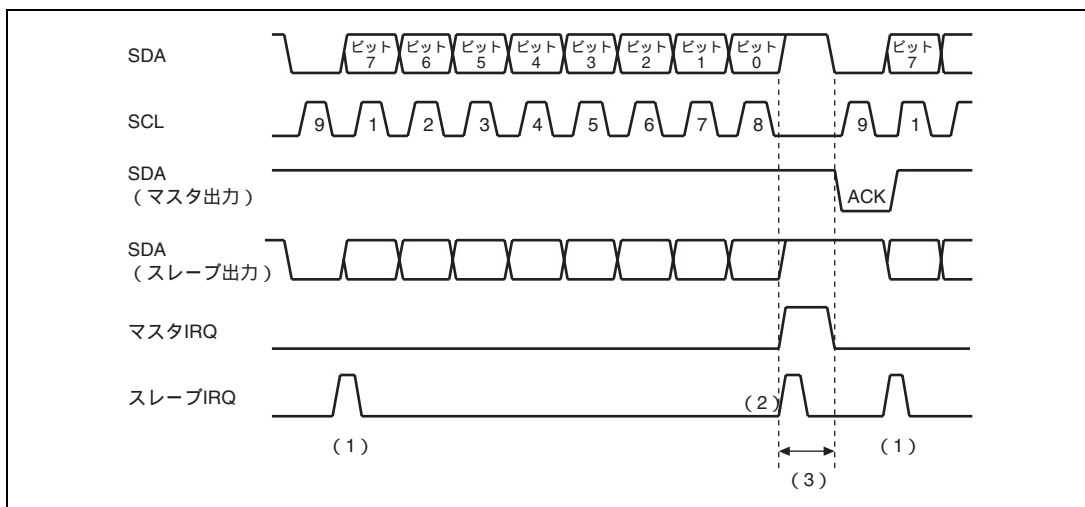


図 29.10 データ受信モード動作タイミング

29.5 プログラム例

29.5.1 マスタ送信

I²C バスにデータバケットを送信するマスタインタフェースの設定は、以下の手順に従ってください。

(1) クロックコントロールレジスタのロード

1. SCLクロック分周 (SCGD) にH'03を設定 (SCL周波数が400kHz)
2. クロック分周比 (CDF) にH'2を設定 (IOバスクロックが50MHz、I²C内部クロックIICckが16.7MHz)

(2) マスタコントロールレジスタ、1番目のデータバイトとアドレスのロード

1. マスタアドレスレジスタにアクセスしているスレーブのアドレスとSTM1ビット (書き込みモードは0) を設定
2. 送信データレジスタに送信される1番目のデータバイトを設定
3. マスタコントロールレジスタにH'89を設定 (MDBS = 1、MIE = 1、ESG = 1)

(3) アドレスの出力待ち

1. マスタデバイスのイベント (マスタステータスレジスタのMATビットとMDEビットによる割り込み) 待ち。
2. マスタコントロールレジスタにH'88を設定 (マスタデバイスは、データ送信を一時停止するために、MDEビットがクリアされるまでSCLをローレベルにします。)

1バイトのみ送信する場合はマスタコントロールレジスタにH'8Aを設定 (ストップの生成が有効)。これにより1バイト送信したらすぐにストップを生成する。

3. MATビットをリセット

(4) データバイトの送信経過を監視

1. マスタデバイスのイベント (マスタステータスレジスタのMDEビット) 待ち
2. 送信データレジスタに次のデータバイトを設定
3. MDEビットをリセット

最終送信バイトの設定後MDEをクリアします。最終送信バイト送信開始後、MDEが発生します。そのMDEをクリアする前に、マスタコントロールレジスタにH'8Aを設定してください。(強制ストップビットをセット)

(5) 送信終了待ち

1. マスタデバイスのイベント (マスタステータスレジスタのMSTビット) 待ち
2. MNR (Master NACK received) を確認後、MSTをリセット

29.5.2 マスタ受信

I²C バスのデータケットを受信するマスタインタフェースの設定は、以下の手順に従ってください。

(1) クロックコントロールレジスタのロード

1. SCLクロック分周 (SCGD) にH'03を設定 (SCL周波数が400kHz)
2. クロック分周比 (CDF) にH'2を設定 (IOバスクロックが50MHz、I²C内部クロックIICckが16.7MHz)

(2) マスタコントロールレジスタとアドレスのロード

1. マスタアドレスレジスタにアクセスしているスレーブのアドレスとSTM1ビット (読み出しモードは1) を設定
2. マスタコントロールレジスタにH'89を設定 (MDBS = 1、MIE = 1、ESG = 1)

(3) アドレスの出力待ち

1. マスタデバイスのイベント (マスタステータスレジスタのMATビットとMDRビットによる割り込み) 待ち。
2. マスタコントロールレジスタにH'88を設定 (マスタデバイスは、データ受信を一時停止するために、MDRビットがクリアされるまでSCLをローレベルにします。)

1バイトのみ送信する場合はマスタコントロールレジスタにH'8Aを設定 (ストップの生成が有効)。これにより1バイト受信したらすぐにストップを生成する。

3. MATビットをリセット

(4) データバイトの受信経過を監視

1. マスタデバイスのイベント (マスタステータスレジスタのMDRビット) 待ち
2. 受信データレジスタからデータ読み出し

次のデータバイトがスレーブデバイスによって送信される (最終-1) バイトのデータバイトの場合、その最終-1 バイトの受信割り込みすなわち MDR 割り込みに対して

3. マスタコントロールレジスタにH'8Aを設定（強制ストップビットを設定）
4. MDRビットをリセット

(5) 受信終了待ち

1. 最終バイトの受信割り込み（MDR）の処理、すなわちデータを引き抜いてMDRをクリアする
2. マスタデバイスのイベント（マスタステータスレジスタのMST）待ち
3. MSTをリセット

29.5.3 マスタ送信—リスタート—マスタ受信

I²C バスにデータパケットを送信し、リスタートを発行し、スレーブからデータを読み出すマスタインタフェースの設定は、以下の手順に従ってください。

(1) クロックコントロールレジスタのロード

1. SCLクロック分周（SCGD）にH'03を設定（SCL周波数が400kHz）
2. クロック分周比（CDF）にH'2を設定（IOバスクロックが50MHz、I²C内部クロックIICckが16.7MHz）

(2) マスタコントロールレジスタとアドレスのロード

1. マスタアドレスレジスタにアクセスしているスレーブのアドレスとSTM1ビット（書き込みモードは0）を設定
2. マスタコントロールレジスタにH'89を設定（MDBS = 1、MIE = 1、ESG = 1）

(3) アドレスの出力待ち

1. マスタデバイスのイベント（マスタステータスレジスタのMATビットとMDEビットによる割り込み）待ち。
2. マスタアドレスレジスタにアクセスしているスレーブのアドレスとSTM1ビット（読み出しモードは1）を設定

マスタコントロールレジスタのイネーブルスタート生成ビットがまだセットされているときは送信の最後でマスタはリスタートを発行します。新しいアドレスが上述のとおりロードされているので、バスの方向が変更されます。

3. MATビットをリセット

(4) アドレスの出力待ち

1. マスタデバイスのイベント（マスタステータスレジスタのMATビットとMDRビットによる割り込み）待ち。
2. マスタコントロールレジスタにH'88を設定（マスタデバイスはデータ受信を一時停止するために、MDRビットがクリアされるまでSCLをローレベルにします。）
3. MATビットをリセット

(5) データバイトの受信経過を監視

1. マスタデバイスのイベント (マスタステータスレジスタのMDRビット) 待ち
2. 受信データレジスタからデータ読み出し
次のデータバイトがスレーブデバイスによって送信される (最終-1) バイトのデータバイトの場合、その最終-1 バイトの受信割り込みすなわち MDR 割り込みに対して
3. マスタコントロールレジスタにH'8Aを設定 (強制ストップビットを設定)
4. MDRビットをリセット

(6) 受信 終了待ち

1. 最終バイトの受信割り込み (MDR) の処理、すなわちデータを引き抜いてMDRをクリアする
2. マスタデバイスのイベント (マスタステータスレジスタのMSTビット) 待ち
3. MSTビットをリセット

30. 汎用入出力ポート (GPIO)

30.1 特長

本 LSI は 9 組 (入出力 : 60 本) の汎用ポート (ポート A~J) があります。

GPIO (汎用入出力ポート) の各ポートは周辺モジュールの端子とマルチプレクスされており、GPIO、周辺モジュールの選択を行います。

GPIO には次のような特長があります。

- それぞれのポート端子は、ポートコントロールレジスタで端子機能とプルアップMOS制御を端子ごとに行えるマルチプレクス端子です。
- ポートはそれぞれ端子のデータを格納するためのデータレジスタを1本ずつ持っています。
- GPIO割り込みあり*

【注】 * GPIO 割り込みポートとして使用可能なポートについては表 30.1 を参照してください。

GPIO 割り込みの設定については「第 10 章 割り込みコントローラ (INTC)」を参照してください。

表 30.1 にポートコントロールレジスタで制御されるマルチプレクス端子を示します。

表 30.1 ポートコントロールレジスタで制御されるマルチプレクス一覧表

端子名	ポート	GPIO	選択可能なモジュール名	GPIO 割り込み
CDE/ETH_MAGIC	A	PA7 入出力	DU/ETH	-
DISP/ETH_LINK	A	PA6 入出力	DU/ETH	-
DR5/ETH_TX_ER	A	PA5 入出力	DU/ETH	-
DR4/ETH_TX_EN	A	PA4 入出力	DU/ETH	-
DR3/ETH_TXD3	A	PA3 入出力	DU/ETH	-
DR2/ETH_TXD2	A	PA2 入出力	DU/ETH	-
DR1/ETH_TXD1	A	PA1 入出力	DU/ETH	-
DR0/ETH_TXD0	A	PA0 入出力	DU/ETH	-
VSYNC/HSPI_CLK	B	PB7 入出力	DU/HSPI	-
ODDF/HSPI_CS	B	PB6 入出力	DU/HSPI	-
DG5/ETH_MDIO	B	PB5 入出力	DU/ETH	-
DG4/ETH_RX_CLK	B	PB4 入出力	DU/ETH	-
DG3/ETH_MDC	B	PB3 入出力	DU/ETH	-
DG2/ETH_COL	B	PB2 入出力	DU/ETH	-
DG1/ETH_TX_CLK	B	PB1 入出力	DU/ETH	-
DG0/ETH_CRS	B	PB0 入出力	DU/ETH	-

端子名	ポート	GPIO	選択可能なモジュール名	GPIO 割り込み
DCLKIN/HSPI_RX	C	PC7 入出力	DU/HSPI	-
HSYNC/HSPI_TX	C	PC6 入出力	DU/HSPI	-
DB5/ETH_RXD3	C	PC5 入出力	DU/ETH	-
DB4/ETH_RXD2	C	PC4 入出力	DU/ETH	-
DB3/ETH_RXD1	C	PC3 入出力	DU/ETH	-
DB2/ETH_RXD0	C	PC2 入出力	DU/ETH	-
DB1/ETH_RX_DV	C	PC1 入出力	DU/ETH	-
DB0/ETH_RX_ER	C	PC0 入出力	DU/ETH	-
DCLKOUT	D	PD7 入出力	DU	-
SCIF1_SCK	D	PD6 入出力	SCIF	-
SCIF1_RXD	D	PD5 入出力	SCIF	-
SCIF1_TXD	D	PD4 入出力	SCIF	-
DACK1/BACK/FALE	D	PD3 入出力	LBSC/LBSC/FLCTL	-
DACK0/FCLE	D	PD2 入出力	LBSC/FLCTL	-
DREQ1/BREQ/USB_OVC1	D	PD1 入出力	DMAC/LBSC/USB	-
DREQ0/USB_OVC0	D	PD0 入出力	DMAC/USB	-
USB_PENC1	E	PE7 入出力	USB	-
USB_PENC0	E	PE6 入出力	USB	-
HAC1_SDOUT/SSI1_SDATA/SDIF1CMD	F	PF7 入出力	HAC/SSI/SDIF	-
HAC1_SDIN/SSI1_SCK/SDIF1CD	F	PF6 入出力	HAC/SSI/SDIF	-
HAC1_SYNC/SSI1_WS/SDIF1WP	F	PF5 入出力	HAC/SSI/SDIF	-
HAC1_BITCLK/SSI1_CLK/SDIF1CLK	F	PF4 入出力	HAC/SSI/SDIF	-
HAC0_SDOUT/SSI0_SDATA/SDIF1D3	F	PF3 入出力	HAC/SSI/SDIF	-
HAC0_SDIN/SSI0_SCK/SDIF1D2	F	PF2 入出力	HAC/SSI/SDIF	-
HAC0_SYNC/SSI0_WS/SDIF1D1	F	PF1 入出力	HAC/SSI/SDIF	-
HAC0_BITCLK/SSI0_CLK/SDIF1D0	F	PF0 入出力	HAC/SSI/SDIF	-
SCIF3_SCK/SSI2_SDATA	G	PG7 入出力	SCIF/SSI	-
SCIF3_RXD/TCLK/SSI2_SCK	G	PG6 入出力	SCIF/TMU/SSI	-
SCIF3_TXD/HAC_RE \bar{S} /SSI2_WS	G	PG5 入出力	SCIF/HAC/SSI	-
MODE7/DACK3/SDIF0CMD	H	PH7 入出力	LBSC/SDIF	-
MODE6/DACK2/SDIF0CD	H	PH6 入出力	LBSC/SDIF	-
MODE5/DREQ3/SDIF0WP	H	PH5 入出力	DMAC/SDIF	-
MODE4/SCIF0_CTS/DREQ2/SDIF0CLK	H	PH4 入出力	SCIF/DMAC/SDIF	-
MODE3/SCIF0_RTS/I \bar{R} L7/SDIF0D3	H	PH3 入出力	SCIF/INTC/SDIF	-
MODE2/SCIF0_SCK/I \bar{R} L6/SDIF0D2	H	PH2 入出力	SCIF/INTC/SDIF	-
MODE1/SCIF0_RXD/I \bar{R} L5/SDIF0D1	H	PH1 入出力	SCIF/INTC/SDIF	-
MODE0/SCIF0_TXD/I \bar{R} L4/SDIF0D0	H	PH0 入出力	SCIF/INTC/SDIF	-
MODE14/SCIF5_SCK/FR \bar{B}	J	PJ7 入出力	SCIF/FLCTL	-

端子名	ポート	GPIO	選択可能なモジュール名	GPIO 割り込み
MODE13/SCIF5_RXD/ $\overline{\text{IOIS16}}$	J	PJ6 入出力	SCIF/LBSC	-
MODE12/SCIF5_TXD/ $\overline{\text{CE2B}}$	J	PJ5 入出力	SCIF/LBSC	-
MODE11/DRAK3/ $\overline{\text{CE2A}}$	J	PJ4 入出力	DMAC/LBSC	-
MODE10/SCIF4_SCK/DRAK2/SSI3_WS	J	PJ3 入出力	SCIF/DMAC/SSI	-
MODE9/SCIF4_RXD/DRAK1/SSI3_SDATA	J	PJ2 入出力	SCIF/DMAC/SSI	
MODE8/SCIF4_TXD/DRAK0/SSI3_SCK/ $\overline{\text{FSE}}$	J	PJ1 入出力	SCIF/DMAC/SSI/FLCTL	

【注】 周辺モジュールセレクトレジスタ 1、2 (P1MSELR、P2MSELR) により、これらの端子を使用するモジュールを選択できます。

30.2 レジスタの説明

GPIO 制御には、以下のレジスタがあります。

表 30.2 レジスタ構成 (1)

名称	略称	R/W	P4 アドレス* ¹	エリア 7 アドレス* ¹	アクセス サイズ* ²	同期 クロック
ポート A コントロールレジスタ	PACR	R/W	H'FFCC 0000	H'1FCC 0000	16	Pck
ポート B コントロールレジスタ	PBCR	R/W	H'FFCC 0002	H'1FCC 0002	16	Pck
ポート C コントロールレジスタ	PCCR	R/W	H'FFCC 0004	H'1FCC 0004	16	Pck
ポート D コントロールレジスタ	PDCR	R/W	H'FFCC 0006	H'1FCC 0006	16	Pck
ポート E コントロールレジスタ	PECR	R/W	H'FFCC 0008	H'1FCC 0008	16	Pck
ポート F コントロールレジスタ	PFCR	R/W	H'FFCC 000A	H'1FCC 000A	16	Pck
ポート G コントロールレジスタ	PGCR	R/W	H'FFCC 000C	H'1FCC 000C	16	Pck
ポート H コントロールレジスタ	PHCR	R/W	H'FFCC 000E	H'1FCC 000E	16	Pck
ポート J コントロールレジスタ	PJCR	R/W	H'FFCC 0010	H'1FCC 0010	16	Pck
ポート A データレジスタ	PADR	R/W	H'FFCC 0020	H'1FCC 0020	8	Pck
ポート B データレジスタ	PBDR	R/W	H'FFCC 0022	H'1FCC 0022	8	Pck
ポート C データレジスタ	PCDR	R/W	H'FFCC 0024	H'1FCC 0024	8	Pck
ポート D データレジスタ	PDDR	R/W	H'FFCC 0026	H'1FCC 0026	8	Pck
ポート E データレジスタ	PEDR	R/W	H'FFCC 0028	H'1FCC 0028	8	Pck
ポート F データレジスタ	PFDR	R/W	H'FFCC 002A	H'1FCC 002A	8	Pck
ポート G データレジスタ	PGDR	R/W	H'FFCC 002C	H'1FCC 002C	8	Pck
ポート H データレジスタ	PHDR	R/W	H'FFCC 002E	H'1FCC 002E	8	Pck
ポート J データレジスタ	PJDR	R/W	H'FFCC 0030	H'1FCC 0030	8	Pck
ポート A ブルアップ制御レジスタ	PAPUPR	R/W	H'FFCC 0040	H'1FCC 0040	8	Pck
ポート B ブルアップ制御レジスタ	PBPUPR	R/W	H'FFCC 0042	H'1FCC 0042	8	Pck
ポート C ブルアップ制御レジスタ	PCPUPR	R/W	H'FFCC 0044	H'1FCC 0044	8	Pck
ポート D ブルアップ制御レジスタ	PDPUPR	R/W	H'FFCC 0046	H'1FCC 0046	8	Pck
ポート E ブルアップ制御レジスタ	PEPUPR	R/W	H'FFCC 0048	H'1FCC 0048	8	Pck
ポート F ブルアップ制御レジスタ	PFUPR	R/W	H'FFCC 004A	H'1FCC 004A	8	Pck
ポート G ブルアップ制御レジスタ	PGUPR	R/W	H'FFCC 004C	H'1FCC 004C	8	Pck
ポート H ブルアップ制御レジスタ	PHUPR	R/W	H'FFCC 004E	H'1FCC 004E	8	Pck
ポート J ブルアップ制御レジスタ	PJUPR	R/W	H'FFCC 0050	H'1FCC 0050	8	Pck
入力端子ブルアップ制御レジスタ 1	PPUPR1	R/W	H'FFCC 0060	H'1FCC 0060	16	Pck
入力端子ブルアップ制御レジスタ 2	PPUPR2	R/W	H'FFCC 0062	H'1FCC 0062	16	Pck
周辺モジュールセレクトレジスタ 1	P1MSELR	R/W	H'FFCC 0080	H'1FCC 0080	16	Pck
周辺モジュールセレクトレジスタ 2	P2MSELR	R/W	H'FFCC 0082	H'1FCC 0082	16	Pck

- 【注】 *1 P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。
- *2 レジスタには 16 ビットアクセスのレジスタと 8 ビットアクセスのレジスタがあります。指定されたアクセスサイズでリードライトを行ってください。

表 30.2 レジスタ構成 (2)

名称	略称	パワーオン リセット PRESET 端子 /WDT/H-UDI に よる	マニュアル リセット WDT/多重例外に よる	スリープ/ ライトスリープ Sleep 命令に よる	モジュール スタンバイ
ポート A コントロールレジスタ	PACR	H'FFFF	保持	保持	保持
ポート B コントロールレジスタ	PBCR	H'FFFF	保持	保持	保持
ポート C コントロールレジスタ	PCCR	H'FFFF	保持	保持	保持
ポート D コントロールレジスタ	PDCR	H'FF00	保持	保持	保持
ポート E コントロールレジスタ	PECR	H'0FFF	保持	保持	保持
ポート F コントロールレジスタ	PFCR	H'FFFF	保持	保持	保持
ポート G コントロールレジスタ	PGCR	H'FFFF	保持	保持	保持
ポート H コントロールレジスタ	PHCR	H'FFFF	保持	保持	保持
ポート J コントロールレジスタ	PJCR	H'3FC3	保持	保持	保持
ポート A データレジスタ	PADR	H'xx	保持	保持	保持
ポート B データレジスタ	PBDR	H'xx	保持	保持	保持
ポート C データレジスタ	PCDR	H'xx	保持	保持	保持
ポート D データレジスタ	PDDR	H'xx	保持	保持	保持
ポート E データレジスタ	PEDR	H'00	保持	保持	保持
ポート F データレジスタ	PFDR	H'xx	保持	保持	保持
ポート G データレジスタ	PGDR	H'x0	保持	保持	保持
ポート H データレジスタ	PHDR	H'xx	保持	保持	保持
ポート J データレジスタ	PJDR	H'xx	保持	保持	保持
ポート A ブルアップ制御レジスタ	PAPUPR	H'FF	保持	保持	保持
ポート B ブルアップ制御レジスタ	PBPUPR	H'FF	保持	保持	保持
ポート C ブルアップ制御レジスタ	PCPUPR	H'FF	保持	保持	保持
ポート D ブルアップ制御レジスタ	PDPUPR	H'FF	保持	保持	保持
ポート E ブルアップ制御レジスタ	PEPUPR	H'FF	保持	保持	保持
ポート F ブルアップ制御レジスタ	PFUPR	H'FF	保持	保持	保持
ポート G ブルアップ制御レジスタ	PGPUPR	H'FF	保持	保持	保持
ポート H ブルアップ制御レジスタ	PHPUPR	H'FF	保持	保持	保持
ポート J ブルアップ制御レジスタ	PJPUPR	H'FF	保持	保持	保持
入力端子ブルアップ制御レジスタ 1	PPUPR1	H'FFFF	保持	保持	保持

名称	略称	パワーオン リセット PRESET 端子 /WDT/H-UDI に よる	マニュアル リセット WDT/多重例外に よる	スリープ/ ライトスリープ Sleep 命令に よる	モジュール スタンバイ
入力端子プルアップ制御レジスタ 2	PPUPR2	H'FFFF	保持	保持	保持
周辺モジュールセレクトレジスタ 1	P1MSELR	H'0000	保持	保持	保持
周辺モジュールセレクトレジスタ 2	P2MSELR	H'0000	保持	保持	保持

30.2.1 ポート A コントロールレジスタ (PACR)

PACR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA7 MD1	PA7 MD0	PA6 MD1	PA6 MD0	PA5 MD1	PA5 MD0	PA4 MD1	PA4 MD0	PA3 MD1	PA3 MD0	PA2 MD1	PA2 MD0	PA1 MD1	PA1 MD0	PA0 MD1	PA0 MD0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PA7MD1	1	R/W	PA7 モード
14	PA7MD0	1	R/W	00: DU/ETH モジュール機能 (CDE/ETH_MAGIC) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
13	PA6MD1	1	R/W	PA6 モード
12	PA6MD0	1	R/W	00: DU/ETH モジュール機能 (DISP/ETH_LINK) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
11	PA5MD1	1	R/W	PA5 モード
10	PA5MD0	1	R/W	00: DU/ETH モジュール機能 (DR5/ETH_TX_ER) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
9	PA4MD1	1	R/W	PA4 モード
8	PA4MD0	1	R/W	00: DU/ETH モジュール機能 (DR4/ETH_TX_EN) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
7	PA3MD1	1	R/W	PA3 モード
6	PA3MD0	1	R/W	00: DU/ETH モジュール機能 (DR3/ETH_TXD3) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
5	PA2MD1	1	R/W	PA2 モード
4	PA2MD0	1	R/W	00: DU/ETH モジュール機能 (DR2/ETH_TXD2) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)

ビット	ビット名	初期値	R/W	説明
3 2	PA1MD1 PA1MD0	1 1	R/W R/W	PA1 モード 00 : DU/ETH モジュール機能 (DR1/ETH_TXD1) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1 0	PA0MD1 PA0MD0	1 1	R/W R/W	PA0 モード 00 : DU/ETH モジュール機能 (DR0/ETH_TXD0) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

【注】 * 周辺モジュールセレクトレジスタ 1 (P1MSELR) により、これらの端子を使用するモジュールを選択できます。

30.2.2 ポート B コントロールレジスタ (PBCR)

PBCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB7 MD1	PB7 MD0	PB6 MD1	PB6 MD0	PB5 MD1	PB5 MD0	PB4 MD1	PB4 MD0	PB3 MD1	PB3 MD0	PB2 MD1	PB2 MD0	PB1 MD1	PB1 MD0	PB0 MD1	PB0 MD0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PB7MD1	1	R/W	PB7 モード 00: DU/HSPI モジュール機能 ($\overline{\text{VSYNC}}/\text{HSPI_CLK}$) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
14	PB7MD0	1	R/W	
13	PB6MD1	1	R/W	PB6 モード 00: DU/HSPI モジュール機能 ($\text{ODDF}/\overline{\text{HSPI_CS}}$) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
12	PB6MD0	1	R/W	
11	PB5MD1	1	R/W	PB5 モード 00: DU/Ether モジュール機能 ($\text{DG5}/\text{ETH_MDIO}$) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
10	PB5MD0	1	R/W	
9	PB4MD1	1	R/W	PB4 モード 00: DU/Ether モジュール機能 ($\text{DG4}/\text{ETH_RX_CLK}$) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
8	PB4MD0	1	R/W	
7	PB3MD1	1	R/W	PB3 モード 00: DU/Ether モジュール機能 ($\text{DG3}/\text{ETH_MDC}$) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
6	PB3MD0	1	R/W	
5	PB2MD1	1	R/W	PB2 モード 00: DU/Ether モジュール機能 ($\text{DG2}/\text{ETH_COL}$) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
4	PB2MD0	1	R/W	

ビット	ビット名	初期値	R/W	説明
3 2	PB1MD1 PB1MD0	1 1	R/W R/W	PB1 モード 00: DU/Ether モジュール機能 (DG1/ETH_TX_CLK) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
1 0	PB0MD1 PB0MD0	1 1	R/W R/W	PB0 モード 00: DU/Ether モジュール機能 (DG0/ETH_CRS) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)

【注】 * 周辺モジュールセレクトレジスタ 1 (P1MSELR) により、これらの端子を使用するモジュールを選択できます。

30.2.3 ポート C コントロールレジスタ (PCCR)

PCCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC7 MD1	PC7 MD0	PC6 MD1	PC6 MD0	PC5 MD1	PC5 MD0	PC4 MD1	PC4 MD0	PC3 MD1	PC3 MD0	PC2 MD1	PC2 MD0	PC1 MD1	PC1 MD0	PC0 MD1	PC0 MD0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PC7MD1	1	R/W	PC7 モード
14	PC7MD0	1	R/W	00: DU/HSPI モジュール機能 ($\overline{\text{DCLKIN}}/\text{HSPI_RX}$) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
13	PC6MD1	1	R/W	PC6 モード
12	PC6MD0	1	R/W	00: DU/HSPI モジュール機能 ($\overline{\text{HSYNC}}/\text{HSPI_TX}$) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
11	PC5MD1	1	R/W	PC5 モード
10	PC5MD0	1	R/W	00: DU/Ether モジュール機能 (DB5/ETH_RXD3) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
9	PC4MD1	1	R/W	PC4 モード
8	PC4MD0	1	R/W	00: DU/Ether モジュール機能 (DB4/ETH_RXD2) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
7	PC3MD1	1	R/W	PC3 モード
6	PC3MD0	1	R/W	00: DU/Ether モジュール機能 (DB3/ETH_RXD1) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
5	PC2MD1	1	R/W	PC2 モード
4	PC2MD0	1	R/W	00: DU/Ether モジュール機能 (DB2/ETH_RXD0) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)

ビット	ビット名	初期値	R/W	説明
3 2	PC1MD1 PC1MD0	1 1	R/W R/W	PC1 モード 00 : DU/Ether モジュール機能 (DB1/ETH_RX_DV) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1 0	PC0MD1 PC0MD0	1 1	R/W R/W	PC0 モード 00 : DU/Ether モジュール機能 (DB0/ETH_RX_ER) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

【注】 * 周辺モジュールセレクトレジスタ 1 (P1MSELR) により、これらの端子を使用するモジュールを選択できます。

30.2.4 ポート D コントロールレジスタ (PDCR)

PDCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD7 MD1	PD7 MD0	PD6 MD1	PD6 MD0	PD5 MD1	PD5 MD0	PD4 MD1	PD4 MD0	PD3 MD1	PD3 MD0	PD2 MD1	PD2 MD0	PD1 MD1	PD1 MD0	PD0 MD1	PD0 MD0
初期値:	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PD7MD1	1	R/W	PD7 モード
14	PD7MD0	1	R/W	00: DU モジュール機能 (DCLKOUT) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
13	PD6MD1	1	R/W	PD6 モード
12	PD6MD0	1	R/W	00: SCIF モジュール機能 (SCIF1_SCK) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
11	PD5MD1	1	R/W	PD5 モード
10	PD5MD0	1	R/W	00: SCIF モジュール機能 (SCIF1_RXD) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
9	PD4MD1	1	R/W	PD4 モード
8	PD4MD0	1	R/W	00: SCIF モジュール機能 (SCIF1_TXD) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
7	PD3MD1	0	R/W	PD3 モード
6	PD3MD0	0	R/W	00: DMAC/LBSC/FLCTL モジュール機能 (DACK1/BACK/FALE) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
5	PD2MD1	0	R/W	PD2 モード
4	PD2MD0	0	R/W	00: DMAC/FLCTL モジュール機能 (DACK0/FCLE) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)

ビット	ビット名	初期値	R/W	説明
3	PD1MD1	0	R/W	PD1 モード 00: DMAC/LBSC/USB モジュール機能 (DREQ1/BREQ/USB_OVC1)* 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
2	PD1MD0	0	R/W	
1	PD0MD1	0	R/W	PD0 モード 00: DMAC/USB モジュール機能 (DREQ0/USB_OVC0)* 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
0	PD0MD0	0	R/W	

【注】 * 周辺モジュールセレクトレジスタ 1 (P1MSELR) により、これらの端子を使用するモジュールを選択できます。

30.2.5 ポート E コントロールレジスタ (PECR)

PECR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE7 MD1	PE7 MD0	PE6 MD1	PE6 MD0	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PE7MD1	0	R/W	PE7 モード 00 : USB モジュール機能 (USB_PENC1) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
14	PE7MD0	0	R/W	
13	PE6MD1	0	R/W	PE6 モード 00 : USB モジュール機能 (USB_PENC0) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
12	PE6MD0	0	R/W	
11~0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

30.2.6 ポート F コントロールレジスタ (PFCR)

PFCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF7 MD1	PF7 MD0	PF6 MD1	PF6 MD0	PF5 MD1	PF5 MD0	PF4 MD1	PF4 MD0	PF3 MD1	PF3 MD0	PF2 MD1	PF2 MD0	PF1 MD1	PF1 MD0	PF0 MD1	PF0 MD0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PF7MD1	1	R/W	PF7 モード
14	PF7MD0	1	R/W	00 : HAC/SSI/SDIF モジュール機能 (HAC1_SDOOUT/SSI1_SDATA/SDIF1CMD) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
13	PF6MD1	1	R/W	PF6 モード
12	PF6MD0	1	R/W	00 : HAC/SSI/SDIF モジュール機能 (HAC1_SDIN/SSI1_SCK/SDIF1CD) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
11	PF5MD1	1	R/W	PF5 モード
10	PF5MD0	1	R/W	00 : HAC/SSI/SDIF モジュール機能 (HAC1_SYNC/SSI1_WS/SDIF1WP) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
9	PF4MD1	1	R/W	PF4 モード
8	PF4MD0	1	R/W	00 : HAC/SSI/SDIF モジュール機能 (HAC1_BITCLK/SSI1_CLK/SDIF1CLK) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
7	PF3MD1	1	R/W	PF3 モード
6	PF3MD0	1	R/W	00 : HAC/SSI/SDIF モジュール機能 (HAC0_SDOOUT/SSI0_SDATA/SDIF1D3) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

ビット	ビット名	初期値	R/W	説明
5 4	PF2MD1 PF2MD0	1 1	R/W R/W	PF2 モード 00 : HAC/SSI/SDIF モジュール機能 (HAC0_SDIN/SSI0_SCK/SDIF1D2) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3 2	PF1MD1 PF1MD0	1 1	R/W R/W	PF1 モード 00 : HAC/SSI/SDIF モジュール機能 (HAC0_SYNC/SSI0_WS/SDIF1D1) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1 0	PF0MD1 PF0MD0	1 1	R/W R/W	PF0 モード 00 : HAC/SSI/SDIF モジュール機能 (HAC0_BITCLK/SSI0_CLK/SDIF1D0) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

【注】 * 周辺モジュールセレクトレジスタ 2 (P2MSELR) により、これらの端子を使用するモジュールを選択できます。

30.2.7 ポート G コントロールレジスタ (PGCR)

PGCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG7 MD1	PG7 MD0	PG6 MD1	PG6 MD0	PG5 MD1	PG5 MD0	—	—	—	—	—	—	—	—	—	—
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PG7MD1	1	R/W	PG7 モード 00: SCIF/SSI モジュール機能 (SCIF3_SCK/SSI2_SDATA) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
14	PG7MD0	1	R/W	
13	PG6MD1	1	R/W	PG6 モード 00: SCIF/TMU/SSI モジュール機能 (SCIF3_RXD/TCLK/SSI2_SCK) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
12	PG6MD0	1	R/W	
11	PG5MD1	1	R/W	PG5 モード 00: SCIF/HAC/SSI モジュール機能 (SCIF3_TXD/HAC_RES/SSI2_WS) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
10	PG5MD0	1	R/W	
9~0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

【注】 * 周辺モジュールセレクトレジスタ 1 (P1MSELR) により、これらの端子を使用するモジュールを選択できます。

30.2.8 ポートHコントロールレジスタ (PHCR)

PHCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH7 MD1	PH7 MD0	PH6 MD1	PH6 MD0	PH5 MD1	PH5 MD0	PH4 MD1	PH4 MD0	PH3 MD1	PH3 MD0	PH2 MD1	PH2 MD0	PH1 MD1	PH1 MD0	PH0 MD1	PH0 MD0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PH7MD1	1	R/W	PH7 モード
14	PH7MD0	1	R/W	00: DMAC/SDIF モジュール機能 (ODE7/DACK3/SDIF0CMD) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
13	PH6MD1	1	R/W	PH6 モード
12	PH6MD0	1	R/W	00: DMAC/SDIF モジュール機能 (ODE6/DACK2/SDIF0CD) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
11	PH5MD1	1	R/W	PH5 モード
10	PH5MD0	1	R/W	00: DMAC/SDIF モジュール機能 (ODE5/DREQ3/SDIF0WP) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
9	PH4MD1	1	R/W	PH4 モード
8	PH4MD0	1	R/W	00: SCIF/DMAC/SDIF モジュール機能 (MODE4/SCIF0_CTS/DREQ2/SDIF0CLK) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
7	PH3MD1	1	R/W	PH3 モード
6	PH3MD0	1	R/W	00: SCIF/INTC/SDIF モジュール機能 (MODE3/SCIF0_RTS/IRL7/SDIF0D3) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)

ビット	ビット名	初期値	R/W	説明
5 4	PH2MD1 PH2MD0	1 1	R/W R/W	PH2 モード 00 : SCIF/INTC/SDIF モジュール機能 (MODE2/SCIF0_SCK/IRL6/SDIF0D2) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3 2	PH1MD1 PH1MD0	1 1	R/W R/W	PH1 モード 00 : SCIF/INTC/SDIF モジュール機能 (MODE1/SCIF0_RXD/IRL5/SDIF0D1) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1 0	PH0MD1 PH0MD0	1 1	R/W R/W	PH0 モード 00 : SCIF/INTC/SDIF モジュール機能 (MODE0/SCIF0_TXD/IRL5/SDIF0D0) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

【注】 * 周辺モジュールセレクトレジスタ 2 (P2MSELR) により、これらの端子を使用するモジュールを選択できます。

30.2.9 ポート J コントロールレジスタ (PJCR)

PJCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ7 MD1	PJ7 MD0	PJ6 MD1	PJ6 MD0	PJ5 MD1	PJ5 MD0	PJ4 MD1	PJ4 MD0	PJ3 MD1	PJ3 MD0	PJ2 MD1	PJ2 MD0	PJ1 MD1	PJ1 MD0	—	—
初期値 :	0	0	1	1	1	1	1	1	1	1	0	0	0	0	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
15	PJ7MD1	0	R/W	PJ7 モード 00 : SCIF/FLCTL モジュール機能 (MODE14/SCIF5_SCK/FRB) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
14	PJ7MD0	0	R/W	
13	PJ6MD1	1	R/W	PJ6 モード 00 : SCIF/LBSC モジュール機能 (MODE13/SCIF5_RXD/I/OIS16) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
12	PJ6MD0	1	R/W	
11	PJ5MD1	1	R/W	PJ5 モード 00 : SCIF/LBSC モジュール機能 (MODE12/SCIF5_TXD/CE2B) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
10	PJ5MD0	1	R/W	
9	PJ4M1	1	R/W	PJ4 モード 00 : DMAC/LBSC モジュール機能 (MODE11/DRAK3/CE2A) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
8	PJ4M0	1	R/W	
7	PJ3MD1	1	R/W	PJ3 モード 00 : SCIF/DMAC/SSI モジュール機能 (MODE10/SCIF4_SCK/DRAK2/SSI3_WS) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
6	PJ3MD0	1	R/W	

ビット	ビット名	初期値	R/W	説明
5 4	PJ2MD1 PJ2MD0	0 0	R/W R/W	PJ2 モード 00 : SCIF/DMAC/SSI モジュール機能 (MODE9/SCIF4_RXD/DRAK1/SSI3_SDATA) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
3 2	PJ1MD1 PJ1MD0	0 0	R/W R/W	PJ1 モード 00 : SCIF/DMAC/SSI/FLCTL モジュール機能 (MODE8/SCIF4_TXD/DRAK0/SSI3_SCK/FSE) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
1、0	-	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

【注】 * 周辺モジュールセレクトレジスタ 2 (P2MSELR) により、これらの端子を使用するモジュールを選択できます。

30.2.10 ポート A データレジスタ (PADR)

PADR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート A のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PA7DT	PA6DT	PA5DT	PA4DT	PA3DT	PA2DT	PA1DT	PA0DT
初期値 :	x	x	x	x	x	x	x	x
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PA7DT	端子入力	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PA6DT	端子入力	R/W	
5	PA5DT	端子入力	R/W	
4	PA4DT	端子入力	R/W	
3	PA3DT	端子入力	R/W	
2	PA2DT	端子入力	R/W	
1	PA1DT	端子入力	R/W	
0	PA0DT	端子入力	R/W	

30.2.11 ポート B データレジスタ (PBDR)

PBDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート B のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PB7DT	PB6DT	PB5DT	PB4DT	PB3DT	PB2DT	PB1DT	PB0DT
初期値 :	x	x	x	x	x	x	x	x
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PB7DT	端子入力	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PB6DT	端子入力	R/W	
5	PB5DT	端子入力	R/W	
4	PB4DT	端子入力	R/W	
3	PB3DT	端子入力	R/W	
2	PB2DT	端子入力	R/W	
1	PB1DT	端子入力	R/W	
0	PB0DT	端子入力	R/W	

30.2.12 ポート C データレジスタ (PCDR)

PCDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート C のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PC7DT	PC6DT	PC5DT	PC4DT	PC3DT	PC2DT	PC1DT	PC0DT
初期値 :	x	x	x	x	x	x	x	x
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PC7DT	端子入力	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PC6DT	端子入力	R/W	
5	PC5DT	端子入力	R/W	
4	PC4DT	端子入力	R/W	
3	PC3DT	端子入力	R/W	
2	PC2DT	端子入力	R/W	
1	PC1DT	端子入力	R/W	
0	PC0DT	端子入力	R/W	

30.2.13 ポート D データレジスタ (PDDR)

PDDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート D のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PD7DT	PD6DT	PD5DT	PD4DT	PD3DT	PD2DT	PD1DT	PD0DT
初期値 :	x	x	x	x	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PD7DT	端子入力	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PD6DT	端子入力	R/W	
5	PD5DT	端子入力	R/W	
4	PD4DT	端子入力	R/W	
3	PD3DT	0	R/W	
2	PD2DT	0	R/W	
1	PD1DT	0	R/W	
0	PD0DT	0	R/W	

30.2.14 ポート E データレジスタ (PEDR)

PEDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート E のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PE7DT	PE6DT	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	PE7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。
6	PE6DT	0	R/W	
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

30.2.15 ポート F データレジスタ (PFDR)

PFDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート F のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PF7DT	PF6DT	PF5DT	PF4DT	PF3DT	PF2DT	PF1DT	PF0DT
初期値 :	x	x	x	x	x	x	x	x
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PF7DT	端子入力	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。
6	PF6DT	端子入力	R/W	
5	PF5DT	端子入力	R/W	端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
4	PF4DT	端子入力	R/W	
3	PF3DT	端子入力	R/W	
2	PF2DT	端子入力	R/W	
1	PF1DT	端子入力	R/W	
0	PF0DT	端子入力	R/W	

30.2.16 ポート G データレジスタ (PGDR)

PGDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート G のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PG7DT	PG6DT	PG5DT	—	—	—	—	—
初期値:	x	x	x	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	PG7DT	端子入力	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PG6DT	端子入力	R/W	
5	PG5DT	端子入力	R/W	
4~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

30.2.17 ポート H データレジスタ (PHDR)

PHDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート H のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PH7DT	PH6DT	PH5DT	PH4DT	PH3DT	PH2DT	PH1DT	PH0DT
初期値:	x	x	x	x	x	x	x	x
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PH7DT	端子入力	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PH6DT	端子入力	R/W	
5	PH5DT	端子入力	R/W	
4	PH4DT	端子入力	R/W	
3	PH3DT	端子入力	R/W	
2	PH2DT	端子入力	R/W	
1	PH1DT	端子入力	R/W	
0	PH0DT	端子入力	R/W	

30.2.18 ポート J データレジスタ (PJDR)

PJDR は、読み出し / 書き込み可能な 8 ビットのレジスタでポート J のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PJ7DT	PJ6DT	PJ5DT	PJ4DT	PJ3DT	PJ2DT	PJ1DT	---
初期値 :	x	x	x	x	x	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説 明
7	PJ7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。 端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PJ6DT	端子入力	R/W	
5	PJ5DT	端子入力	R/W	
4	PJ4DT	端子入力	R/W	
3	PJ3DT	端子入力	R/W	
2	PJ2DT	0	R/W	
1	PJ1DT	0	R/W	
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

30.2.19 ポート A プルアップ制御レジスタ (PAPUPR)

PAPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタはポート A0~7 (PA0~PA7) に相当し、ポート A に対応する端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、ポート A の端子を GPIO が使用している場合、本レジスタの設定は無視されます。

ビット :	7	6	5	4	3	2	1	0
	PA7 PUPR	PA6 PUPR	PA5 PUPR	PA4 PUPR	PA3 PUPR	PA2 PUPR	PA1 PUPR	PA0 PUPR
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PA7PUPR	1	R/W	ポート A 端子のプルアップ制御を個別に設定できます。(n=7~0) 0 : PAn プルアップオフ 1 : PAn プルアップオン
6	PA6PUPR	1	R/W	
5	PA5PUPR	1	R/W	
4	PA4PUPR	1	R/W	
3	PA3PUPR	1	R/W	
2	PA2PUPR	1	R/W	
1	PA1PUPR	1	R/W	
0	PA0PUPR	1	R/W	

30.2.20 ポート B プルアップ制御レジスタ (PBPUPR)

PBPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタはポート B0~7 (PB0~PB7) に相当し、ポート B に対応する端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、ポート B の端子を GPIO が使用している場合、本レジスタの設定は無視されます。

ビット :	7	6	5	4	3	2	1	0
	PB7 PUPR	PB6 PUPR	PB5 PUPR	PB4 PUPR	PB3 PUPR	PB2 PUPR	PB1 PUPR	PB0 PUPR
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PB7PUPR	1	R/W	ポート B 端子のプルアップ制御を個別に設定できます。(n=7~0) 0 : PBn プルアップオフ 1 : PBn プルアップオン
6	PB6PUPR	1	R/W	
5	PB5PUPR	1	R/W	
4	PB4PUPR	1	R/W	
3	PB3PUPR	1	R/W	
2	PB2PUPR	1	R/W	
1	PB1PUPR	1	R/W	
0	PB0PUPR	1	R/W	

30.2.21 ポート C プルアップ制御レジスタ (PCPUPR)

PCPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタはポート C0~7 (PC0~PC7) に相当し、ポート C に対応する端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、ポート C の端子を GPIO が使用している場合、本レジスタの設定は無視されます。

ビット :	7	6	5	4	3	2	1	0
	PC7 PUPR	PC6 PUPR	PC5 PUPR	PC4 PUPR	PC3 PUPR	PC2 PUPR	PC1 PUPR	PC0 PUPR
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PC7PUPR	1	R/W	ポート C 端子のプルアップ制御を個別に設定できます。(n=7~0) 0 : PCn プルアップオフ 1 : PCn プルアップオン
6	PC6PUPR	1	R/W	
5	PC5PUPR	1	R/W	
4	PC4PUPR	1	R/W	
3	PC3PUPR	1	R/W	
2	PC2PUPR	1	R/W	
1	PC1PUPR	1	R/W	
0	PC0PUPR	1	R/W	

30.2.22 ポート D プルアップ制御レジスタ (PDPUPR)

PDPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタはポート D0~7 (PD0~PD7) に相当し、ポート D に対応する端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、ポート D の端子を GPIO が使用している場合、本レジスタの設定は無視されます。

ビット :	7	6	5	4	3	2	1	0
	PD7 PUPR	PD6 PUPR	PD5 PUPR	PD4 PUPR	PD3 PUPR	PD2 PUPR	PD1 PUPR	PD0 PUPR
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PD7PUPR	1	R/W	ポート D 端子のプルアップ制御を個別に設定できます。(n=7~0) 0 : PDn プルアップオフ 1 : PDn プルアップオン
6	PD6PUPR	1	R/W	
5	PD5PUPR	1	R/W	
4	PD4PUPR	1	R/W	
3	PD3PUPR	1	R/W	
2	PD2PUPR	1	R/W	
1	PD1PUPR	1	R/W	
0	PD0PUPR	1	R/W	

30.2.23 ポート E プルアップ制御レジスタ (PEPUPR)

PEPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタはポート E4~7 (PE4~PE7) に相当し、ポート E に対応する端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、ポート E の端子を GPIO が使用している場合、本レジスタの設定は無視されます。

ビット :	7	6	5	4	3	2	1	0
	PE7 PUPR	PE6 PUPR	—	—	—	—	—	—
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	PE7PUPR	1	R/W	ポート E 端子のプルアップ制御を個別に設定できます。(n=7, 6) 0 : PEn プルアップオフ 1 : PEn プルアップオン
6	PE6PUPR	1	R/W	
5~0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

30.2.24 ポート F プルアップ制御レジスタ (PFPUWR)

PFPUWR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタはポート F0 ~ 7 (PF0 ~ PF7) に相当し、ポート F に対応する端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、ポート F の端子を GPIO が使用している場合、本レジスタの設定は無視されます。

ビット:	7	6	5	4	3	2	1	0
	PF7 PUPR	PF6 PUPR	PF5 PUPR	PF4 PUPR	PF3 PUPR	PF2 PUPR	PF1 PUPR	PF0 PUPR
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PF7PUPR	1	R/W	ポート F 端子のプルアップ制御を個別に設定できます。(n=7~0) 0: PFn プルアップオフ 1: PFn プルアップオン
6	PF6PUPR	1	R/W	
5	PF5PUPR	1	R/W	
4	PF4PUPR	1	R/W	
3	PF3PUPR	1	R/W	
2	PF2PUPR	1	R/W	
1	PF1PUPR	1	R/W	
0	PF0PUPR	1	R/W	

30.2.25 ポート G プルアップ制御レジスタ (PGPUPR)

PGPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタはポート G0 ~ 7 (PG0 ~ PG7) に相当し、ポート G に対応する端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、ポート G の端子を GPIO が使用している場合、本レジスタの設定は無視されます。

ビット:	7	6	5	4	3	2	1	0
	PG7 PUPR	PG6 PUPR	PG5 PUPR	—	—	—	—	—
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	PG7PUPR	1	R/W	ポート G 端子のプルアップ制御を個別に設定できます。(n=7~5) 0: PGn プルアップオフ 1: PGn プルアップオン
6	PG6PUPR	1	R/W	
5	PG5PUPR	1	R/W	
4~0	-	すべて 1	R	リザーブビット読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください

30.2.26 ポート H プルアップ制御レジスタ (PHPUPR)

PHPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタはポート H0 ~ 7 (PH0 ~ PH7) に相当し、ポート H に対応する端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、ポート H の端子を GPIO が使用している場合、本レジスタの設定は無視されます。

ビット :	7	6	5	4	3	2	1	0
	PH7 PUPR	PH6 PUPR	PH5 PUPR	PH4 PUPR	PH3 PUPR	PH2 PUPR	PH1 PUPR	PH0 PUPR
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PH7PUPR	1	R/W	ポート H 端子のプルアップ制御を個別に設定できます。(n=7~0) 0 : PHn プルアップオフ 1 : PHn プルアップオン
6	PH6PUPR	1	R/W	
5	PH5PUPR	1	R/W	
4	PH4PUPR	1	R/W	
3	PH3PUPR	1	R/W	
2	PH2PUPR	1	R/W	
1	PH1PUPR	1	R/W	
0	PH0PUPR	1	R/W	

30.2.27 ポート J プルアップ制御レジスタ (PJPUPR)

PJPUPR は、読み出し / 書き込み可能な 8 ビットのレジスタです。本レジスタはポート J0 ~ 7 (PJ0 ~ PJ7) に相当し、ポート J に対応する端子を周辺モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、ポート J の端子を GPIO が使用している場合、本レジスタの設定は無視されます。

ビット :	7	6	5	4	3	2	1	0
	PJ7 PUPR	PJ6 PUPR	PJ5 PUPR	PJ4 PUPR	PJ3 PUPR	PJ2 PUPR	PJ1 PUPR	—
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説 明
7	PJ7PUPR	1	R/W	ポート J 端子のプルアップ制御を個別に設定できます。(n=7~1) 0 : PJn プルアップオフ 1 : PJn プルアップオン
6	PJ6PUPR	1	R/W	
5	PJ5PUPR	1	R/W	
4	PJ4PUPR	1	R/W	
3	PJ3PUPR	1	R/W	
2	PJ2PUPR	1	R/W	
1	PJ1PUPR	1	R/W	
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

30.2.28 入力端子プルアップ制御レジスタ 1 (PPUPR1)

PPUPR1 は、読み出し / 書き込み可能な 16 ビットのレジスタで、各ビットに接続された端子のプルアップ制御を個別に行います。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	PDY PUP	—	—
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R

ビット	ビット名	初期値	R/W	説 明
15~3	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2	RDYPUP	1	R/W	RDY 端子のプルアップの制御 0 : RDY プルアップオフ 1 : RDY プルアップオン
1, 0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

30.2.29 入力端子プルアップ制御レジスタ 2 (PPUPR2)

PPUPR2 は、読み出し / 書き込み可能な 16 ビットのレジスタで、各ビットに接続された端子のプルアップ制御を個別に行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SCL0 PUP	SDA0 PUP	SCL1 PUP	SDA1 PUP	—	NMI PUP	IRL3 PUP	IRL2 PUP	IRL1 PUP	IRL0 PUP
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
9	SCL0PUP	1	R/W	I2C_SCL0/SCIF2_RXD 端子のプルアップの制御を行います。 0: I2C_SCL0/SCIF2_RXD プルアップオフ 1: I2C_SCL0/SCIF2_RXD プルアップオン
8	SDA0PUP	1	R/W	I2C_SDA0/SCIF2_TXD 端子のプルアップの制御を行います。 0: I2C_SDA0/SCIF2_TXD プルアップオフ 1: I2C_SDA0/SCIF2_TXD プルアップオン
7	SCL1PUP	1	R/W	I2C_SCL1/SCIF2_SCK 端子のプルアップの制御を行います。 0: I2C_SCL1/SCIF2_SCK プルアップオフ 1: I2C_SCL1/SCIF2_SCK プルアップオン
6	SDA1PUP	1	R/W	I2C_SDA1/IRQOUT 端子のプルアップの制御を行います。 0: I2C_SDA1/IRQOUT プルアップオフ 1: I2C_SDA1/IRQOUT プルアップオン
5	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
4	NMIPUP	1	R/W	NMI 端子のプルアップの制御を行います。 0: NMI プルアップオフ 1: NMI プルアップオン
3	IRL3PUP	1	R/W	IRL3 端子のプルアップの制御を行います。 0: IRL3 プルアップオフ 1: IRL3 プルアップオン
2	IRL2PUP	1	R/W	IRL2 端子のプルアップの制御を行います。 0: IRL2 プルアップオフ 1: IRL2 プルアップオン
1	IRL1PUP	1	R/W	IRL1 端子のプルアップの制御を行います。 0: IRL1 プルアップオフ 1: IRL1 プルアップオン
0	IRL0PUP	1	R/W	IRL0 端子のプルアップの制御を行います。 0: IRL0 プルアップオフ 1: IRL0 プルアップオン

30.2.30 周辺モジュールセレクトレジスタ 1 (P1MSELR)

P1MSELR は、読み出し/書き込み可能な 16 ビットのレジスタです。本レジスタの設定によりマルチプレクスされた端子を使用するモジュールを選択することができます。端子のマルチプレクスは表 30.1 を参照してください。

なお、本レジスタは、GPIO の PACR ~ PHCR、PJCR で周辺モジュールを選択しているときにのみ有効になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	P1M SEL14	P1M SEL13	P1M SEL12	P1M SEL11	P1M SEL10	P1M SEL9	P1M SEL8	P1M SEL7	P1M SEL6	P1M SEL5	P1M SEL4	P1M SEL3	P1M SEL2	P1M SEL1	P1M SEL0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	P1MSEL14	0	R/W	DMAC、LBSC のうち、FCLE/DACK0 端子を使用するモジュールを選択します。 0: FLCTL 1: DMAC 0
13 12	P1MSEL13 P1MSEL12	0 0	R/W R/W	DMAC、LBSC のうち、FALE/DACK1/BACK 端子を使用するモジュールを選択します。 00: FLCTL 01: LBSC 10: DMAC 0 11: 設定禁止
11	P1MSEL11	0	R/W	DMAC、USB のうち、DREQ0/USB_OVC0/端子を使用するモジュールを選択します。 0: USB 1: DMAC 0
10 9	P1MSEL10 P1MSEL9	0 0	R/W R/W	DMAC、LBSC、USB のうち、DREQ1/ $\overline{\text{BREQ}}$ /USB_OVC1 端子を使用するモジュールを選択します。 00: USB 01: DMAC 0 10: LBSC 11: 設定禁止
8	P1MSEL8	0	R/W	SCIF、SSI のうち、SCIF3_SCK/SSI2_SDATA 端子を使用するモジュールを選択します。 0: SCIF 3 1: SSI 2

ビット	ビット名	初期値	R/W	説明
7 6	P1MSEL7 P1MSEL6	0 0	R/W R/W	SCIF、TMU、SSI のうち、SCIF3_RXD/TCLK/SSI2_SCK 端子を使用するモジュールを選択します。 00 : SCIF 3 01 : TMU 10 : SSI 2 11 : 設定禁止
5 4	P1MSEL5 P1MSEL4	0 0	R/W R/W	SCIF、HAC、SSI のうち、SCIF3_TXD/HAC_RES/SSI2_WS 端子を使用するモジュールを選択します。 00 : SCIF 3 01 : HAC 10 : SSI 2 11 : 設定禁止
3	P1MSEL3	0	R/W	DU、HSPI のうち、ODDF/HSPI_CS、 $\overline{\text{VSYNC}}$ /HSPI_CLK、 $\overline{\text{HSYNC}}$ /HSPI_TX、DCLKIN/HSPI_RX 端子を使用するモジュールを選択します。 0 : DU 1 : HSPI
2	P1MSEL2	0	R/W	DU、Eth のうち、DR0/ETH_TXD0、DR1/ETH_TXD1、DR2/ETH_TXD2、DR3/ETH_TXD3、DR4/ETH_TX_EN、DR5/ETH_TX_ER、DG0/ETH_CRS、DG1/ETH_TX_CLK、DG2/ETH_COL、DG3/ETH_MDC、DG4/ETH_RX_CLK、DG5/ETH_MDIO、DB0/ETH_RX_ER、DB1/ETH_RX_DV、DB2/ETH_RXD0、DB3/ETH_RXD1、DB4/ETH_RXD2、DB5/ETH_RXD3、DISP/ETH_LINK、CDE/ETH_MAGIC 端子を使用するモジュールを選択します。 0 : DU 1 : Eth
1	P1MSEL1	0	R/W	I ² C、SCIF/INTC のうち、I2C_SCL0/SCIF2_RXD、I2C_SDA0/SCIF2_TXD、I2C_SCL1/SCIF2_SCK、I2C_SDA1/ $\overline{\text{IRQOUT}}$ 端子を使用するモジュールを選択します。 0 : I ² C 1 : SCIF 2 (I2C_SDA1/ $\overline{\text{IRQOUT}}$ 端子は INTC)
0	P1MSEL0	0	R/W	STATUS、SSI のうち、STATUS0/SSI2_CLK、STATUS1/SSI3_CLK 端子を使用するモジュールを選択します。 0 : STATUS 1 : SSI 2/3

30.2.31 周辺モジュールセレクトレジスタ 2 (P2MSELR)

P2MSELR は、読み出し/書き込み可能な 16 ビットのレジスタです。本レジスタの設定によりマルチプレクスされた端子を使用するモジュールを選択することができます。端子のマルチプレクスは表 30.1 を参照してください。

なお、本レジスタは、GPIO の PACR ~ PHCR、PJCR で周辺モジュールを選択しているときにのみ有効になります。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	P2M SEL15	P2M SEL14	P2M SEL13	P2M SEL12	P2M SEL11	P2M SEL10	P2M SEL9	P2M SEL8	P2M SEL7	P2M SEL6	P2M SEL5	P2M SEL4	P2M SEL3	P2M SEL2	P2M SEL1	P2M SEL0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15 14	P2MSEL15 P2MSEL14	0 0	R/W R/W	HAC、SSI、SDIF のうち、HAC1_BITCLK/SSI1_CLK/SDIF1CLK、HAC1_SYNC/SSI1_WS/SDIF1WP、HAC1_SDIN/SSI1_SCK/SDIF1CD、HAC1_SDOUT/SSI1_SDATA/SDIF1CMD 端子を使用するモジュールを選択します。 00 : HAC 1 01 : SSI 1 10 : SDIF 1 11 : 設定禁止
13 12	P2MSEL13 P2MSEL12	0 0	R/W R/W	HAC、SSI、SDIF のうち、HAC0_BITCLK/SSI0_CLK/SDIF1D0、HAC0_SYNC/SSI0_WS/SDIF1D1、HAC0_SDIN/SSI0_SCK/SDIF1D2、HAC0_SDOUT/SSI0_SDATA/SDIF1D3 端子を使用するモジュールを選択します。 00 : HAC 0 01 : SSI 0 10 : SDIF 1 11 : 設定禁止
11	P2MSEL11	0	R/W	SCIF/DMAC、LBSC のうち、MODE14/FRB/SCIF5_SCK 端子を使用するモジュールを選択します。 0 : FLCTL 1 : SCIF 5
10	P2MSEL10	0	R/W	SCIF/DMAC、LBSC のうち、MODE13/SCIF5_RXD/IOIS16、MODE12/SCIF5_TXD/CE2B 端子を使用するモジュールを選択します。 0 : SCIF 5 1 : LBSC

ビット	ビット名	初期値	R/W	説明
9 8	P2MSEL9 P2MSEL8	0 0	R/W R/W	SCIF、DMAC、SSI のうち、MODE10/SCIF4_SCK/DRAK2/SSI3_WS 端子を使用するモジュールを選択します。 00 : SCIF 4 01 : DMAC 0 10 : SSI 3 11 : 設定禁止
7	P2MSEL7	0	R/W	SCIF/DMAC、LBSC のうち、MODE11/DRAK3/CE2A 端子を使用するモジュールを選択します。 0 : DMAC 0 1 : LBSC
6 5	P2MSEL6 P2MSEL5	0 0	R/W R/W	SCIF、DMAC、SSI、LBSC のうち、MODE8/FSE/SCIF4_TXD/DRAK0/SSI3_SCK、MODE9/SCIF4_RXD/DRAK1/SSI3_SDATA/端子を使用するモジュールを選択します。 00 : FLCTL 01 : DMAC 0 10 : SCIF 4 11 : SSI 3
4	P2MSEL4	0	R/W	DMAC、SDIF のうち、MODE7/DACK3/SDIF0CMD、MODE6/DACK2/SDIF0CD、MODE5/DREQ3/SDIF0WP 端子を使用するモジュールを選択します。 0 : DMAC 0 1 : SDIF 0
3 2	P2MSEL3 P2MSEL2	0 0	R/W R/W	SCIF/DMAC/SDIF のうち MODE4/SCIF0_CTS/DREQ2/SDIF0CLK 端子を使用するモジュールを選択します。 00 : SCIF 0 01 : DMAC 0 10 : SDIF 0 11 : 設定禁止
1 0	P2MSEL1 P2MSEL0	0 0	R/W R/W	SCIF/INTC/SDIF のうち、MODE3/SCIF0_RTS/IRL7/SDIF0D3、MODE2/SCIF0_SCK/IRL6/SDIF0D2、MODE1/SCIF0_RXD/IRL5/SDIF0D1、MODE0/SCIF0_TXD/IRL4/SDIF0D0 端子を使用するモジュールを選択します。 00 : SCIF 0 01 : INTC 10 : SDIF 0 11 : 設定禁止

30.3 使用例

設定手順の例を示します。

30.3.1 ポート出力機能

ポート出力機能の設定は、ポートコントロールレジスタ (PACR ~ PJCR) の該当する 2 ビットに B'01 を書き込んでください。ポートデータレジスタ (PADR ~ PJDR) の該当するビットの値を端子に出力します。

このとき、ポート出力機能に設定した端子に対するポートプルアップ制御レジスタ (PAPUPR ~ PJPUPR)、周辺モジュールセレクトレジスタ 1 (P1MSELR)、周辺モジュールセレクトレジスタ 2 (P2MSELR) の設定は無視されます。

図 30.1 にポート A をポート出力機能として使用した場合の動作例を示します。

出力データをポートデータレジスタ (PADR ~ PJDR) にセットし、Pck (周辺クロック) で 1 クロック後に各ポートに対応する端子へ出力されます。

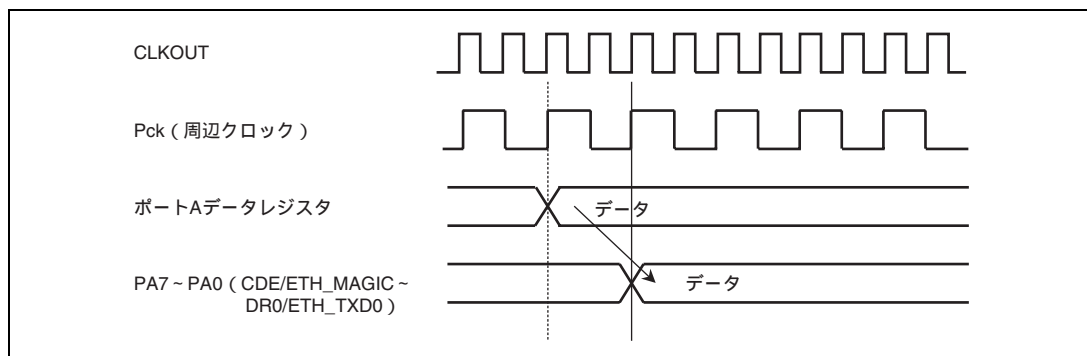


図 30.1 ポート A の出力動作タイミング

30.3.2 ポート入力機能

ポート入力機能の設定は、ポートコントロールレジスタ (PACR ~ PJCR) の該当する 2 ビットにプルアップ MOS を使用しない場合は B'10 を、使用する場合は B'11 を書き込んでください。ポートデータレジスタ (PADR ~ PJCR) の該当するビットから端子に入力している値が読み出せます。

このとき、ポート出力機能に設定した端子に対するポートプルアップ制御レジスタ (PAPUPR ~ PJPUPR)、周辺モジュールセレクトレジスタ 1 (P1MSELR)、周辺モジュールセレクトレジスタ 2 (P2MSELR) の設定は無視されます。

図 30.2 にポート A を入力機能として使用した場合の動作例を示します。

各ポートに対応する端子へデータ入力後、Pck (周辺クロック) の 2 回目の立ち上がりよりポートデータレジスタを読むことで端子の状態が読み出されます。

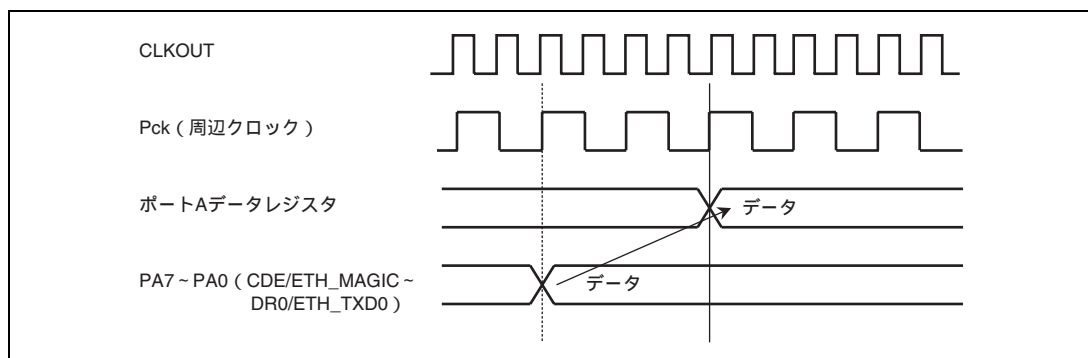


図 30.2 ポート A の入力動作タイミング

30.3.3 周辺モジュール機能

周辺モジュール機能の設定手順を以下に示します。

- (1) 周辺モジュール機能の設定は、周辺モジュールセレクトレジスタ 1 (P1MSELR) と周辺モジュールセレクトレジスタ 2 (P2MSELR) で使用するモジュールを選択してください。
- (2) 次に使用する端子は、ポートプルアップ制御レジスタ (PAPUPR ~ PJPUPR) でプルアップ MOS の設定をしてください。該当するビットにプルアップ MOS を使用しない場合は B'0 を、使用する場合は B'1 を書き込んでください。
- (3) 最後に、ポートコントロールレジスタ (PACR ~ PJCR) の該当する 2 ビットに B'00 を書き込んでください。
- (4) ポート設定完了後に、周辺モジュール側の設定を行ってください。周辺モジュール側の設定は各モジュールの章を参照してください。

31. ユーザブ레이크コントローラ (UBC)

ユーザブ레이크コントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件には、命令フェッチまたはオペランドの読み出し / 書き込み、オペランドのサイズ、データの内容、アドレスの値、および命令フェッチのときの停止タイミングがあります。

31.1 特長

1. 各 CPU コアごとに独立した UBC が存在し、CPU コアごとに個別の設定が可能です。
2. 次のようなブ레이크比較条件を設定できます

ブ레이크チャンネル数：各 CPU コアごとに 2 チャンネル (チャンネル 0 と 1)

ユーザブ레이크は、チャンネル 0、1 独立に、または連続した (シーケンシャル) 一つの条件として設定することができます (シーケンシャルブ레이크設定：チャンネル 0 のブ레이크条件が一致した後チャンネル 1 のブ레이크条件の一致が発生、またはチャンネル 1 のブ레이크条件が一致した後チャンネル 0 のブ레이크条件の一致が発生し、しかも両者が同じバスサイクルで発生しないとき)。

- アドレス

ASID (8 ビットまたは 16 ビット) とアドレス 32 ビットから構成された 40 ビットまたは 48 ビットの比較において、ASID は全ビット比較または全ビットマスクのいずれかを選択できます。

アドレス 32 ビットの比較はビットごとにマスク可能で、ユーザは下位 12 ビット (4K バイトページ)、下位 10 ビット (1K バイトページ)、あるいは任意の大きさのページ等でアドレスをマスク可能です。

- データ

チャンネル 1 のみ、32 ビットマスク可能。

- バスサイクル

命令フェッチでのブ레이크 (PCブ레이크) またはオペランドアクセスでのブ레이크

- 読み出しまたは書き込み

- オペランドサイズ

バイト、ワード、ロングワード、およびクワッドワードをサポート

3. ユーザ指定のユーザブ레이크条件例外処理ルーチンを実行可能。
4. PC ブ레이크において、ブ레이크を命令の実行の前に設定するか、後に設定するかを指定可能。
5. ブ레이크条件 (チャンネル 1 に対してのみ) として、最大 $2^{12} - 1$ 回まで繰り返し回数を指定可能。

図 31.1 に UBC のブロック図を示します。

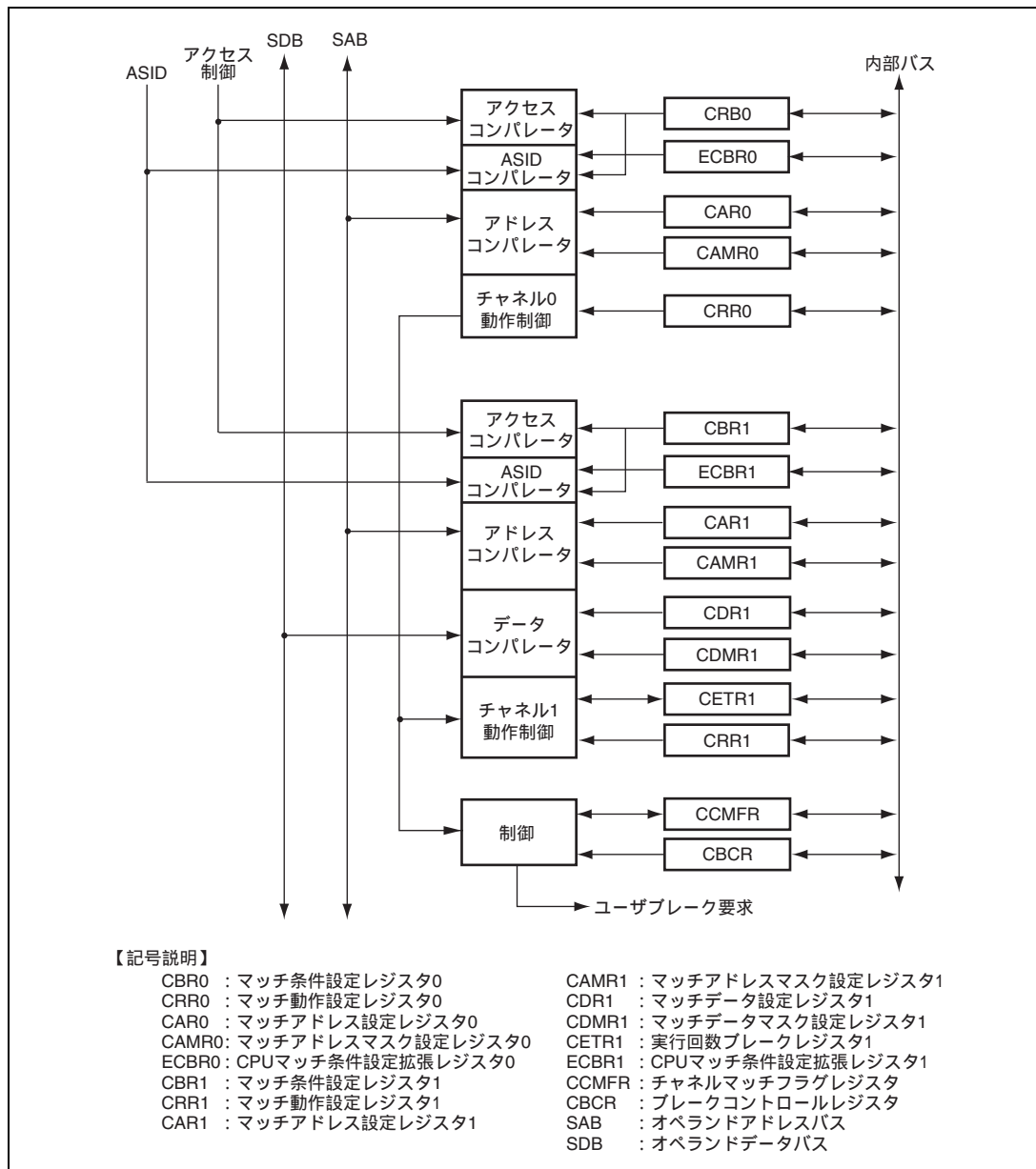


図 31.1 UBC のブロック図

31.2 レジスタの説明

UBC のレジスタ構成を表 31.1 に示します。また、各処理モードにおけるレジスタの状態を表 31.2 に示します。

表 31.1 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
マッチ条件設定レジスタ 0	CBR0	R/W	H'FF20 0000	H'1F20 0000	32
マッチ動作設定レジスタ 0	CRR0	R/W	H'FF20 0004	H'1F20 0004	32
マッチアドレス設定レジスタ 0	CAR0	R/W	H'FF20 0008	H'1F20 0008	32
マッチアドレスマスク設定レジスタ 0	CAMR0	R/W	H'FF20 000C	H'1F20 000C	32
CPU マッチ条件設定拡張レジスタ 0	ECBR0	R/W	H'FF20 001C	H'1F20 001C	32
マッチ条件設定レジスタ 1	CBR1	R/W	H'FF20 0020	H'1F20 0020	32
マッチ動作設定レジスタ 1	CRR1	R/W	H'FF20 0024	H'1F20 0024	32
マッチアドレス設定レジスタ 1	CAR1	R/W	H'FF20 0028	H'1F20 0028	32
マッチアドレスマスク設定レジスタ 1	CAMR1	R/W	H'FF20 002C	H'1F20 002C	32
マッチデータ設定レジスタ 1	CDR1	R/W	H'FF20 0030	H'1F20 0030	32
マッチデータマスク設定レジスタ 1	CDMR1	R/W	H'FF20 0034	H'1F20 0034	32
実行回数ブレイクレジスタ 1	CETR1	R/W	H'FF20 0038	H'1F20 0038	32
CPU マッチ条件設定拡張レジスタ 1	ECBR1	R/W	H'FF20 003C	H'1F20 003C	32
チャンネルマッチフラグレジスタ	CCMFR	R/W	H'FF20 0600	H'1F20 0600	32
ブレイクコントロールレジスタ	CBCR	R/W	H'FF20 0620	H'1F20 0620	32

【注】 * P4 アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 31.2 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ/ ライトスリープ
マッチ条件設定レジスタ 0	CBR0	H'2000 0000	保持	保持
マッチ動作設定レジスタ 0	CRR0	H'0000 2000	保持	保持
マッチアドレス設定レジスタ 0	CAR0	不定	保持	保持
マッチアドレスマスク設定レジスタ 0	CAMR0	不定	保持	保持
CPU マッチ条件設定拡張レジスタ 0	ECBR0	H'0000 0000	保持	保持
マッチ条件設定レジスタ 1	CBR1	H'2000 0000	保持	保持
マッチ動作設定レジスタ 1	CRR1	H'0000 2000	保持	保持
マッチアドレス設定レジスタ 1	CAR1	不定	保持	保持
マッチアドレスマスク設定レジスタ 1	CAMR1	不定	保持	保持
マッチデータ設定レジスタ 1	CDR1	不定	保持	保持
マッチデータマスク設定レジスタ 1	CDMR1	不定	保持	保持
実行回数ブ레이크レジスタ 1	CETR1	不定	保持	保持
CPU マッチ条件設定拡張レジスタ 1	ECBR1	H'0000 0000	保持	保持
チャンネルマッチフラグレジスタ	CCMFR	H'0000 0000	保持	保持
ブ레이크コントロールレジスタ	CBCR	H'0000 0000	保持	保持

アクセスサイズはコントロールレジスタのサイズと同じでなければなりません。サイズが異なると、レジスタの書き込み動作で書き込みが実行されず、読み出し動作は不定な値を返します。コントロールレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブ레이크が発生しない場合があります。コントロールレジスタが変更されるタイミングを知るためには、最後に書き込んだデータを読み出してください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。

31.2.1 マッチ条件設定レジスタ 0、1 (CBR0、CBR1)

CBR0、CBR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、それぞれチャンネル 0、チャンネル 1 のブレイク条件を指定します。設定可能なブレイク条件は、(1) マッチフラグの有無、(2) ASID の有無と ASID (下位 8 ビット)、(3) データ値の有無、(4) オペランドサイズ、(5) 実行回数の有無、(6) バス、(7) 命令フェッチまたはオペランドアクセス、(8) 読み出しまたは書き込みです。

• CBR0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MFE	AIE	MFI						AIV7	AIV6	AIV5	AIV4	AIV3	AIV2	AIV1	AIV0
初期値 :	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	SZ			—	—	—	—	CD	ID	—	RW		CE		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MFE	0	R/W	マッチフラグイネーブル マッチ条件に本レジスタの MFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が 1 のとき、条件一致となります。 0 : マッチフラグはマッチ条件に含まれず、チェックされない 1 : マッチ条件にマッチフラグを含める
30	AIE	0	R/W	ASID イネーブル ^{*3} マッチ条件に本レジスタの AIV7 ~ AIV0 ビットで指定した ASID (下位 8 ビット) と、ECBR0 レジスタの AIV15 ~ AIV8 ビットで指定した ASID (上位 8 ビット) を含めるかどうかを指定します。 0 : ASID (16 ビット) はマッチ条件に含まれず、チェックされない 1 : マッチ条件に ASID (16 ビット) を含める
29 ~ 24	MFI	100000	R/W	マッチフラグ指定 マッチ条件とするマッチフラグを指定します。 000000 : CCMFR レジスタの MF0 ビット 000001 : CCMFR レジスタの MF1 ビット 上記以外 : リザーブ (設定禁止) 【注】 初期値はリザーブ (設定禁止) の状態になりますが、CBR0[0]に 1 を書き込む際に必ず 000000 あるいは 000001 を設定してください。また CCRMFL レジスタの MF0 ビットが 0 の状態で、本レジスタの MFE ビットを 1 に、MFI ビットを 000000 に設定するとチャンネル 0 でヒットしなくなりますので注意してください。
23 ~ 16	AIV7 ~ AIV0	すべて 0	R/W	ASID (下位 8 ビット) 指定 マッチ条件とする ASID (下位 8 ビット) を指定します。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	SZ	000	R/W	オペランドサイズセレクト マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 000: オペランドサイズはマッチ条件に含まれず、チェックされない(すべてのサイズが対象となる)* ¹ 001: バイトアクセスを対象とする 010: ワードアクセスを対象とする 011: ロングワードアクセスを対象とする 100: クワッドワードアクセスを対象とする* ² 上記以外: リザーブ(設定禁止)
11~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7、6	CD	00	R/W	バスセレクト マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00: オペランドアクセスにおいてオペランドバスを対象とする 上記以外: リザーブ(設定禁止)
5、4	ID	00	R/W	命令フェッチ/オペランドアクセスセレクト マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。 00: 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする 01: 命令フェッチサイクルを対象とする 10: オペランドアクセスサイクルを対象とする 11: 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2、1	RW	00	R/W	バスコマンドセレクト マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00: 読み出しサイクルまたは書き込みサイクルを対象とする 01: 読み出しサイクルを対象とする 10: 書き込みサイクルを対象とする 11: 読み出しサイクルまたは書き込みサイクルを対象とする

ビット	ビット名	初期値	R/W	説明
0	CE	0	R/W	チャンネルイネーブル チャンネルを有効にするかどうかを指定します。本ビットに 0 を設定した場合、他のビットの設定はすべて無効です。 0：本チャンネルは無効 1：本チャンネルは有効

【注】 OCB1 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。

- *1 データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
- *2 クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64 ビットデータの上位 32 ビットまたは下位 32 ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデータマスク設定レジスタによる設定内容との比較が行われます。
- *3 MMUCR レジスタの AEX ビット (ASID 互換モード) によらず、ECBR0 レジスタの AIV15～AIV8 ビット (ASID 上位 8 ビット) は ASID の比較に使用されます。MMUCR レジスタの AEX ビットが 0 (ASID 8 ビット互換モード) かつ、本レジスタの AIE ビットが 1 の場合、ECBR0 レジスタの AIV15～AIV8 ビットは必ず 0 にしてください。

• CBR1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MFE	AIE	MFI						AIV7	AIV6	AIV5	AIV4	AIV3	AIV2	AIV1	AIV0
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DBE	SZ			ETBE	—	—	—	CD	ID	—	RW	CE			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MFE	0	R/W	マッチフラグイネーブル マッチ条件に本レジスタの MFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が 1 のとき、条件一致となります。 0: マッチフラグはマッチ条件に含まれず、チェックされない 1: マッチ条件にマッチフラグを含める
30	AIE	0	R/W	ASID イネーブル*4 マッチ条件に本レジスタの AIV7 ~ AIV0 ビットで指定した ASID (下位 8 ビット) と、ECBR1 レジスタの AIV15 ~ AIV8 ビットで指定した ASID (上位 8 ビット) を含めるかどうかを指定します。 0: ASID (16 ビット) はマッチ条件に含まれず、チェックされない 1: マッチ条件に ASID (16 ビット) を含める
29 ~ 24	MFI	100000	R/W	マッチフラグ指定 マッチ条件とするマッチフラグを指定します。 000000: CCMFR レジスタの MF0 ビット 000001: CCMFR レジスタの MF1 ビット 上記以外: リザーブ (設定禁止) 【注】 初期値はリザーブ (設定禁止) の状態になりますが、CBR1[0] に 1 を書き込む際に必ず 000000 あるいは 000001 を設定してください。また、CCRMF レジスタの MF1 ビットが 0 の状態で、本レジスタの MFE ビットを 1 に、MFI ビットを 000001 に設定するとチャンネル 1 でヒットしなくなりますので注意してください。
23 ~ 16	AIV7 ~ AIV0	すべて 0	R/W	ASID (下位 8 ビット) 指定 マッチ条件とする ASID (下位 8 ビット) を指定します。
15	DBE	0	R/W	データ値イネーブル*2 マッチ条件にデータ値を含めるかどうかを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 0: データ値はマッチ条件に含まれず、チェックされない 1: マッチ条件にデータ値を含める

ビット	ビット名	初期値	R/W	説明
14~12	SZ	000	R/W	オペランドサイズセレクト マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 000: オペランドサイズはマッチ条件に含まれず、チェックされない(すべてのサイズが対象となる) ^{*1} 001: バイトアクセスを対象とする 010: ワードアクセスを対象とする 011: ロングワードアクセスを対象とする 100: クワッドワードアクセスを対象とする ^{*3} 上記以外: リザーブ(設定禁止)
11	ETBE	0	R/W	実行回数値イネーブル マッチ条件に実行回数値を含めるかどうかを指定します。このビットが1の場合、マッチ条件が成立した回数が CETR1 レジスタで指定した値と等しくなったとき、CRR1 レジスタで指定した動作が発生します。 0: 実行回数値はマッチ条件に含まれず、チェックされない 1: マッチ条件に実行回数値を含める
10~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7、6	CD	00	R/W	バスセレクト マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00: オペランドアクセスにおいてオペランドバスを対象とする 上記以外: リザーブ(設定禁止)
5、4	ID	00	R/W	命令フェッチ/オペランドアクセスセレクト マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。 00: 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする 01: 命令フェッチサイクルを対象とする 10: オペランドアクセスサイクルを対象とする 11: 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
2, 1	RW	00	R/W	<p>バスコマンドセレクト</p> <p>マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>00：読み出しサイクルまたは書き込みサイクルを対象とする</p> <p>01：読み出しサイクルを対象とする</p> <p>10：書き込みサイクルを対象とする</p> <p>11：読み出しサイクルまたは書き込みサイクルを対象とする</p>
0	CE	0	R/W	<p>チャンネルイネーブル</p> <p>チャンネルを有効にするかどうかを指定します。本ビットに0を設定した場合、他のビットの設定はすべて無効です。</p> <p>0：本チャンネルは無効</p> <p>1：本チャンネルは有効</p>

- 【注】
- *1 データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
 - *2 OCBI 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。
 - *3 クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64 ビットデータの上位 32 ビットまたは下位 32 ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデータマスク設定レジスタによる設定内容との比較が行われます。
 - *4 MMUCR レジスタの AEX ビット (ASID 互換モード) によらず、ECBR1 レジスタの AIV15 ~ AIV8 ビット (ASID 上位 8 ビット) は ASID の比較に使用されます。MMUCR レジスタの AEX ビットが 0 (ASID 8 ビット互換モード)、かつ、本レジスタの AIE ビットが 1 の場合、ECBR1 レジスタの AIV15 ~ AIV8 ビットは必ず 0 にしてください。

31.2.2 CPU マッチ条件設定拡張レジスタ (ECBR0、ECBR1)

ECBR0、ECBR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、それぞれチャンネル 0、チャンネル 1 のブレイク条件を拡張します。設定可能なブレイク条件は、(1) ASID (上位 8 ビット) です。

• ECBR0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	AIV15	AIV14	AIV13	AIV12	AIV11	AIV10	AIV9	AIV8
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	AIV15~AIV8	すべて 0	R/W	ASID (上位 8 ビット) 指定* マッチ条件とする ASID (上位 8 ビット) を指定します。

【注】 * MMUCR レジスタの AEX ビット (ASID 互換モード) によらず、本レジスタの AIV15~AIV8 ビットは ASID の比較に使用されます。MMUCR レジスタの AEX ビットが 0 (ASID 8 ビット互換モード)、かつ、CBR0 レジスタの AIE ビットが 1 の場合、本レジスタの AIV15~AIV8 ビットは必ず 0 にしてください。

• ECBR1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	AIV15	AIV14	AIV13	AIV12	AIV11	AIV10	AIV9	AIV8
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	AIV15~AIV8	すべて 0	R/W	ASID (上位 8 ビット) 指定* マッチ条件とする ASID (上位 8 ビット) を指定します。

【注】 * MMUCR レジスタの AEX ビット (ASID 互換モード) によらず、本レジスタの AIV15~AIV8 ビットは ASID の比較に使用されます。MMUCR レジスタの AEX ビットが 0 (ASID 8 ビット互換モード)、かつ、CBR1 レジスタの AIE ビットが 1 の場合、本レジスタの AIV15~AIV8 ビットは必ず 0 にしてください。

31.2.3 マッチ動作設定レジスタ 0、1 (CRR0、CRR1)

CRR0、CRR1 は、読み出し/書き込み可能な 32 ビットのレジスタであり、それぞれチャンネル 0、チャンネル 1 がマッチ条件を満たした場合の動作を指定します。設定可能な動作内容は、(1) 命令フェッチサイクルに対するブ레이크タイミング、(2) ブ레이크要求の有無です。

• CRR0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PCB	BIE
初期値 :	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13		1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
12~2		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PCB	0	R/W	PC ブ레이크セレクト 命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブ레이크に対して、本ビットは無効です。 0 : PC ブ레이크を命令実行前に設定する 1 : PC ブ레이크を命令実行後に設定する
0	BIE	0	R/W	ブ레이크イネーブル チャンネルのマッチ条件が成立したときに、ブ레이크を要求するかどうかを指定します。 0 : ブ레이크要求しない 1 : ブ레이크を要求する

• CRR1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PCB	BIE
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13		1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
12~2		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	PCB	0	R/W	PC ブレークセレクト 命令フェッチサイクルのブレークタイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブレークに対して、本ビットは無効です。 0: PC ブレークを命令実行前に設定する 1: PC ブレークを命令実行後に設定する
0	BIE	0	R/W	ブレークイネーブル チャンネルのマッチ条件が成立したときに、ブレークを要求するかどうかを指定します。 0: ブレーク要求しない 1: ブレークを要求する

31.2.4 マッチアドレス設定レジスタ 0、1 (CAR0、CAR1)

CAR0、CAR1 は、それぞれ読み出し / 書き込み可能な 32 ビットのレジスタであり、チャンネル 0、チャンネル 1 のブレーク条件とする仮想アドレスを指定します。

• CAR0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CA															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	CA	不定	R/W	比較アドレス ブレーク条件とするアドレスを指定します。 CBR0 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。

• CAR1

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CA															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	CA	不定	R/W	比較アドレス ブレーク条件とするアドレスを指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。

31.2.5 マッチアドレスマスク設定レジスタ 0、1 (CAMR0、CAMR1)

CAMR0、CAMR1 は、それぞれ読み出し / 書き込み可能な 32 ビットのレジスタであり、対応するチャンネルのマッチアドレス設定レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を設定します)。

• CAMR0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CAM	不定	R/W	比較アドレスマスク CAR0 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0 : アドレスビット CA[n]は、ブレーク条件に含まれる 1 : アドレスビット CA[n]はマスクされ、ブレーク条件に含まれない 【注】n = 31 ~ 0

• CAMR1

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CAM	不定	R/W	比較アドレスマスク CAR1 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0 : アドレスビット CA[n]は、ブレーク条件に含まれる 1 : アドレスビット CA[n]はマスクされ、ブレーク条件に含まれない 【注】n = 31 ~ 0

31.2.6 マッチデータ設定レジスタ 1 (CDR1)

CDR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、チャンネル 1 のブ레이크条件とするデータ値を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CD															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CD															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CD	不定	R/W	比較データ値 ブ레이크条件とするデータ値を指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CD[31:0]に SDB のデータ値を指定します。

表 31.3 マッチデータ設定レジスタの指定

CBR1 でのバスセレクト	CD[31:24]	CD[23:16]	CD[15:8]	CD[7:0]
オペランドバス (バイト)	Don't care			SDB7~0
オペランドバス (ワード)	Don't care		SDB15~0	
オペランドバス (ロングワード)	SDB31~0			

- 【注】
1. データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
 2. OCBI 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。
 3. クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64 ビットデータの上位 32 ビットまたは下位 32 ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデータマスク設定レジスタによる設定内容との比較が行われます。

31.2.7 マッチデータマスク設定レジスタ 1 (CDMR1)

CDMR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、マッチデータによって指定されるデータ値のうちマスクするビットを指定します (マスクするビットに 1 を設定します)。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CDM	不定	R/W	比較データ値マスク CDR1 レジスタによって指定されるデータ値のうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0 : データ値ビット CD[n]は、ブレーク条件に含まれる 1 : データ値ビット CD[n]はマスクされ、ブレーク条件に含まれない 【注】n = 31~0

31.2.8 実行回数ブ레이크レジスタ 1 (CETR1)

CETR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、ブ레이크が発生するまでのチャンネルヒット回数を指定します。指定できる最大値は $2^{12} - 1$ です。マッチ条件設定レジスタによりマッチ条件に実行回数値を含めた場合、チャンネルがヒットすることに本レジスタ値は 1 ずつデクリメントされ、レジスタ値が H'001 になった後さらにヒットするとブ레이크が発生します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CET											
初期値 :	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	CET	不定	R/W	実行回数 ブ레이크条件とする実行回数を指定します。

31.2.9 チャンネルマッチフラグレジスタ (CCMFR)

CCMFR は、読み出し / 書き込み可能な 32 ビットのレジスタであり、各チャンネルのマッチ条件が成立したかどうかを示します。チャンネルのマッチ条件が成立した場合、対応するフラグビットに 1 が設定されます。フラグのクリアは、クリアしたいビットを 0、それ以外のビットを 1 にしたデータを本レジスタに書き込むことで行います（書き込み値と現在値の論理積が書き込まれます）。本マッチフラグを用いることで、複数チャンネルによるシーケンシャル動作を実現できます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MF1	MF0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	MF1	0	R/W	チャンネル 1 条件一致フラグ チャンネル 1 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 1 のマッチ条件不一致 1 : チャンネル 1 のマッチ条件一致
0	MF0	0	R/W	チャンネル 0 条件一致フラグ チャンネル 0 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 0 のマッチ条件不一致 1 : チャンネル 0 のマッチ条件一致

31.2.10 拡張マッチフラグレジスタ (CEMFR)

CEMFR は、読み出し / 書き込み可能な 32 ビットのレジスタであり、各チャンネルのマッチ条件によりフラグのアサート / クリアが可能です。本レジスタを用いることでシーケンシャルブ레이크を実現することができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MF1	MF0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	MF1	0	R/W	チャンネル 1 条件一致フラグ チャンネル 1 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 1 のマッチ条件不一致 1 : チャンネル 1 のマッチ条件一致
0	MF0	0	R/W	チャンネル 0 条件一致フラグ チャンネル 0 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 0 のマッチ条件不一致 1 : チャンネル 0 のマッチ条件一致

31.2.11 ブレークコントロールレジスタ (CBCR)

CBCR は、読み出し / 書き込み可能な 32 ビットのレジスタであり、ユーザブレークデバッグサポート機能を使用するかどうかを指定します。ユーザブレークデバッグサポート機能の詳細については、「31.4 ユーザブレークデバッグサポート機能」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UBDE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	UBDE	0	R/W	ユーザブレークデバッグサポート機能イネーブル ユーザブレークデバッグサポート機能を使用するかどうかを指定します。 0 : デバッグサポート機能を使用しない 1 : デバッグサポート機能を使用する

31.3 動作説明

31.3.1 アクセスに関する用語の説明

命令フェッチとは、命令を取得するアクセスを指します。たとえば、分岐命令の実行による分岐先命令のフェッチは命令アクセスです。オペランドアクセスとは、命令実行による任意のメモリアccessを指します。たとえば、命令 MOV.W @(disp,PC),Rn のアドレス ($PC + \text{disp} \times 2 + 4$) に対するアクセスはオペランドアクセスです。「データ」という用語は「アドレス」との対比で使用します。

すべてのオペランドアクセスは、読み出しアクセスまたは書き込みアクセスのいずれかに分類されます。次の命令は特別の注意が必要です。

- PREF、OCBP および OCBWB 命令：読み出しアクセスとして扱います。
- MOVCA.L および OCBI 命令：書き込みアクセスとして扱います。
- TAS.B 命令：1つの読み出しアクセス、1つの書き込みアクセスとして扱います。

PREF、OCBP、OCBWB、OCBI 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。

すべてのオペランドアクセスは、オペランドサイズが定義されます。オペランドサイズには、バイト、ワード、ロングワード、クワッドワードがあります。PREF、OCBP、OCBWB、MOVCA.L、OCBI 命令によるオペランドアクセスにおいては、オペランドサイズはロングワードとして定義されます。

31.3.2 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク例外処理までの動作の流れは、次のとおりです。

1. マッチ条件とするオペランドサイズ、バス、命令フェッチ / オペランドアクセス、読み出し / 書き込み条件を、マッチ条件設定レジスタ (CBR0またはCBR1) により指定します。ブレイクアドレスをマッチアドレス設定レジスタ (CAR0、CAR1)、アドレスのマスク条件をマッチアドレスマスク設定レジスタ (CAMR0、CAMR1) により指定します。マッチ条件にASIDを含める場合は、マッチ条件設定レジスタのAIEビットをセットし、同レジスタのAIV7~AIV0ビットと、CPUマッチ条件設定拡張レジスタ (ECBR0またはECBR1) のAIV15~8ビットにより、ASIDの下位8ビットと上位8ビットを指定します。マッチ条件にデータ値を含める場合は、マッチ条件設定レジスタのDBEビットをセットし、ブレイクデータをマッチデータ設定レジスタ (CDR1)、データのマスク条件をマッチデータマスク設定レジスタ (CDMR1) により指定します。マッチ条件に実行回数を含める場合は、マッチ条件設定レジスタのETBEビットをセットし、実行回数条件を実行回数ブレイクレジスタ (CETR1) により指定します。シーケンシャルブレイクを設定する場合、マッチ条件設定レジスタのMFEビットをセットし、シーケンス元チャンネル番号をMFIにより指定します。

2. マッチ条件が成立した場合のブレイク要求の有無、命令フェッチによる条件成立の場合のブレイク位置を、マッチ動作設定レジスタ (CRR0、CRR1) により指定します。他のすべてのレジスタ、およびマッチ条件設定レジスタの CE ビットを除くビットの設定が終了したのち、マッチ条件設定レジスタの CE ビットをセットし、再度マッチ条件設定レジスタを読み出してください。この手順により、コントロールレジスタの設定値が直後の後続命令から有効となることを保証できます。リセット後、初期状態のコントロールレジスタからマッチ条件設定レジスタの CE ビットをセットした場合、意図しないブレイクが発生する場合があります。
3. マッチ条件が成立すると、チャンネルマッチフラグレジスタ (CCMFR) の該当する条件一致フラグ (MF1、MF0) がセットされます。さらに、マッチ動作設定レジスタ (CRR0、CRR1) の設定内容により、CPU へのブレイク要求が発生します。SR レジスタの BL ビットにより、ブレイク要求に対する CPU の動作が異なります。BL ビットが 0 のとき、ブレイク要求は受理され所定の例外処理が行われますが、BL ビットが 1 の場合例外処理は行われません。
4. マッチ条件の一致または不一致をチェックするため、該当する条件一致フラグ (MF1、MF0) を使用することができます。フラグは条件一致によりセットされますが、自動的にクリアされません。フラグを再び使用できるようにするためには、チャンネルマッチフラグレジスタ (CCMFR) に対するメモリストア命令により 0 を書き込んでください。
5. チャンネル 0 およびチャンネル 1 で設定したブレイクがほぼ同時に発生する場合があります。CPU に対するブレイク要求は 1 つだけであっても、これらのブレイクに対する条件一致フラグが 2 つともセットされる場合があります。
6. SR レジスタの BL ビットが 1 の期間は、すべてのブレイク要求は受理されません。ただし、条件判定は行われ、一致した場合は条件一致フラグがセットされます。
7. シーケンシャル条件指定時、各チャンネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。

31.3.3 命令フェッチサイクルブレーク

1. マッチ条件設定レジスタ (CBR0またはCBR1) に命令フェッチが設定されると、マッチ条件は命令フェッチとなります。マッチ条件によりブレーク要求を発生させる場合、該当するチャンネルに対するマッチ動作レジスタ (CRR0またはCRR1) のBIEビットをセットしてください。ブレークのタイミングを命令実行の前にするか後にするかは、PCBビットで指定できます。マッチ条件として命令フェッチサイクルを指定する場合、マッチアドレス設定レジスタ (CAR0またはCAR1) のLSBを0にクリアしてください。このビットが1にセットされているとブレークは発生しません。
2. 命令フェッチサイクルにおいて命令実行前ブレークを指定すると、命令がフェッチされ実行することが確定した時点でブレーク要求が発生します。したがって、この機能はオーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令には使用できません。命令実行前ブレークと他の例外との優先順位については、「第5章 例外処理」を参照してください。遅延分岐命令の遅延スロットに対して実行前ブレークが指定されると、遅延分岐命令の実行前にブレークが発生します。ただし、RTE命令の遅延スロットには実行前ブレークを指定しないでください。
3. 命令フェッチサイクルにおいて命令実行後ブレークを指定すると、マッチ条件と一致した命令が実行されたのち、次の命令の実行前にブレークが発生します。実行前のブレークの場合と同様、オーバランによってフェッチされる命令には使用できません。命令実行後ブレークと他の例外との優先順位については、「第5章 例外処理」を参照してください。遅延分岐命令およびその遅延スロットに対して実行後ブレークが指定されると、分岐先の最初の命令までブレークは発生しません。
4. チャンネル1のマッチ条件として命令フェッチサイクルを指定すると、マッチ条件設定レジスタ CBR1 のDBEビットは無効となり、マッチデータ設定レジスタ CDR1 およびマッチデータマスク設定レジスタ CDMR1 の設定は無視されます。したがって、命令フェッチサイクルのブレークには、データ値を設定することはできません。

31.3.4 オペランドアクセスサイクルブレーク

1. オペランドアクセスサイクルブレークの場合、マッチ条件設定レジスタ (CBR0またはCBR1) のオペランドサイズ指定と、条件比較の対象となるアドレスとの関係は、以下のようになります。

表 31.4 オペランドサイズ指定と比較対象アドレス

オペランドサイズセレクト	比較アドレスビット
クワッドワード	アドレスビット A31 ~ A3
ロングワード	アドレスビット A31 ~ A2
ワード	アドレスビット A31 ~ A1
バイト	アドレスビット A31 ~ A0
マッチ条件に含まれない	クワッドワードアクセス時のアドレスビット A31 ~ A3 ロングワードアクセス時のアドレスビット A31 ~ A2 ワードアクセス時のアドレスビット A31 ~ A1 バイトアクセス時のアドレスビット A31 ~ A0

これは、たとえばマッチアドレス設定レジスタ (CAR0またはCAR1) にアドレスH'00001003を設定するとき、マッチ条件が成立するオペランドアクセスサイクルには、(他のすべての条件が成立すると仮定した場合) 以下が含まれることを意味します。

アドレスH'00001000に対するロングワードアクセス

アドレスH'00001002に対するワードアクセス

アドレスH'00001003に対するバイトアクセス

2. チャンネル1のマッチ条件にデータ値が含まれる場合

データ値をマッチ条件に含める場合は、マッチ条件設定レジスタ (CBR1) のオペランドサイズセレクト (SZ ビット) によりクワッドワード、ロングワード、ワード、またはバイトを指定し、かつマッチデータ設定レジスタ (CDR1) およびマッチデータマスク設定レジスタ (CDMR1) を設定する必要があります。このとき、アドレス条件とデータ条件が一致するとマッチ条件が成立します。バイトアクセス、ワードアクセス、ロングワードアクセスに対するデータ値およびマスクは、それぞれCDR1およびCDMR1のビット7~0、ビット15~0、ビット31~0に設定します。クワッドワードアクセスの場合、64ビットデータは上位32ビットと下位32ビットに分割され、2つの32ビットデータ単位として条件比較が行われます。2つの32ビットデータ単位のいずれかがマッチ条件を満足すると、マッチ条件成立となります。

3. PREF、OCBP、OCBWB、OCBI 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対するマッチ条件としてデータ値を含めた場合、マッチ条件は成立しません。
4. オペランドバスを選択している場合、条件が一致した命令の実行を完了し、次の命令を実行する直前にブレークが発生します。ただし、条件にデータ値を含める場合は、条件が一致した命令から数命令実行した後になる場合もあり、ブレークが発生する命令を特定することはできません。また、遅延分岐命令やその遅延スロットでこの種のブレークが発生した場合は、分岐先の最初の命令までブレークは発生しません。RTE 命令

の遅延スロットには、オペランドブレイクを設定しないでください。また、データ値を条件に含める場合は、RTE 命令の 1~6 命令前でブレイクを発生させないでください。

31.3.5 シーケンシャルブレイク

1. マッチ条件設定レジスタ (CBR0、CBR1) の MFE ビットおよび MFI ビットを設定することで、シーケンシャル条件 (チャンネル 0 マッチ条件が成立した後チャンネル 1 マッチ条件が成立、またはその逆) を指定することができます。シーケンス元チャンネルについては、マッチ条件設定レジスタの MFE、およびマッチ動作設定レジスタの BIE ビットをクリアしてください。シーケンス先チャンネルについては、マッチ条件設定レジスタの MFE ビットをセットし、シーケンス元チャンネル番号を MFI で指定します。シーケンシャル条件成立時のブレイク要求の有無は、シーケンス先マッチ動作設定レジスタの BIE ビットにより指定します。シーケンシャル条件指定時、各チャンネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。
2. シーケンシャル条件指定では、チャンネル 1 については実行回数ブレイク条件も指定することができます。
3. シーケンス元チャンネルとシーケンス先チャンネルのマッチ条件成立タイミングが接近している場合、シーケンシャル条件が保証されない場合があります。

- シーケンス元チャンネル、シーケンス先チャンネルとも命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0 命令後	同じアドレスを設定するのと等価です。この設定は使用しないでください。
命令 B は命令 A の 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルは命令フェッチサイクルでマッチ成立、シーケンス先チャンネルはオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0 または 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルはオペランドアクセスサイクルでマッチ成立、シーケンス先チャンネルは命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0~5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネル、シーケンス先チャンネルともオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0~5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

31.3.6 回避されるプログラムカウンタの値

ブレイク発生時は、実行を再開すべき命令のアドレスを SPC に回避し、例外処理状態に移行します。マッチ条件にデータ値を含む場合を除き、ブレイクの発生する命令を一意に決定することができます。

1. 命令フェッチサイクル (命令実行前) をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令のアドレスが回避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、遅延分岐命令のアドレスが SPC に回避されます。

2. 命令フェッチサイクル (命令実行後) をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令の次の命令のアドレスが回避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスが SPC に回避されます。

3. オペランドアクセス (アドレスのみ) をマッチ条件として指定する場合

SPC には、ブレイク条件に一致した命令の直後の命令のアドレスが回避されます。条件に一致した命令が実行され、次の命令の実行前にブレイクが発生します。ただし、遅延スロットで条件が一致した場合は、分岐先のアドレスが SPC に回避されます。

4. オペランドアクセス (アドレス + データ) をマッチ条件として指定する場合

データ値がマッチ条件に追加されると、マッチ条件に一致した命令は実行を完了します。1 命令後から 6 命令後までのいずれかの命令の実行前にユーザブレイクが発生し、その命令のアドレスが SPC に回避されます。ブレイクが発生する場所を正確に決定することはできません。遅延スロット命令で条件が一致した場合は、分岐先アドレスが SPC に回避されます。また、条件に一致した命令の次命令が分岐命令である場合は、分岐命令や遅延スロットの実行まで完了した後にブレイクが発生する場合があります。この場合も、SPC には分岐先のアドレスが回避されます。

31.4 ユーザブレイクデバッグサポート機能

ユーザブレイクデバッグサポート機能を用いることにより、CPU がユーザブレイク要求を受理した場合の分岐先アドレスを変更することができます。ブレイクコントロールレジスタ CBCR の UBDE ビットを 1 にセットすることにより、[VBR + オフセット] で表示されるアドレスへ分岐するかわりに DBR で示されるアドレスへ分岐します。ユーザブレイクデバッグサポート機能のフローチャートを図 31.2 に示します。

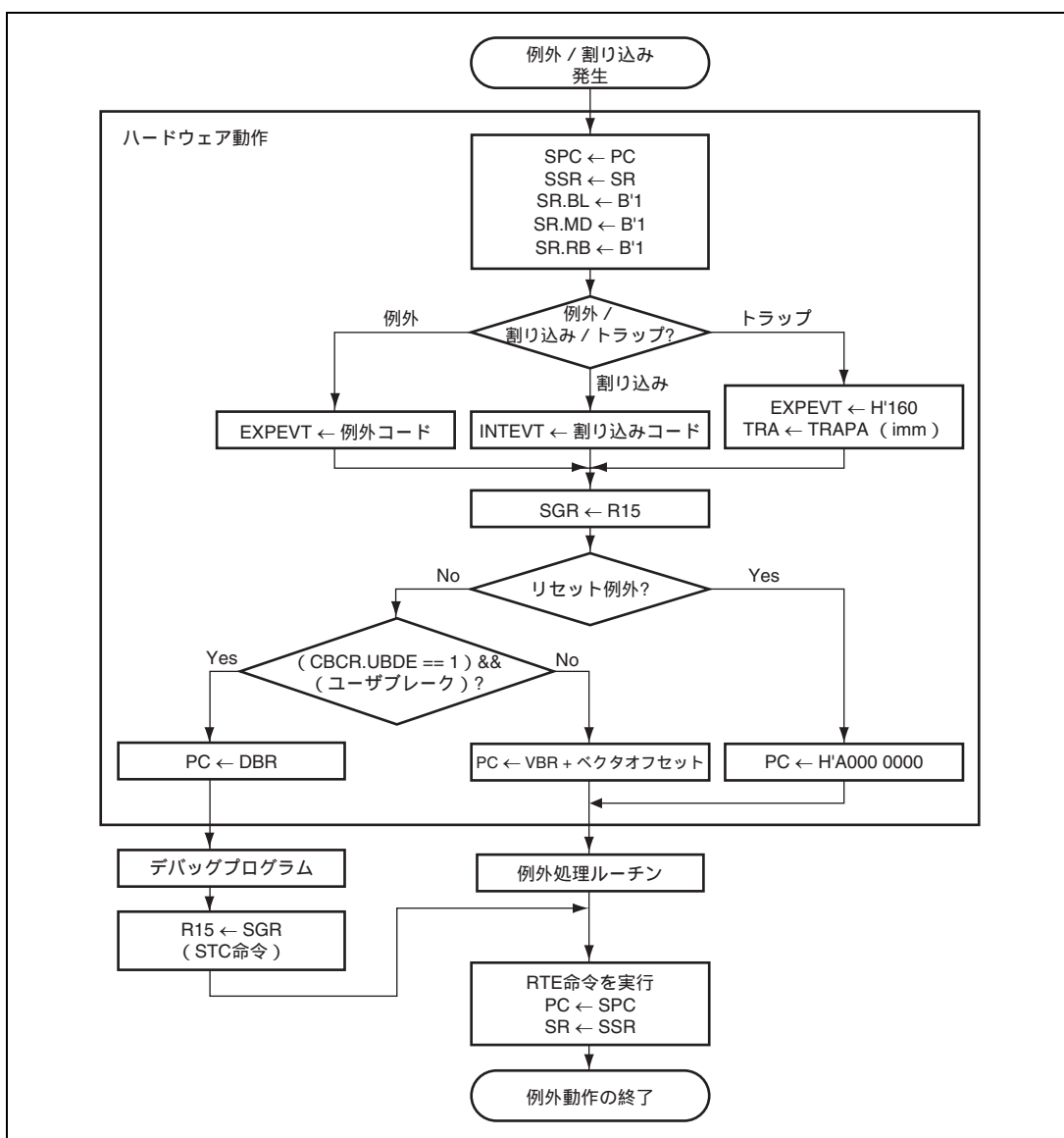


図 31.2 ユーザブレイクデバッグサポート機能のフローチャート

31.5 ユーザブレイク使用例

(1) 命令フェッチサイクルに指定したマッチ条件

• 例 1-1

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002003 / CAR0 = H'00000404 / CAMR0 = H'00000000 /
CBR1 = H'00000013 / CRR1 = H'00002001 / CAR1 = H'00008010 / CAMR1 = H'00000006 /
CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 / ECBR1 = H'00000000 /
ECBR0 = H'00000000 / ECBR1 = H'00000000 /
CBCR = H'00000000

指定条件：チャンネル 0 / チャンネル 1 独立条件

【チャンネル 0】

アドレス：H'00000404、アドレスマスク：H'00000000

バスサイクル：命令フェッチ（命令実行後）

ASID は条件に含まれない

【チャンネル 1】

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID、データ値、実行回数は条件に含まれない

ユーザブレイクは、アドレス H'00000404 の命令実行後、またはアドレス H'00008010 ~ H'00008016 の命令実行前に発生します。

• 例 1-2

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002000 / CAR0 = H'00037226 / CAMR0 = H'00000000 /
CBR1 = H'C0700013 / CRR1 = H'00002001 / CAR1 = H'0003722E / CAMR1 = H'00000000 /
CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /
ECBR0 = H'00000000 / ECBR1 = H'00000000 /
CBCR = H'00000000

指定条件：チャンネル 0 チャンネル 1 シーケンシャルモード

【チャンネル 0】

アドレス：H'00037226、アドレスマスク：H'00000000、ASID：H'0080

バスサイクル：命令フェッチ（命令実行前）

【チャンネル1】

アドレス : H'0003722E、アドレスマスク : H'00000000、ASID : H'0070
データ : H'00000000、データマスク : H'00000000、実行回数 : H'00000000
バスサイクル : 命令フェッチ (命令実行前)
データ値、実行回数は条件に含まれない

ASID = H'0080 かつアドレス H'00037226 の命令が実行された後、ASID = H'0070 かつアドレス H'0003722E の命令実行前にユーザブレイクが発生します。

• 例 1-3

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002001 / CAR0 = H'00027128 / CAMR0 = H'00000000 /
CBR1 = H'00000013 / CRR1 = H'00002001 / CAR1 = H'00031415 / CAMR1 = H'00000000 /
CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /
ECBR0 = H'00000000 / ECBR1 = H'00000000 /
CBCR = H'00000000

指定条件 : チャンネル 0 / チャンネル 1 独立条件

【チャンネル0】

アドレス : H'00027128、アドレスマスク : H'00000000
バスサイクル : 命令フェッチ (命令実行前)
ASID は条件に含まれない

【チャンネル1】

アドレス : H'00031415、アドレスマスク : H'00000000
データ : H'00000000、データマスク : H'00000000、実行回数 : H'00000000
バスサイクル : 命令フェッチ (命令実行前)
ASID、データ値、実行回数は条件に含まれない

チャンネル 0 では、アドレス H'00027128 の命令実行前に発生します。チャンネル 1 では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

• 例 1-4

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002000 / CAR0 = H'00037226 / CAMR0 = H'00000000 /
CBR1 = H'C0700013 / CRR1 = H'00002001 / CAR1 = H'0003722E / CAMR1 = H'00000000 /
CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /
ECBR0 = H'00000000 / ECBR1 = H'00000000 /
CBCR = H'00000000

指定条件：チャンネル0 チャンネル1 シーケンシャルモード

【チャンネル0】

アドレス：H'00037226、アドレスマスク：H'00000000、ASID = H'0080
バスサイクル：命令フェッチ（命令実行前）

【チャンネル1】

アドレス：H'0003722E、アドレスマスク：H'00000000、ASID = H'0070
データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000
バスサイクル：命令フェッチ（命令実行前）
データ値、実行回数は条件に含まれない

ASID = H'0080 かつアドレス H'00037226 の命令が実行された後、ASID = H'0070 かつアドレス H'0003722E の命令実行前にブレークが発生します。

• 例 1-5

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002001 / CAR0 = H'00000500 / CAMR0 = H'00000000 /
CBR1 = H'00000813 / CRR1 = H'00002001 / CAR1 = H'00001000 / CAMR1 = H'00000000 /
CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000005 /
ECBR0 = H'00000000 / ECBR1 = H'00000000 /
CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00000500、アドレスマスク：H'00000000
バスサイクル：命令フェッチ（命令実行前）
ASID は条件に含まれない

【チャンネル1】

アドレス：H'00001000、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000005

バスサイクル：命令フェッチ（命令実行前）

実行回数：5回

ASID、データ値は条件に含まれない

チャンネル0では、ユーザブレイクはアドレス H'00000500 の命令の実行前に生じます。チャンネル1では、ユーザブレイクは、アドレス H'00001000 の命令を4回実行した後、5回目の命令実行前に生じます。

• 例 1-6

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002003 / CAR0 = H'00008404 / CAMR0 = H'00000FFF /

CBR1 = H'40700013 / CRR1 = H'00002001 / CAR1 = H'00008010 / CAMR1 = H'00000006 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

ECBR0 = H'00000000 / ECBR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00008404、アドレスマスク：H'00000FFF、ASID：H'0080

バスサイクル：命令フェッチ（命令実行後）

【チャンネル1】

アドレス：H'00008010、アドレスマスク：H'00000006、ASID：H'0070

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ユーザブレイクは、ASID = H'0080 でアドレス H'00008000 ~ H'00008FFE の命令の実行後、または、ASID = H'0070 でアドレス H'00008010 ~ H'00008016 の命令の実行前に生じます。

(2) オペランドアクセスサイクルに指定したマッチ条件

• 例 2-1

レジスタ設定

CBR0 = H'40800023 / CRR0 = H'00002001 / CAR0 = H'00123456 / CAMR0 = H'00000000 /
CBR1 = H'4070A025 / CRR1 = H'00002001 / CAR1 = H'000ABCDE / CAMR1 = H'000000FF /
CDR1 = H'0000A512 / CDMR1 = H'00000000 / CETR1 = H'00000000 /
ECBR0 = H'00000000 / ECBR1 = H'00000000 /
CBCR = H'00000000

指定条件：チャンネル 0 / チャンネル 1 独立条件

【チャンネル 0】

アドレス：H'00123456、アドレスマスク：H'00000000、ASID：H'0080

バスサイクル：オペランドバス / オペランドアクセス / 読み出し (オペランドサイズは条件に含まれない)

【チャンネル 1】

アドレス：H'000ABCDE、アドレスマスク：H'000000FF、ASID：H'0070

データ：H'0000A512、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：オペランドバス / オペランドアクセス / 書き込み / ワード

実行回数は条件に含まれない

チャンネル 0 では、ユーザブレイクは、ASID = H'0080 でアドレス H'00123454 に対するロングワードの読み出し、アドレス H'00123456 に対するワード読み出し、あるいはアドレス H'00123456 に対するバイト読み出しで生じます。チャンネル 1 では、ユーザブレイクは ASID = H'0070 で H'000ABC00 ~ H'000ABCFE にワード H'A512 を書き込むときに生じます。

31.6 使用上の注意事項

1. UBCのレジスタの値を書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。UBCレジスタを変更後、ブレイク対象の命令を実行する前に、以下の(1)～(3)のいずれかを実行してください。

(1) 変更したレジスタをリードした後、RTE命令による分岐を実行してください(レジスタリードとRTE命令は連続している必要はありません)。

(2) 変更したレジスタをリードした後、任意のアドレス(キャッシング不可領域でもよい)に対して、ICBI命令を実行してください(レジスタリードとICBI命令は連続している必要はありません)。

(3) UBCレジスタの変更前にIRMCR.R1=0(初期値)と設定しておき、レジスタライト レジスタリード(もう一度同じ値を)レジスタライトというシーケンスでレジスタを更新してください。

なお、複数のUBCレジスタを変更する場合には、それぞれについて上記の手順を踏む必要はありません。最後に変更するレジスタについてのみ、上記の手順が必要になります。

2. CRR0 および CRR1 の PCB ビットは、命令フェッチをマッチ条件にしたときのみに有効です。
3. シーケンシャル条件設定時、シーケンス元チャンネルのマッチ条件成立後シーケンス先チャンネルのマッチ条件が成立するとき、シーケンシャル条件が成立します。したがって、同一バスサイクルに対してチャンネル0およびチャンネル1の条件一致が同時に発生するようにマッチ条件が設定されてもシーケンシャル条件は成立せず、ブレイクは発生しません。
4. SLEEP 命令に対しては、命令フェッチサイクルをマッチ条件とする命令実行後ブレイクを発生させないでください。また、SLEEP 命令の1～5命令前では、オペランドアクセスをマッチ条件とするブレイクを発生させないでください。
5. ユーザブレイクと他の例外が同一命令で発生した場合は、定められた優先順位で判定が行われます。優先順位に関しては、「第5章 例外処理」を参照してください。より高い優先度の例外が発生した場合は、ユーザブレイクは発生しません。
 - 命令実行前のブレイクは他のどの例外よりも優先して受け付けられます。
 - 命令実行後ブレイクやデータアクセスブレイクは、より優先度の高い再実行型の例外(命令実行前ブレイクを含む)と同時に発生した場合、再実行型の例外が受け付けられ、条件一致を示すフラグもセットされません。例外処理により再実行型の例外要因が解消され、同命令が再実行された完了する時点で改めてブレイクが発生し、フラグがセットされます。
 - 命令実行後ブレイクやオペランドアクセスブレイクが、より優先度の高い完了型の例外(TRAPA)と同時に発生した場合は、ブレイクは発生しませんが、条件一致を示すフラグはセットされます。
6. チャンネル0、チャンネル1において、マッチ条件が同時に独立して成立し、またその結果SPCの値が両方のブレイクに対して同じ場合、ユーザブレイクは一度だけ発生しますが、条件一致フラグは両チャンネルともにセットされます。たとえば、

アドレス110の命令(チャンネル0で命令フェッチに対する実行後ブレイク) SPC=112、CCMFR.MF0=1

アドレス112の命令 (チャンネル1で命令フェッチに対する実行前ブレーク) SPC = 112、CCMFR.MF1 = 1

7. RTE 命令の遅延スロット命令に対して命令実行前ブレークやオペランドブレークを設定しないでください。またオペランドブレークにデータ値を含める場合には、RTE 命令の 1~6 命令前でブレークを発生させないでください。
8. 実行ステートが 2 以上の命令において再実行型例外と実行後ブレークが競合した場合、再実行型例外が発生します。このとき、ブレーク条件の成立に対して、CCMFR.MF0 (または CCMFR.MF1) ビットが 1 にセットされる場合と、セットされない場合があります。

32. ユーザデバッグインタフェース (H-UDI)

ユーザデバッグインタフェース (H-UDI) は、JTAG (IEEE1149.1) にサブセットをサポートしたシリアル入出力インタフェースであり、エミュレータの接続に使用します。

32.1 特長

H-UDI は JTAG、IEEE1149.1 "IEEE Standard Test Access Port and Boundary-Scan Architecture" にサブセットをサポートしたシリアル入出力インタフェースです。H-UDI は、エミュレータとの接続に使用します。エミュレータを使用する場合は本インタフェースの JTAG 機能を使用しないでください。なお、エミュレータとの接続方法は各エミュレータのマニュアルを参照してください。

H-UDI は 6 本の端子 (TCK、TMS、TDI、TDO、 $\overline{\text{TRST}}$ 、 $\overline{\text{ASEBRK}}/\text{BRKACK}$) からなります。 $\overline{\text{ASEBRK}}/\text{BRKACK}$ を除く端子機能やシリアル転送プロトコルは、JTAG の規格にサブセットをサポートします。さらにエミュレータ用端子として 6 本の信号 (AUDSYNC、AUDCK、AUDATA3 ~ 0)、チップモード指定端子として 1 本の信号 (MPMD) があります。

本 LSI の H-UDI はバウンダリスキャン用 TAP コントローラとバウンダリスキャン以外の H-UDI の機能を制御する TAP コントローラを分離しています。電源投入時を含め、 $\overline{\text{TRST}}$ のアサートによりバウンダリスキャン用 TAP コントローラが選択されるため、H-UDI の機能を利用するためには切り替えコマンドを入力する必要があります。また、バウンダリスキャン TAP コントローラは CPU からアクセスすることはできません。

図 32.1 に H-UDI のブロック図を示します。

H-UDI 回路は内部に TAP コントローラと、SDBPR、SDBSR、SDIR、SDINT の計 4 本のレジスタを持ちます。SDBPR は JTAG のバイパスモードをサポートするためのレジスタ、SDBSR は JTAG のバウンダリスキャンモードをサポートするためのレジスタ、SDIR はコマンド用のレジスタ、SDINT は H-UDI 割り込み用のレジスタです。SDIR は TDI、TDO 端子から直接アクセスできます。

TAP (Test Access Port) コントローラと制御レジスタおよびバウンダリスキャン TAP コントローラはチップのリセット端子とは独立して、 $\overline{\text{TRST}}$ 端子をローレベルにするか、TMS を 1 に設定して TCK を 5 サイクル以上かけることによりリセットがかかります。その他の回路は通常リセット期間中にリセットがかかり初期化されます。

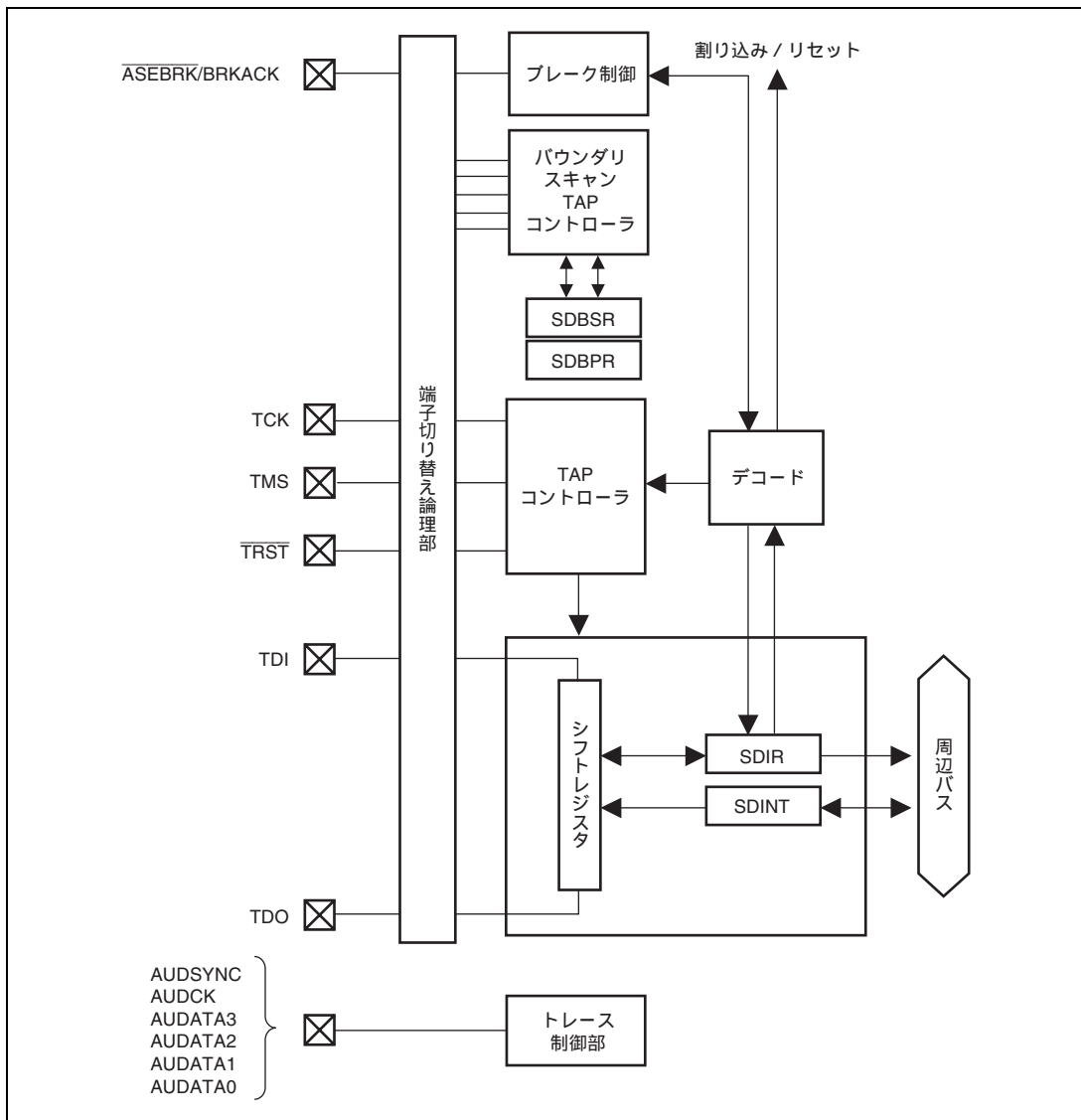


図 32.1 H-UDI のブロック図

32.2 入出力端子

H-UDI の端子構成を表 32.1 に示します。

表 32.1 H-UDI の端子構成

端子名	機能	入出力	説明	未使用時
TCK	クロック端子	入力	JTAG のシリアルクロック入力端子と同じです。この信号に同期してデータ入力端子 TDI から H-UDI 回路にデータを与えるか、データ出力端子 TDO からデータを読み出します。	オープン ^{*1}
TMS	モード端子	入力	モードセレクト入力端子。TCK に同期してこの信号を変化させることで、TDI から入力するデータの意味を決定します。そのプロトコルは JTAG(IEEE Std 1149.1) 規格にサブセットをサポートします。	オープン ^{*1}
TRST ^{*2}	リセット端子	入力	H-UDI をリセットする入力端子。TCK とは非同期に受け付け、ローレベルで JTAG インタフェース回路に対するリセットがかかります。JTAG の利用の有無にかかわらず、電源投入時に TRST を一定期間ローレベルにしなければなりません。これは IEEE の規格と異なります。	グラウンド固定 または PRESET 接続 ^{*3}
TDI	データ入力端子	入力	データ入力端子。TCK に同期してこの信号を変化させることで H-UDI 回路にデータを送ります。	オープン ^{*1}
TDO	データ出力端子	出力	データ出力端子。TCK に同期してこの信号を読むことで、H-UDI 回路からデータを読み取ります。	オープン
ASEBRK/ BRKACK	エミュレータ用端子	入出力	エミュレータ専用の端子	オープン ^{*1}
AUDSYNC AUDCK AUDATA3~0	エミュレータ用端子	出力	エミュレータ専用の端子	オープン
MPMD	チップモード指定端子	入力	エミュレーションサポートモードとして動作させる (MPMD=0) か、本体チップモードとして動作させる (MPMD=1) かを示します。	オープン ^{*1}

- 【注】 *1 チップ内でプルアップされています。エミュレータを使用可能なボードを設計する場合、あるいは H-UDI 経由で割り込み、リセットを利用する場合、外部にプルアップ抵抗を付けても問題ありません。
- *2 エミュレータを使用可能なボードを設計する場合あるいは H-UDI 経由で割り込み/リセットを利用する場合は、電源投入時に PRESET と重複する期間 TRST をローレベルにし、かつ TRST 単独でも制御可能となるようにしてください。
- *3 グラウンド固定または PRESET と同じ (あるいは同じ挙動の) 信号と接続する。ただし、グラウンド固定の場合には下記の問題があります。TRST はチップ内でプルアップされているため外部からグラウンドに固定すると微小な電流が流れます。電流値はポート端子のプルアップ抵抗の規定に従います。本電流はチップの動作には何ら影響を及ぼしませんが、不要な電力を消費することになります。

TCK の周波数が本 LSI の周辺クロックの周波数より低くなるように TCK あるいは本 LSI の CPG の設定を行ってください。CPG の設定の詳細は「第 18 章 クロック発振器 (CPG)」を参照してください。

32.3 レジスタの説明

H-UDI には以下のレジスタがあります。

表 32.2 レジスタ構成 (1)

名称	略称	CPU 側				
		R/W	P4 領域 アドレス	エリア 7 アドレス	サイズ	同期クロック
インストラクションレジスタ	SDIR	R	H'FC11 0000	H'1C11 0000	16	Pck
割り込み要因レジスタ	SDINT	R/W	H'FC11 0018	H'1C11 0018	16	Pck
バウンダリスキャンレジスタ	SDBSR	-	-	-	-	-
バイパスレジスタ	SDBPR	-	-	-	-	-

表 32.3 レジスタ構成 (2)

名称	略称	H-UDI 端子側		
		R/W	サイズ	同期クロック
インストラクションレジスタ	SDIR	R/W* ¹	32	Pck
割り込み要因レジスタ	SDINT	W* ²	32	Pck
バウンダリスキャンレジスタ	SDBSR	R/W	-	-
バイパスレジスタ	SDBPR	R/W	1	-

【注】 *1 H-UDI からの読み出し値は常に固定値 (H'FFFF FFFD) となります。

*2 H-UDI 割り込みコマンドにより最下位ビットへ 1 を書き込むことができます。

表 32.4 各処理状態におけるレジスタの状態

名称	略称	パワーオン リセット	マニュアル リセット	モジュール スタンバイ	スリープ	ライト スリープ
インストラクションレジスタ	SDIR	H'0EFF	保持	保持	保持	保持
割り込み要因レジスタ	SDINT	H'0000	保持	保持	保持	保持

32.3.1 インストラクションレジスタ (SDIR)

SDIR は、CPU から読み出しのみ可能な 16 ビットのレジスタです。シリアル入力 (TDI) から値 (コマンド) をセットします。 $\overline{\text{TRST}}$ または TAP の Test-Logic-Reset ステートで初期状態になります。H-UDI からの書き込みの場合、CPU のモードとは無関係に書き込みができます。またリザーブとなっているコマンドをセットした場合の動作は保証しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TI								—	—	—	—	—	—	—	—
初期値:	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	TI	00001110	R	テストインストラクションビット 7~0 0110xxxx: H-UDI リセット・ネゲート 0111xxxx: H-UDI リセット・アサート 101xxxxx: H-UDI 割り込み 00001110: 初期状態 上記以外: 設定禁止
7~0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。

32.3.2 割り込み要因レジスタ (SDINT)

SDINT は CPU から読み出し / 書き込み可能な 16 ビットのレジスタです。H-UDI 端子側からは、SDIR に「H-UDI 割り込み」コマンドをセットした (Update-IR) 場合に、INTREQ ビットが 1 になります。SDIR が「H-UDI 割り込み」コマンドの間、H-UDI 端子の TDI と TDO の間に SDINT が接続され、32 ビットのレジスタとして読み出し可能です。その場合上位 16 ビットが 0 に、下位 16 ビットが SDINT になります。

CPU 側からは INTREQ ビットに 0 を書き込むことしかできません。このビットが 1 の間は割り込み要求が発行され続けますので、割り込みハンドラ内で必ず 0 にクリアし、再度 INTREQ を読み出しクリアされたことを確認してください。このレジスタ値は $\overline{\text{TRST}}$ または TAP の Test-Logic-Reset ステートで初期状態になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INT REQ
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	INTREQ	0	R/W	割り込み要求ビット 「H-UDI 割り込み」コマンドによる割り込み要求の有無を示します。CPU からはこのビットに 0 を書き込むことにより割り込み要求をクリアできます。このビットに 1 を書き込んだ場合は、直前の値を保持します。

32.3.3 バイパスレジスタ (SDBPR)

バイパスレジスタ (SDBPR) は JTAG のバイパスモードをサポートするための 1 ビットのレジスタです。バウンダリスキャン TAP コントローラに BYPASS コマンドがセットされると、TDI と TDO の間に SDBPR が接続されます。CPU からのアクセスはできません。このレジスタはパワーオンリセットあるいは TRST のアサートでも初期化されません。ただし、Capture-DR ステートでは 0 に初期化されます。

32.3.4 バウンダリスキャンレジスタ (SDBSR)

バウンダリスキャンレジスタ (SDBSR) は JTAG のバウンダリスキャンモードをサポートするためのレジスタです。本レジスタは外部入出力ピンの制御を行うために PAD 上に配置されたシフトレジスタで、SAMPLE/ PRELOAD、EXTEST コマンドを用いて JTAG (IEEE Std1149.1) 規格にサブセットをサポートしたバウンダリスキャンテストを行うことができます。チップのモードにかかわらず CPU からのアクセスはできません。このレジスタはパワーオンリセットあるいは TRST のアサートでも初期化されません。

表 32.5 バウンダリスキャンレジスタの構成

番号	ピン名称	タイプ	番号	ピン名称	タイプ
From TDI			428	HAC1_SYNC/SSI1_WS/SDIF1WP	OUTPUT
440	IRL0	OUTPUT	427	HAC1_SYNC/SSI1_WS/SDIF1WP	CONTROL
439	IRL0	CONTROL	426	HAC1_SYNC/SSI1_WS/SDIF1WP	INPUT
438	IRL0	INPUT	425	HAC1_BITCLK/SSI1_CLK/SDIF1CLK	OUTPUT
437	NMI	OUTPUT	424	HAC1_BITCLK/SSI1_CLK/SDIF1CLK	CONTROL
436	NMI	CONTROL	423	HAC1_BITCLK/SSI1_CLK/SDIF1CLK	INPUT
435	NMI	INPUT	422	HAC0_SDOUT/SSI0_SDATA/SDIF1D3	OUTPUT
434	HAC1_SDOUT/SSI1_SDATA/SDIF1C MD	OUTPUT	421	HAC0_SDOUT/SSI0_SDATA/SDIF1D3	CONTROL
433	HAC1_SDOUT/SSI1_SDATA/SDIF1C MD	CONTROL	420	HAC0_SDOUT/SSI0_SDATA/SDIF1D3	INPUT
432	HAC1_SDOUT/SSI1_SDATA/SDIF1C MD	INPUT	419	HAC0_SDIN/SSI0_SCK/SDIF1D2	OUTPUT
431	HAC1_SDIN/SSI1_SCK/SDIF1CD	OUTPUT	418	HAC0_SDIN/SSI0_SCK/SDIF1D2	CONTROL
430	HAC1_SDIN/SSI1_SCK/SDIF1CD	CONTROL	417	HAC0_SDIN/SSI0_SCK/SDIF1D2	INPUT
429	HAC1_SDIN/SSI1_SCK/SDIF1CD	INPUT	416	HAC0_SYNC/SSI0_WS/SDIF1D1	OUTPUT
			415	HAC0_SYNC/SSI0_WS/SDIF1D1	CONTROL
			414	HAC0_SYNC/SSI0_WS/SDIF1D1	INPUT

番号	ピン名称	タイプ	番号	ピン名称	タイプ
413	HAC0_BITCLK/SSI0_CLK/SDIF1D0	OUTPUT	375	SCIF3_TXD/HAC_RES/SSI2_WS	INPUT
412	HAC0_BITCLK/SSI0_CLK/SDIF1D0	CONTROL	374	SCIF3_RXD/TCLK/SSI2_SCK	OUTPUT
411	HAC0_BITCLK/SSI0_CLK/SDIF1D0	INPUT	373	SCIF3_RXD/TCLK/SSI2_SCK	CONTROL
410	$\overline{DREQ1}/\overline{BREQ}/\text{USB_OVC1}$	OUTPUT	372	SCIF3_RXD/TCLK/SSI2_SCK	INPUT
409	$\overline{DREQ1}/\overline{BREQ}/\text{USB_OVC1}$	CONTROL	371	SCIF3_SCK/SSI2_SDATA	OUTPUT
408	$\overline{DREQ1}/\overline{BREQ}/\text{USB_OVC1}$	INPUT	370	SCIF3_SCK/SSI2_SDATA	CONTROL
407	$\overline{IRL3}$	OUTPUT	369	SCIF3_SCK/SSI2_SDATA	INPUT
406	$\overline{IRL3}$	CONTROL	368	STATUS1/SSI3_CLK	OUTPUT
405	$\overline{IRL3}$	INPUT	367	STATUS1/SSI3_CLK	CONTROL
404	$\overline{IRL2}$	OUTPUT	366	STATUS1/SSI3_CLK	INPUT
403	$\overline{IRL2}$	CONTROL	365	STATUS0/SSI2_CLK	OUTPUT
402	$\overline{IRL2}$	INPUT	364	STATUS0/SSI2_CLK	CONTROL
401	$\overline{IRL1}$	OUTPUT	363	STATUS0/SSI2_CLK	INPUT
400	$\overline{IRL1}$	CONTROL	362	D31	OUTPUT
399	$\overline{IRL1}$	INPUT	361	D31	CONTROL
398	USB_PENC1	OUTPUT	360	D31	INPUT
397	USB_PENC1	CONTROL	359	D30	OUTPUT
396	USB_PENC1	INPUT	358	D30	CONTROL
395	USB_PENC0	OUTPUT	357	D30	INPUT
394	USB_PENC0	CONTROL	356	D29	OUTPUT
393	USB_PENC0	INPUT	355	D29	CONTROL
392	$\overline{DREQ0}/\text{USB_OVC0}$	OUTPUT	354	D29	INPUT
391	$\overline{DREQ0}/\text{USB_OVC0}$	CONTROL	353	D28	OUTPUT
390	$\overline{DREQ0}/\text{USB_OVC0}$	INPUT	352	D28	CONTROL
389	I2C_SDA1/ \overline{IRQOUT}	OUTPUT	351	D28	INPUT
388	I2C_SDA1/ \overline{IRQOUT}	CONTROL	350	D27	OUTPUT
387	I2C_SDA1/ \overline{IRQOUT}	INPUT	349	D27	CONTROL
386	I2C_SCL1/SCIF2_SCK	OUTPUT	348	D27	INPUT
385	I2C_SCL1/SCIF2_SCK	CONTROL	347	D26	OUTPUT
384	I2C_SCL1/SCIF2_SCK	INPUT	346	D26	CONTROL
383	I2C_SDA0/SCIF2_TXD	OUTPUT	345	D26	INPUT
382	I2C_SDA0/SCIF2_TXD	CONTROL	344	D25	OUTPUT
381	I2C_SDA0/SCIF2_TXD	INPUT	343	D25	CONTROL
380	I2C_SCL0/SCIF2_RXD	OUTPUT	342	D25	INPUT
379	I2C_SCL0/SCIF2_RXD	CONTROL	341	D24	OUTPUT
378	I2C_SCL0/SCIF2_RXD	INPUT	340	D24	CONTROL
377	SCIF3_TXD/HAC_RES/SSI2_WS	OUTPUT	339	D24	INPUT
376	SCIF3_TXD/HAC_RES/SSI2_WS	CONTROL	338	D23	OUTPUT

番号	ピン名称	タイプ	番号	ピン名称	タイプ
337	D23	CONTROL	299	D14	OUTPUT
336	D23	INPUT	298	D14	CONTROL
335	D22	OUTPUT	297	D14	INPUT
334	D22	CONTROL	296	D13	OUTPUT
333	D22	INPUT	295	D13	CONTROL
332	D21	OUTPUT	294	D13	INPUT
331	D21	CONTROL	293	D12	OUTPUT
330	D21	INPUT	292	D12	CONTROL
329	D20	OUTPUT	291	D12	INPUT
328	D20	CONTROL	290	D11	OUTPUT
327	D20	INPUT	289	D11	CONTROL
326	D19	OUTPUT	288	D11	INPUT
325	D19	CONTROL	287	D10	OUTPUT
324	D19	INPUT	286	D10	CONTROL
323	D18	OUTPUT	285	D10	INPUT
322	D18	CONTROL	284	D9	OUTPUT
321	D18	INPUT	283	D9	CONTROL
320	D17	OUTPUT	282	D9	INPUT
319	D17	CONTROL	281	D8	OUTPUT
318	D17	INPUT	280	D8	CONTROL
317	D16	OUTPUT	279	D8	INPUT
316	D16	CONTROL	278	D7/FD7	OUTPUT
315	D16	INPUT	277	D7/FD7	CONTROL
314	$\overline{WE3}/IOWR$	OUTPUT	276	D7/FD7	INPUT
313	$\overline{WE3}/IOWR$	CONTROL	275	D6/FD6	OUTPUT
312	$\overline{WE3}/IOWR$	INPUT	274	D6/FD6	CONTROL
311	$\overline{WE2}/IORD$	OUTPUT	273	D6/FD6	INPUT
310	$\overline{WE2}/IORD$	CONTROL	272	D5/FD5	OUTPUT
309	$\overline{WE2}/IORD$	INPUT	271	D5/FD5	CONTROL
308	$\overline{WE1}/FWE$	OUTPUT	270	D5/FD5	INPUT
307	$\overline{WE1}/FWE$	CONTROL	269	D4/FD4	OUTPUT
306	$\overline{WE1}/FWE$	INPUT	268	D4/FD4	CONTROL
305	$\overline{WE0}/REG$	OUTPUT	267	D4/FD4	INPUT
304	$\overline{WE0}/REG$	CONTROL	266	D3/FD3	OUTPUT
303	$\overline{WE0}/REG$	INPUT	265	D3/FD3	CONTROL
302	D15	OUTPUT	264	D3/FD3	INPUT
301	D15	CONTROL	263	D2/FD2	OUTPUT
300	D15	INPUT	262	D2/FD2	CONTROL

番号	ピン名称	タイプ	番号	ピン名称	タイプ
261	D2/FD2	INPUT	223	MODE14/SCIF5_SCK/FRB	CONTROL
260	D1/FD1	OUTPUT	222	MODE14/SCIF5_SCK/FRB	INPUT
259	D1/FD1	CONTROL	221	DACK1/BACK/FALE	OUTPUT
258	D1/FD1	INPUT	220	DACK1/BACK/FALE	CONTROL
257	D0/FD0	OUTPUT	219	DACK1/BACK/FALE	INPUT
256	D0/FD0	CONTROL	218	DACK0/FCLE	OUTPUT
255	D0/FD0	INPUT	217	DACK0/FCLE	CONTROL
254	\overline{BS}	OUTPUT	216	DACK0/FCLE	INPUT
253	\overline{BS}	CONTROL	215	$\overline{RD}/FRAME/FRE$	OUTPUT
252	\overline{BS}	INPUT	214	$\overline{RD}/FRAME/FRE$	CONTROL
251	CLKOUTENB	OUTPUT	213	$\overline{RD}/FRAME/FRE$	INPUT
250	CLKOUTENB	CONTROL	212	$\overline{CS0}/FCE0$	OUTPUT
249	CLKOUTENB	INPUT	211	$\overline{CS0}/FCE0$	CONTROL
248	CLKOUT	OUTPUT	210	$\overline{CS0}/FCE0$	INPUT
247	CLKOUT	CONTROL	209	$\overline{CS1}/A26$	OUTPUT
246	CLKOUT	INPUT	208	$\overline{CS1}/A26$	CONTROL
245	\overline{RDY}	OUTPUT	207	$\overline{CS1}/A26$	INPUT
244	\overline{RDY}	CONTROL	206	$\overline{CS2}$	OUTPUT
243	\overline{RDY}	INPUT	205	$\overline{CS2}$	CONTROL
242	$\overline{R/W}$	OUTPUT	204	$\overline{CS2}$	INPUT
241	$\overline{R/W}$	CONTROL	203	$\overline{CS3}$	OUTPUT
240	$\overline{R/W}$	INPUT	202	$\overline{CS3}$	CONTROL
239	A25	OUTPUT	201	$\overline{CS3}$	INPUT
238	A25	CONTROL	200	$\overline{CS4}$	OUTPUT
237	A25	INPUT	199	$\overline{CS4}$	CONTROL
236	A24	OUTPUT	198	$\overline{CS4}$	INPUT
235	A24	CONTROL	197	$\overline{CS5}$	OUTPUT
234	A24	INPUT	196	$\overline{CS5}$	CONTROL
233	MODE11/DRAK3/CE2A	OUTPUT	195	$\overline{CS5}$	INPUT
232	MODE11/DRAK3/CE2A	CONTROL	194	$\overline{CS6}$	OUTPUT
231	MODE11/DRAK3/CE2A	INPUT	193	$\overline{CS6}$	CONTROL
230	MODE12/SCIF5_TXD/CE2B	OUTPUT	192	$\overline{CS6}$	INPUT
229	MODE12/SCIF5_TXD/CE2B	CONTROL	191	A23	OUTPUT
228	MODE12/SCIF5_TXD/CE2B	INPUT	190	A23	CONTROL
227	MODE13/SCIF5_RXD/IOIS16	OUTPUT	189	A23	INPUT
226	MODE13/SCIF5_RXD/IOIS16	CONTROL	188	A22	OUTPUT
225	MODE13/SCIF5_RXD/IOIS16	INPUT	187	A22	CONTROL
224	MODE14/SCIF5_SCK/FRB	OUTPUT	186	A22	INPUT

番号	ピン名称	タイプ	番号	ピン名称	タイプ
185	A21	OUTPUT	147	A9	INPUT
184	A21	CONTROL	146	A8	OUTPUT
183	A21	INPUT	145	A8	CONTROL
182	A20	OUTPUT	144	A8	INPUT
181	A20	CONTROL	143	A7	OUTPUT
180	A20	INPUT	142	A7	CONTROL
179	A19	OUTPUT	141	A7	INPUT
178	A19	CONTROL	140	A6	OUTPUT
177	A19	INPUT	139	A6	CONTROL
176	A18	OUTPUT	138	A6	INPUT
175	A18	CONTROL	137	A5	OUTPUT
174	A18	INPUT	136	A5	CONTROL
173	A17	OUTPUT	135	A5	INPUT
172	A17	CONTROL	134	A4	OUTPUT
171	A17	INPUT	133	A4	CONTROL
170	A16	OUTPUT	132	A4	INPUT
169	A16	CONTROL	131	A3	OUTPUT
168	A16	INPUT	130	A3	CONTROL
167	A15	OUTPUT	129	A3	INPUT
166	A15	CONTROL	128	A2	OUTPUT
165	A15	INPUT	127	A2	CONTROL
164	A14	OUTPUT	126	A2	INPUT
163	A14	CONTROL	125	A1	OUTPUT
162	A14	INPUT	124	A1	CONTROL
161	A13	OUTPUT	123	A1	INPUT
160	A13	CONTROL	122	A0	OUTPUT
159	A13	INPUT	121	A0	CONTROL
158	A12	OUTPUT	120	A0	INPUT
157	A12	CONTROL	119	MODE10/SCIF4_SCK/DRAK2/SSI3_WS	OUTPUT
156	A12	INPUT	118	MODE10/SCIF4_SCK/DRAK2/SSI3_WS	CONTROL
155	A11	OUTPUT	117	MODE10/SCIF4_SCK/DRAK2/SSI3_WS	INPUT
154	A11	CONTROL	116	MODE9/SCIF4_RXD/DRAK1/ SSI3_SDATA	OUTPUT
153	A11	INPUT	115	MODE9/SCIF4_RXD/DRAK1/ SSI3_SDATA	CONTROL
152	A10	OUTPUT	114	MODE9/SCIF4_RXD/DRAK1/ SSI3_SDATA	INPUT
151	A10	CONTROL	113	MODE8/SCIF4_TXD/DRAK0/SSI3_SCK /FSE	OUTPUT
150	A10	INPUT			
149	A9	OUTPUT			
148	A9	CONTROL			

番号	ピン名称	タイプ	番号	ピン名称	タイプ
112	MODE8/SCIF4_TXD/DRAK0/SSI3_SCK /FSE	CONTROL	76	DR3/ETH_TXD3	CONTROL
111	MODE8/SCIF4_TXD/DRAK0/SSI3_SCK /FSE	INPUT	75	DR3/ETH_TXD3	INPUT
110	MODE7/DACK3/SDIF0CMD	OUTPUT	74	DR4/ETH_TX_EN	OUTPUT
109	MODE7/DACK3/SDIF0CMD	CONTROL	73	DR4/ETH_TX_EN	CONTROL
108	MODE7/DACK3/SDIF0CMD	INPUT	72	DR4/ETH_TX_EN	INPUT
107	MODE6/DACK2/SDIF0CD	OUTPUT	71	DR5/ETH_TX_ER	OUTPUT
106	MODE6/DACK2/SDIF0CD	CONTROL	70	DR5/ETH_TX_ER	CONTROL
105	MODE6/DACK2/SDIF0CD	INPUT	69	DR5/ETH_TX_ER	INPUT
104	MODE5/DREQ3/SDIF0WP	OUTPUT	68	DG0/ETH_CRS	OUTPUT
103	MODE5/DREQ3/SDIF0WP	CONTROL	67	DG0/ETH_CRS	CONTROL
102	MODE5/DREQ3/SDIF0WP	INPUT	66	DG0/ETH_CRS	INPUT
101	MODE4/SCIF0_CTS/DREQ2/SDIF0CLK	OUTPUT	65	DG1/ETH_TX_CLK	OUTPUT
100	MODE4/SCIF0_CTS/DREQ2/SDIF0CLK	CONTROL	64	DG1/ETH_TX_CLK	CONTROL
99	MODE4/SCIF0_CTS/DREQ2/SDIF0CLK	INPUT	63	DG1/ETH_TX_CLK	INPUT
98	MODE3/SCIF0_RTS/IRL7/SDIF0D3	OUTPUT	62	DG2/ETH_COL	OUTPUT
97	MODE3/SCIF0_RTS/IRL7/SDIF0D3	CONTROL	61	DG2/ETH_COL	CONTROL
96	MODE3/SCIF0_RTS/IRL7/SDIF0D3	INPUT	60	DG2/ETH_COL	INPUT
95	MODE2/SCIF0_SCK/IRL6/SDIF0D2	OUTPUT	59	DG3/ETH_MDC	OUTPUT
94	MODE2/SCIF0_SCK/IRL6/SDIF0D2	CONTROL	58	DG3/ETH_MDC	CONTROL
93	MODE2/SCIF0_SCK/IRL6/SDIF0D2	INPUT	57	DG3/ETH_MDC	INPUT
92	MODE1/SCIF0_RXD/IRL5/SDIF0D1	OUTPUT	56	DG4/ETH_RX_CLK	OUTPUT
91	MODE1/SCIF0_RXD/IRL5/SDIF0D1	CONTROL	55	DG4/ETH_RX_CLK	CONTROL
90	MODE1/SCIF0_RXD/IRL5/SDIF0D1	INPUT	54	DG4/ETH_RX_CLK	INPUT
89	MODE0/SCIF0_TXD/IRL4/SDIF0D0	OUTPUT	53	DG5/ETH_MDIO	OUTPUT
88	MODE0/SCIF0_TXD/IRL4/SDIF0D0	CONTROL	52	DG5/ETH_MDIO	CONTROL
87	MODE0/SCIF0_TXD/IRL4/SDIF0D0	INPUT	51	DG5/ETH_MDIO	INPUT
86	DR0/ETH_TXD0	OUTPUT	50	DB0/ETH_RX_ER	OUTPUT
85	DR0/ETH_TXD0	CONTROL	49	DB0/ETH_RX_ER	CONTROL
84	DR0/ETH_TXD0	INPUT	48	DB0/ETH_RX_ER	INPUT
83	DR1/ETH_TXD1	OUTPUT	47	DB1/ETH_RX_DV	OUTPUT
82	DR1/ETH_TXD1	CONTROL	46	DB1/ETH_RX_DV	CONTROL
81	DR1/ETH_TXD1	INPUT	45	DB1/ETH_RX_DV	INPUT
80	DR2/ETH_TXD2	OUTPUT	44	DB2/ETH_RXD0	OUTPUT
79	DR2/ETH_TXD2	CONTROL	43	DB2/ETH_RXD0	CONTROL
78	DR2/ETH_TXD2	INPUT	42	DB2/ETH_RXD0	INPUT
77	DR3/ETH_TXD3	OUTPUT	41	DB3/ETH_RXD1	OUTPUT
			40	DB3/ETH_RXD1	CONTROL
			39	DB3/ETH_RXD1	INPUT

番号	ピン名称	タイプ	番号	ピン名称	タイプ
38	DB4/ETH_RXD2	OUTPUT	18	$\overline{\text{HSYNC}}/\text{HSPI_TX}$	INPUT
37	DB4/ETH_RXD2	CONTROL	17	$\overline{\text{VSYNC}}/\text{HSPI_CLK}$	OUTPUT
36	DB4/ETH_RXD2	INPUT	16	$\overline{\text{VSYNC}}/\text{HSPI_CLK}$	CONTROL
35	DB5/ETH_RXD3	OUTPUT	15	$\overline{\text{VSYNC}}/\text{HSPI_CLK}$	INPUT
34	DB5/ETH_RXD3	CONTROL	14	ODDF/HSPI_CS	OUTPUT
33	DB5/ETH_RXD3	INPUT	13	ODDF/HSPI_CS	CONTROL
32	DCLKOUT	OUTPUT	12	ODDF/HSPI_CS	INPUT
31	DCLKOUT	CONTROL	11	SCIF1_SCK	OUTPUT
30	DCLKOUT	INPUT	10	SCIF1_SCK	CONTROL
29	CDE/ETH_MAGIC	OUTPUT	9	SCIF1_SCK	INPUT
28	CDE/ETH_MAGIC	CONTROL	8	SCIF1_RXD	OUTPUT
27	CDE/ETH_MAGIC	INPUT	7	SCIF1_RXD	CONTROL
26	DISP/ETH_LINK	OUTPUT	6	SCIF1_RXD	INPUT
25	DISP/ETH_LINK	CONTROL	5	SCIF1_TXD	OUTPUT
24	DISP/ETH_LINK	INPUT	4	SCIF1_TXD	CONTROL
23	DCLKIN/HSPI_RX	OUTPUT	3	SCIF1_TXD	INPUT
22	DCLKIN/HSPI_RX	CONTROL	2	$\overline{\text{ASEBRK}}/\text{BRKACK}$	OUTPUT
21	DCLKIN/HSPI_RX	INPUT	1	$\overline{\text{ASEBRK}}/\text{BRKACK}$	CONTROL
20	$\overline{\text{HSYNC}}/\text{HSPI_TX}$	OUTPUT	0	$\overline{\text{ASEBRK}}/\text{BRKACK}$	INPUT
19	$\overline{\text{HSYNC}}/\text{HSPI_TX}$	CONTROL	To TDO		

【注】 CONTROL はローアクティブの信号。CONTROL を LOW にすることで、該当ピンを OUT 値でドライブする。

32.4 動作説明

32.4.1 バウンダリスキャン TAP コントローラ (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS)

本 LSI の H-UDI はバウンダリスキャン用 TAP コントローラと H-UDI リセット、H-UDI 割り込み機能を制御する TAP コントローラを分離しています。電源投入時を含め、 $\overline{\text{TRST}}$ アサートによりバウンダリスキャン用 TAP コントローラが活き、JTAG で規定されているバウンダリスキャン機能を利用できます。また、H-UDI 切り替えコマンドを入力することで、H-UDI リセット、H-UDI 割り込み機能が利用できるようになります。ただし本 LSI の場合、以下の制限事項が存在します。

- クロック関連信号 (EXTAL、XTAL、USB_EXTAL、USB_XTAL、DCLKOUT) は、バウンダリスキャンの対象から外れます。
 - リセット関連信号 ($\overline{\text{PRESET}}$) は、バウンダリスキャンの対象から外れます。
 - H-UDI 関連信号 (TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$ 、AUDSYNC、AUDCK、AUDATA3~0、MPMD) は、バウンダリスキャンの対象から外れます。
 - USB IF 関連端子は、一部 (USB_OVC0、USB_OVC1、USB_PENC0、USB_PENC1) を除きバウンダリスキャンの対象から外れます。
 - DDR3 IF 関連端子は、バウンダリスキャンの対象から外れます。
 - PCIe IF 関連端子は、バウンダリスキャンの対象から外れます。
 - 温度センサ 関連端子は、バウンダリスキャンの対象から外れます。
 - バウンダリスキャン (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS、H-UDI切り替えコマンド1、2) 実行時、TCKの最大周波数は10MHzです。
 - H-UDI側(外部コントローラ)からバウンダリスキャンTAPコントローラへのアクセスサイズは8ビットです。
- 以下に、バウンダリスキャン TAP コントローラのサポートコマンドを示します。

【注】 バウンダリスキャン利用時は、MPMD をハイレベル、 $\overline{\text{PRESET}}$ 端子をハイレベルに固定にしてください。また、エミュレーションサポートモードとして動作させる (MPMD=0) 場合、バウンダリスキャン機能を利用することはできません。バウンダリスキャン TAP コントローラから H-UDI への切り替えシーケンスを図 32.2 (1)、図 32.2 (2) に示します。

表 32.6 バウンダリスキャン TAP コントローラのサポートコマンド

ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	説 明
0	1	0	1	0	1	0	1	IDCODE
1	1	1	1	1	1	1	1	BYPASS
0	0	0	0	0	0	0	0	EXTEST
0	1	0	0	0	0	0	0	SAMPLE/PRELOAD
0	0	0	0	1	0	0	0	H-UDI 切り替えコマンド 1
0	0	0	1	0	1	1	1	H-UDI 切り替えコマンド 2
上記以外								設定禁止

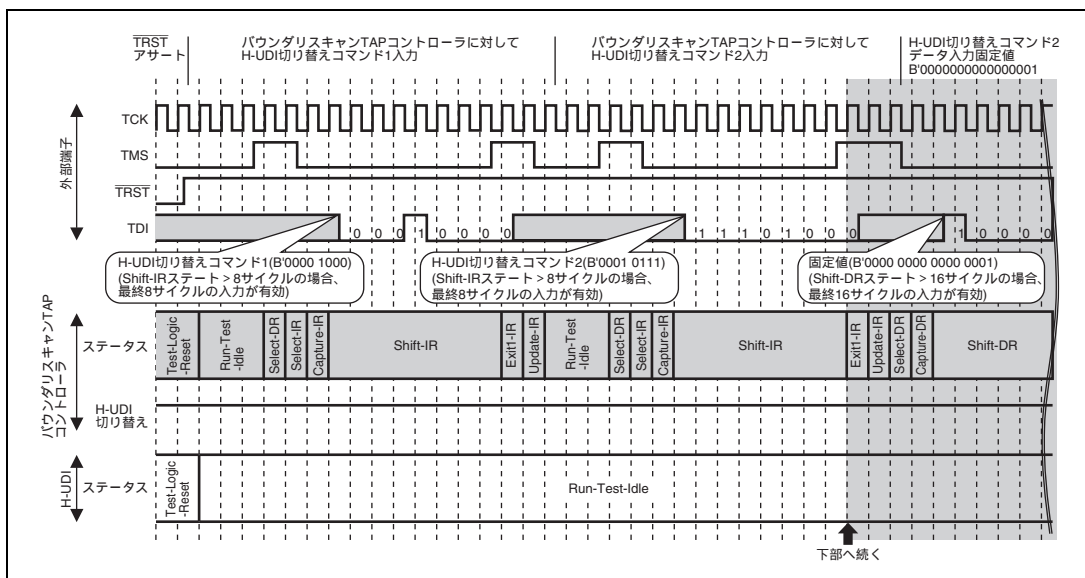


図 32.2 (1) バウンダリスキャン TAP コントローラから H-UDI への切り替えシーケンス

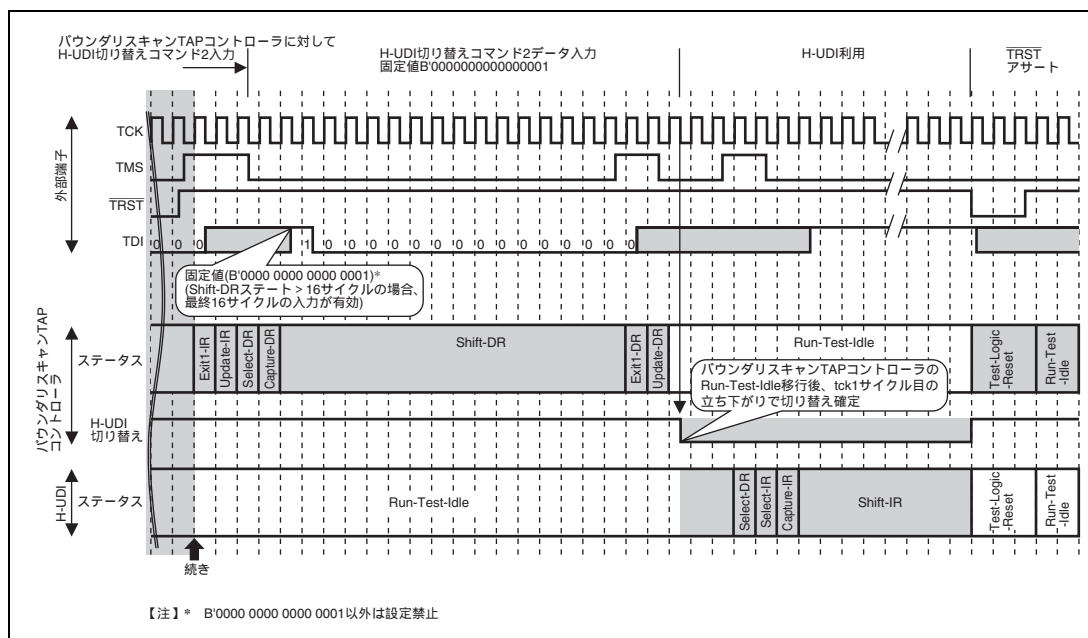


図 32.2 (2) バウンダリスキャン TAP コントローラから H-UDI への切り替えシーケンス (続き)

32.4.2 TAP 制御

図 32.3 に TAP 制御回路の内部状態を示します。JTAG で規定されている状態遷移にサブセットをサポートしています。

- 遷移条件はTCKの立ち上がりエッジにおけるTMS値です。
- TDI値はTCKの立ち上がりエッジでサンプリングし、TCKの立ち下がりエッジでシフトします。
- TDO値はTCKの立ち下がりエッジで変化します。またTDO端子はShift-DR、Shift-IRステート以外ではハイインピーダンス状態です。
- $\overline{\text{TRST}}=0$ への遷移でTCKとは非同期でTest-Logic-Reset状態へ遷移します。

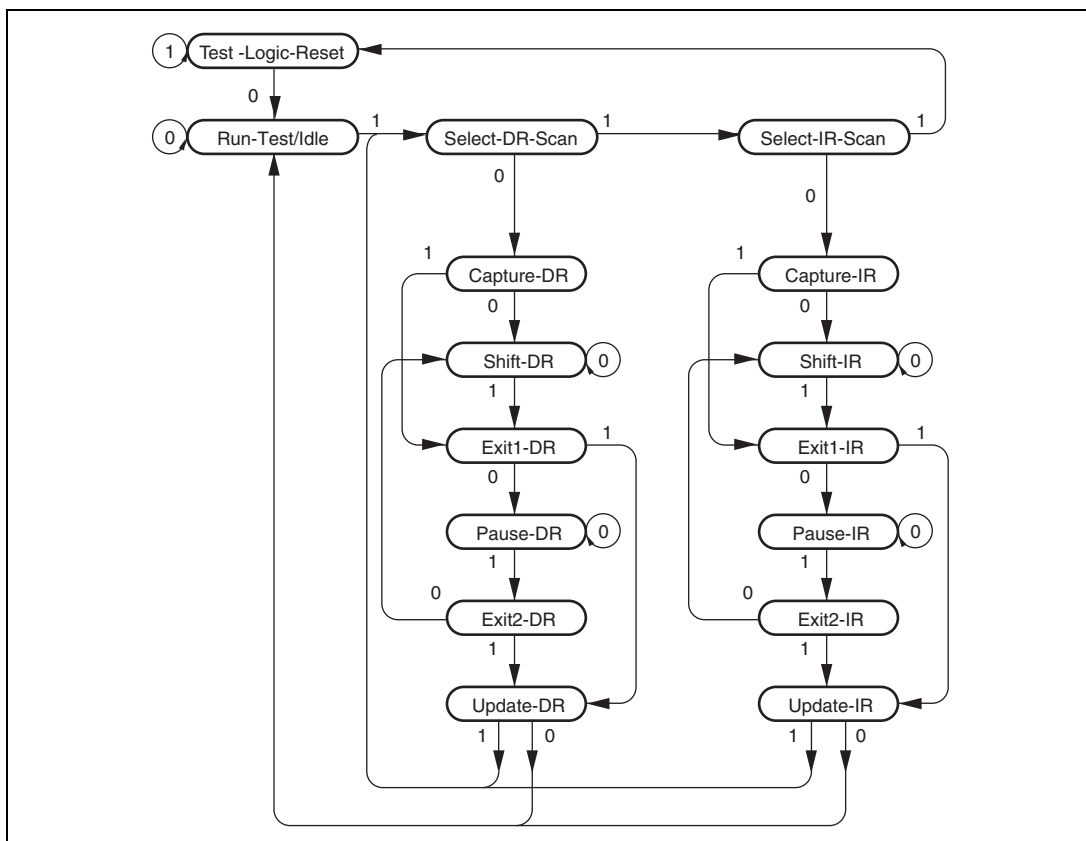


図 32.3 TAP 制御状態遷移図

32.4.3 H-UDI リセット

SDIR コマンドによりパワーオンリセットをかけられます。H-UDI の端子から H-UDI リセット・アサートコマンドを送り、さらに H-UDI リセット・ネゲートコマンドを送ることでリセットをかけます(図 32.4 参照)。H-UDI リセット・アサートコマンドと H-UDI リセット・ネゲートコマンド間に必要な時間は、パワーオンリセットをかけるためにリセット端子をローレベルに保つ時間と同じです。H-UDI リセット・アサートコマンドをセット後、Pck 4 サイクル後にチップ内リセットがアサートされ、H-UDI リセット・ネゲートコマンドをセット後、リセット保持期間(最小で Pck 17 サイクル、最大で Pck 42 サイクルです。詳細は「第 18 章 クロック発振器 (CPG)」を参照してください。)後にチップ内リセットがネゲートされます。

【注】 WDT/RST モジュールは初期化されません。ただし、WDT/RST モジュールのオーバフローカウンタは初期化されます。

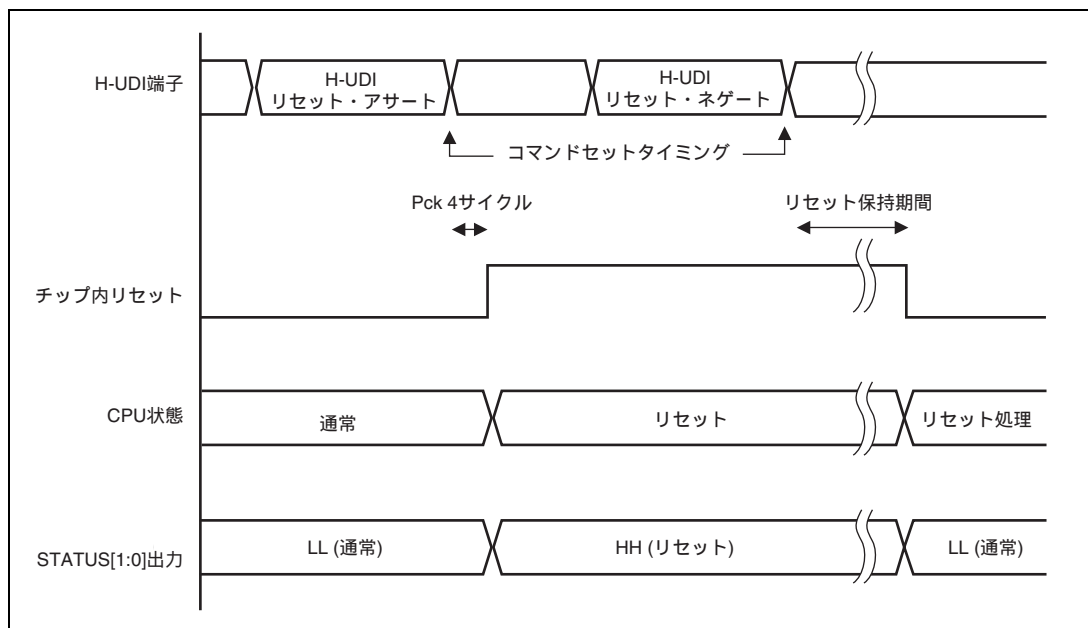


図 32.4 H-UDI リセット

32.4.4 H-UDI 割り込み

H-UDI 割り込み機能は、H-UDI から SDIR にコマンド値を設定することにより割り込みを発生させる機能です。H-UDI 割り込みは一般例外/割り込み動作であり、VBR に基づいたアドレスに分岐し、RTE 命令で復帰します。このとき、制御レジスタ INTEVT に格納される例外コードは H'600 です。また制御レジスタ INT2PRI4 のビット 28 ~ ビット 24 により H-UDI 割り込みの優先度を制御できます。詳細は「第 10 章 割り込みコントローラ (INTC)」を参照してください。

H-UDI 割り込みの要求信号は、コマンドセット後 (Update-IR) に SDINT レジスタの INTREQ ビットが 1 になることによりアサートされます。ソフトウェアにより INTREQ ビットに 0 を書き込まない限り割り込み要求信号はネゲートされませんので、割り込み要求を取りこぼすことはありません。H-UDI 割り込みコマンドが SDIR にセットされている間は、TDI と TDO の間に SDINT が接続されます。TDO から読み出される値等は「32.3.2 割り込み要因レジスタ (SDINT)」を参照してください。

32.5 注意事項

- (1) 一度設定した SDIR コマンドは $\overline{\text{TRST}}$ のアサート、または TAP を Test-Logic-Reset 状態にすることによる初期化以外は H-UDI から他のコマンドを書き込まない限り変化しません。
- (2) スリープモードおよびライトスリープモードは H-UDI 割り込み、H-UDI リセットにより解除され、それらの要求を受け付けます。
- (3) H-UDI は、エミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、JTAG の機能は使用できません。

33. 温度センサ

33.1 特長

本 LSI に搭載している温度センサモジュールにより、LSI 内部の温度 T_j の測定が可能です。温度センサモジュールは、以下の特長があります。

- LSI内部の温度 T_j が85 以上、105 以上、115 以上、125 以上のときにINTCを利用した割り込みを発生させることが可能です。
- 外部端子VTHSENSEは、LSI内部の温度 T_j と関連のある電圧を出力します。
外部端子VTHREFは、VTHSENSE端子の出力電圧をデジタルに変換するときに用いる基準電圧を出力します。
VTHREFとVTHSENSEのを利用して、 T_j を計測します。

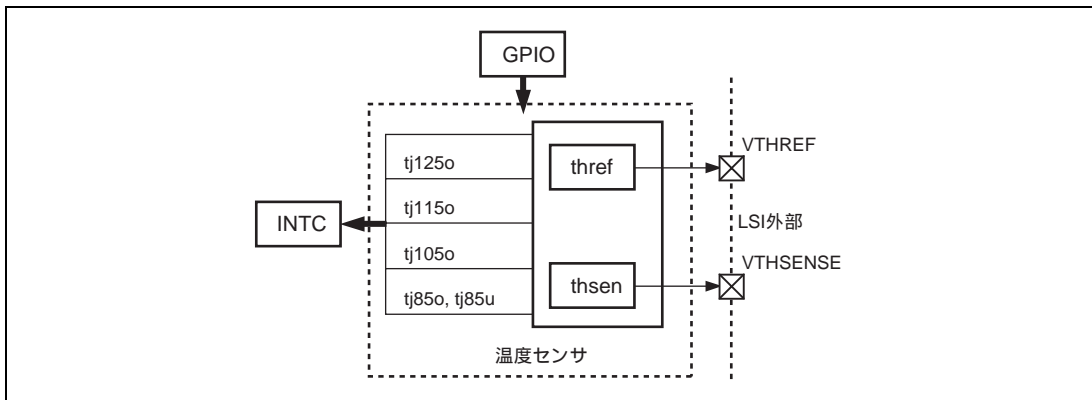


図 33.1 温度センサモジュールのブロック構成図

33.2 出力端子

温度センサモジュールの外部出力端子構成を表 33.1 に示します。

表 33.1 温度センサ外部出力端子

名称	端子名	I/O タイプ	機能
Thermal Sensor Output voltage	VTHSENSE	Analog I/O	LSI 内部の温度 T _J と関連のある電圧を出力します
Thermal Sensor Output Reference Voltage	VTHREF	Analog I/O	VTHSENSE 端子の出力電圧をデジタルに変換するときに用いる基準電圧を出力します

33.3 レジスタの説明

温度センサモジュールには、以下のレジスタがあります。

(1) GPIO のレジスタ

表 33.2 温度センサ GPIO レジスタ構成

名称	略称	R/W	P4 アドレス*1	エリア 7 アドレス*1	アクセス サイズ*2	同期 クロック
温度センサ 出力調整レジスタ	THTAPR	R/W	H'FFCC 00A0	H'1FCC 00A0	16	Pck

【注】 *1 P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

*2 レジスタには 16 ビットアクセスのレジスタと 8 ビットアクセスのレジスタがあります。指定されたアクセスサイズでリードライトを行ってください。

(2) INTC のレジスタ

INTC の章「10.3.5 温度センサ割り込み設定レジスタ (INT2HSC)」をご参照ください。

レジスタのビットの意味は下記表のとおりです。

表 33.3 は、温度センサ出力調整レジスタ (THTAPR) の tap11 ~ tap 8 ビットをすべて 0:P とした場合の温度センサから INT2THSC への信号です。

表 33.3 温度センサ INTC レジスタ構成 (1)

名称	温度検知レジスタ 略称	温度センサ割り込み 設定レジスタ	THS3E	THS2E	THS1E	THS0E
Tj >=125 時のビット	Tj125o	INT2THSC	1	1	1	1
Tj >=115 時のビット	Tj115o	-----	0	1	1	1
Tj >=105 時のビット	Tj105o	-----	0	0	1	1
Tj >=85 時のビット	Tj85o	-----	0	0	0	1
Tj <85 時のビット	Tj85u (初期値)	-----	0	0	0	0

表 33.4 は、温度センサ出力調整レジスタ (THTAPR) の tap11 ~ tap 8 ビットをすべて 1:N とした場合の温度センサから INT2THSC への信号です。

表 33.4 温度センサレジスタ構成 (2)

名称	温度検知レジスタ 略称	温度センサ割り込み 設定レジスタ	THS3E	THS2E	THS1E	THS0E
Tj >=125 時のビット	Tj125o	INT2THSC	0	0	0	0
Tj >=115 時のビット	Tj115o	-----	1	0	0	0
Tj >=105 時のビット	Tj105o	-----	1	1	0	0
Tj >=85 時のビット	Tj85o	-----	1	1	1	0
Tj <85 時のビット	Tj85u (初期値)	-----	1	1	1	1

33.3.1 温度センサ出力調整レジスタ (THTAPR)

THTAPR は、読み出し / 書き込み可能な 16 ビットのレジスタです。

通常は動作状態となります。使用・未使用にかかわらず、レジスタの設定が必要です。

本レジスタの設定により温度センサモジュールの動作 / アイドル制御、割り込み制御、並びに出力電圧 VTHSENSE、VTHREF を調整することができます。温度センサを利用する場合、下記に従った設定をしてください。

なお、0~7 ビットは下記設定にしてください。この設定以外の温度センサの電気的特性は保証されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	tap12	tap11	tap10	tap9	tap8	tap7	ap6	tap5	tap4	tap3	tap2	tap1	tap0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて0	R/W	リザーブビット 0以外書き込まないでください。読み出すと常に0が読み出されます。
12	tap12	0	R/W	温度センサモジュールの通常動作状態、アイドル状態を選択します。 0 : 通常動作状態 1 : アイドル状態 温度センサ未使用時に設定。 この場合、tap7~tap0 は初期値のまま何も書き込まないでください。
11~8	tap11~tap 8	すべて0	R/W	温度センサモジュールの内部信号 THS0E~THS3E のP/N をセレクトします。 すべて0 : P すべて1 : N
7~0	tap7~tap 0	すべて0	R/W	温度センサモジュールの温度検知レジスタの検知する温度を確定します。 下記設定により、温度検知レジスタの検知する温度が保証されます。 温度検知レジスタ Tj85o、Tj105o、Tj115o、Tj125o を使用する場合は、下記の設定を行ってください。なお、初期値もしくは、下記以外の書き込みは行わないでください。 tap7 : 1 tap6 : 0 tap5 : 0 tap4 : 1 tap3 : 0 tap2 : 1 tap1 : 0 tap0 : 0

33.4 外部接続推奨回路

温度センサモジュールの外部接続推奨回路を図 33.2 に示します。

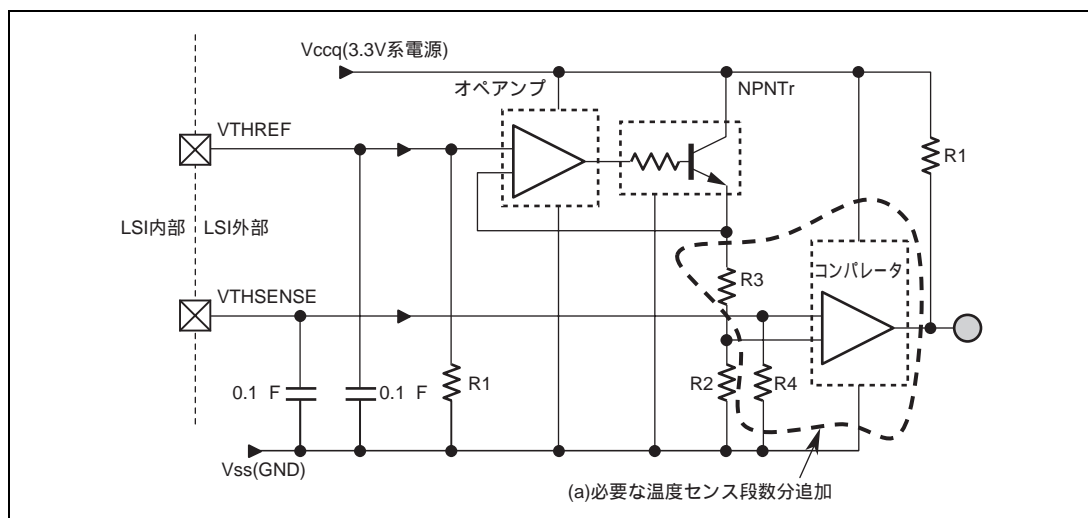


図 33.2 温度センサモジュールの外部接続推奨回路

外部接続推奨回路の特徴は、VTHSENSE が受ける外来ノイズと同等のノイズの影響を受ける VTHREF を用いて所望の温度のときに High レベルを出力します。これにより外来ノイズを相殺させることができ、 T_j の精度を向上させています。

また、(a)で示した回路部を増やすことにより、計測した T_j のデジタル化の段数（判定温度数）を増やすことが可能です。

回路素子定数

$$R1 = 549k, R2 = 414, R13 = R4 = 560$$

R1、R2 は E96 系列 $\pm 0.1\%$ 誤差の抵抗を推奨します。この抵抗値は T_j のデジタル化の精度に影響します。使用する抵抗は、温度の影響を受けにくい材質の抵抗を推奨します。

なお、R1、R2 は 2 本以上の直列抵抗で構成しても問題ありません。

R3、R4 は Pull Down 抵抗として使用するため、精度は問いません。

33.5 電気的特性

電気的特性を以下に示します。

表 33.5 温度センサ外部出力端子

端子名	出力電圧範囲 [V]	最大入出力電流 [μ A]	Tj 精度
VTHSENSE	0.4V(min) ~ 0.8V(max)	± 20	外部接続推奨回路を適用した場合は ± 125 max 検知温度範囲は -40 ~ 125 です。 125 を超える温度については、精度保証範囲外です。
VTHREF	1.1V(min) ~ 1.3V(max)	± 20	

VTHSENSE、VTHREF から温度 Tj を求める計算式は、以下となります。

$$T_j = (\text{温度係数 } 2 + \text{VTHSENSE} - \text{VTHREF}) / \text{温度係数 } 1 + 25 [\text{ }]$$

$$\text{vthsense [V]、温度係数 } 1 : (1.7042) [\text{mV/ }], \text{ 温度係数 } 2 : (0.7065) [\text{V}]$$

たとえば 125 放置状態の VTHSENSE (0.7100) [V]、VTHREF (1.2460) [V] を上式に代入すると

$$T_j = ((0.7065) + (0.7100) - (1.2460)) \times 1000 / 1.7042 + 25 = 125.0 [\text{ }] \text{ となります。}$$

VTHSENSE、VTHREF の出力電圧から上記計算式を用いて算出される Tj は、Tj の温度範囲 -40 ~ 125 において精度は ± 5 です。

ただし、この精度を得るには、外部接続推奨回路に示してあります VTHSENSE、VTHREF それぞれの端子 - GND 間に 0.1 μ F の容量を接続してください。なお、この 2 つの容量の GND 接続部は近接してください。

温度センサの温度検知レジスタを使用して LSI 内部で制御する場合の Tj 精度は、LSI 内部の回路動作保証が -40 ~ +85 であることから、この温度範囲外は動作保証並びに精度保証されません。また、「33.6 注意事項」の(3)をご覧ください。

表 33.6 温度センサ温度検知レジスタの Tj 精度

略称	Tj []	Tj 精度
Tj125o	125 >=	保証されません
Tj115o	115 >=	保証されません
Tj105o	105 >=	保証されません
Tj95o	85 >=	85 \pm (5) >=
Tj85u (初期値)	85 <	

33.6 注意事項

- (1) 温度センサモジュールを利用しないときは、VTHSENSE、VTHREF 端子は、OPEN にするか、GND に接続してください。
- (2) VTHSENSE、VTHREF の出力電圧を用いて算出する T_j は、 T_j の範囲 $-40 \sim 125$ における保証精度 ± 5 ですが、これは、直接 0.1mV 以上の精度を有する同一の計測器を用いて VTHSENSE、VTHREF の電圧を直接測定した場合です。ご使用される測定器の精度や、外部接続回路などをご使用になる場合は、使用部品などの誤差を見込んだ設計をお願いいたします。
- (3) 温度センサの温度検知レジスタを使用して LSI 内部で制御に利用する場合の T_j 精度は、 T_j が 85 を超えた場合、動作保証並びに精度保証されません。
 T_j が 105 、 115 、 125 のときのビットを用意してありますが、これは LSI が熱暴走になりかけ、急激に消費電力が増加し始めたときでまだ熱暴走に至っていないときに LSI の稼働を停止させるフェールセーフを目的としています。
- (4) 外部接続推奨回路は、外部で LSI の温度調整を行う場合に使用するデジタル信号を出力します。
LSI が熱暴走になりかけて制御不能となるような高温度になった場合に、LSI への電源供給を遮断するなど外部で行うためのフェールセーフ回路としてご使用いただく他、ADCなどを接続することが可能です。

34. 電気的特性

34.1 絶対最大定格

表 34.1 絶対最大定格

項目		記号	定格値	単位
I/O、PCI Express、USB 電源電圧		V_{CCQ}	-0.3 ~ 4.6	V
		$V_{CCQ-PCIE}$		
		AV_{33}		
PCI Express I/O 電源電圧		$V_{CCQ-PCI15}$	-0.3 ~ 1.8	V
内部電源電圧		V_{DD}	-0.3 ~ 1.8	V
		$V_{DD-PCIE}$		
		V_{DDAI}		
		AV_{12}		
DDR 電源電圧		$V_{CCQ-DDR15}$	-0.4 ~ 1.975	V
入力電圧	3.3V I/O (USB 除く)	V_{in}	-0.3 ~ $V_{CCQ} + 0.3^{*3}$	V
	USB (VBUS 除く)	AV_{in}	-0.3 ~ $AV_{33} + 0.3^{*3}$	
	USB VBUS		-0.3 ~ 5.5	
動作温度		T_{opr}	-20 ~ 85	°C
保存温度		T_{stg}	-55 ~ 125	°C

【注】 *1 最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

2 すべての電源に規定の電圧を供給し、すべての GND (V_{SS^} 、 V_{SSQ^*} 、AG33、 V_{SSAI^*} 、AG12) を接地 (=0V) してください。そうでない場合、LSI の永久破壊となることがあります。

*3 電圧の上限は 4.6 V を超えることはできません。

34.2 DC 特性

表 34.2 DC 特性

条件: $T_a = -20 \sim +85^\circ\text{C}$

項目		記号	Min.	Typ.	Max.	単位	測定条件
電源電圧		V_{CCQ}	3.0	3.3	3.6	V	通常動作時 スリープモード時 モジュールスタンバイ時
		$V_{\text{CCQ-PCIE}}$					
		AV_{33}					
		$V_{\text{CCQ-DDR15}}$	1.425	1.5	1.575		
		$V_{\text{CCQ-PCI15}}$					
		V_{DD}	1.15	1.25	1.35		
		$V_{\text{DD-PCIE}}$					
		V_{DDAI}					
		AV_{12}					
MV_{REF01}	$0.49 \times$ $V_{\text{CCQ-DDR15}}$	$0.50 \times$ $V_{\text{CCQ-DDR15}}$	$0.51 \times$ $V_{\text{CCQ-DDR15}}$				
消費電流	通常動作	I_{DD}	—	1200	1800	mA	lck=533 MHz Bck=88.9 MHz Pck=66 MHz DDRck=533 MHz
	スリープモード						
	通常動作	I_{CCQ}	—	100	120		
	スリープモード						
	通常動作	I_{DDAI}	—	—	5	mA	
	USB 通常動作	I_{AV12}	—	—	10	mA	USBCLK=48 MHz
	USB 通常動作	I_{AV33}	—	—	10	mA	
	PCI 通常動作 (1.2V)	$I_{\text{CCQ-PCI12}}$	—	—	600	mA	
	PCI 通常動作	$I_{\text{CCQ-PCI15}}$	—	—	200	mA	
	PCI 通常動作	$I_{\text{CCQ-PCIE}}$	—	—	100	mA	
	DDR 通常動作	$I_{\text{CCQ-DDR}}$	—	—	450	mA	
	DDR バックアップモード	$I_{\text{CCQ-DDR}}$	—	—	800	μA	ODT なし Vtt 終端なし

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力リーク電流	DDR 端子 (SDBUP/MBKPRST)	I _{in}	—	—	5	μA	V _{IN} =0.5 ~ V _{CCQ} -0.5 V
	その他の入力端子		—	—	1		
スリーステートリーク電流	入出力全端子 (オフ状態)	I _{stI}	—	—	1		
プルアップ抵抗	DDR/PCI/USB を除く端子	R _{pull}	20	—	180	kΩ	
端子容量	USB 端子	C _L	—	—	15	pF	
	DDR 端子		—	—	10		
	その他の端子		—	—	10		

【注】 消費電流値は、V_{IH} (Min.) = VDDQ-0.5V および V_{IL} (Max.) = 0.5 V の条件で、すべての出力端子を無負荷状態にした場合の値です。

表 34.3 3.3V IO ピン特性 (USB 除く)

条件: T_a = -20 ~ +85°C

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力電圧	PRESET、NMI、TRST	V _{IH}	V _{CCQ} × 0.9	—	V _{CCQ} + 0.3	V	V _{CCQ} =3.0 V ~ 3.6 V
	EXTAL		V _{CCQ} × 0.8	—	V _{CCQ} + 0.3		
	その他の入力端子		2.0	—	V _{CCQ} + 0.3		
	PRESET、NMI、TRST	V _{IL}	-0.3	—	V _{CCQ} × 0.1	V	V _{CCQ} =3.0 V ~ 3.6 V
	EXTAL		-0.3	—	V _{CCQ} × 0.2		
	その他の入力端子		-0.3	—	V _{CCQ} × 0.2		
出力電圧	全出力端子	V _{OH}	2.4	—	—		V _{CCQ} =3.0 V
		V _{OL}	—	—	0.55		

表 34.4 USB インタフェース特性 (ハイスピード)

条件: $T_a = -20 \sim +85^\circ\text{C}$ 、 $V_{CCQ} = 3.3 \text{ V}$ 、 $AV33 = 3.3 \text{ V}$ 、 $AV12 = 1.25 \text{ V}$

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力特性	差動入力感度	V_{HSCM}	150	—	—	mV	
	スケルチ検出電圧	V_{HSSQ}	100	—	150		
	ディスコネクト電圧	V_{HSDSC}	525	—	625		
出力特性	出力電流	I_{OUT}	—	17.78	—	mA	
	ハイレベル出力電圧	V_{HSOH}	360	—	440		
	ローレベル出力電圧	V_{HSOL}	-10	—	10		
	チャープJ出力電圧 (差動電圧)	V_{CHIRPJ}	700	—	1100		
	チャープK出力電圧 (差動電圧)	V_{CHIRPK}	500	—	900		

表 34.5 USB インタフェース特性 (フル/ロースピード)

条件: $T_a = -20 \sim +85^\circ\text{C}$ 、 $V_{CCQ} = 3.3 \text{ V}$ 、 $AV33 = 3.3 \text{ V}$ 、 $AV12 = 1.25 \text{ V}$

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力特性	ハイレベル入力電圧	V_{IH}	2.0	—	$V_{CCQ} + 0.3$	V	
	ローレベル入力電圧	V_{IL}	-0.3	—	0.8		
	差動入力感度	V_{DI}	0.2	—	—		
	差動入力コモンモード レンジ	V_{CMI}	0.8	—	2.5		
出力特性	ハイレベル出力電圧	V_{OH}	2.8	—	V_{CCQ}		
	ローレベル出力電圧	V_{OL}	—	—	0.3		

表 34.6 DDR3 インタフェース特性

条件: $T_j = -20 \sim +85^\circ\text{C}$

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力特性	ハイレベル入力電圧	$V_{IH(DC)}$	$MV_{REF}+0.1$	—	$V_{CCQ-DDR15}$	V	
		$V_{IH(AC)}$	$MV_{REF}+0.175$	—	—		
	DC 差動入力電圧	$V_{IH(DIFF)(DC)}$	$V_{IX(DC)}+0.2$	—	—		
	AC 差動入力電圧	$V_{IH(DIFF)(AC)}$	0.35	—	—		
	ローレベル入力電圧	$V_{IL(DC)}$	—	—	$MV_{REF}-0.1$		
		$V_{IL(AC)}$	—	—	$MV_{REF}-0.175$		
	DC 差動入力電圧	$V_{ILD(DIFF)(DC)}$	—	—	$V_{IX(DC)}-0.2$		
	AC 差動入力電圧	$V_{ILD(DIFF)(AC)}$	—	—	1.0		
出力特性	ハイレベル出力電圧	$V_{OH(DC)}$	$0.8 \times V_{CCQ-DDR15}$	—	—	V	
		$V_{OH(AC)}$	$V_{tt}+0.1 \times V_{CCQ-DDR15}$	—	—		
	ローレベル出力電圧	$V_{OL(DC)}$	—	—	$0.2 \times V_{CCQ-DDR15}$		
		$V_{OL(AC)}$	—	—	$V_{tt}-0.1 \times V_{CCQ-DDR15}$		
AC 差動入力カクロスポイント電圧		$V_{IX(AC)}$	$V_{CCQ-DDR15}/2 - 0.15$	—	$V_{CCQ-DDR15}/2 + 0.15$	V	
AC 差動出力カクロスポイント電圧		$V_{IX(AC)}$	$V_{CCQ-DDR15}/2 - 0.125$	—	$V_{CCQ-DDR15}/2 + 0.125$	V	

表 34.7 DDR3 インタフェース ODT 特性

項目	記号	Min.	Typ.	Max.	単位	測定条件
ODT 抵抗値 (60)	R_{TT}	46.8	60	102.6		$V_{DD}=1.25\text{ V}$ $V_{CCQ-DDR15}=1.5\text{ V}$
		54	60	96		
ODT 開放電圧 (60)	VM	- 5	—	+ 5	%	

表 34.8 PCI Express インタフェース特性

条件 : Ta = -20 ~ +85°C、 $V_{CCQ-PCIe} = 3.3\text{ V}$ 、 $V_{CCQ-PCI15} = 1.5\text{ V}$ 、 $V_{DD-PCIe} = 1.25\text{ V}$

項目	記号	Min.	Typ.	Max.	単位	測定条件
差動入力電圧 (Peak to Peak)	VRX-DIFFp-p	0.175	—	1.200	V	
差動出力電圧 (Peak to Peak)	VTX-DIFFp-p	0.800	—	1.2	V	
D+ / D-間 DC コモンモード電圧 差分	VTX-CM-DC- LINE-DELTA	0.0	—	25	mV	
DC 差動 TX 出カインピーダンス	ZTX-DIFF-DC	80	—	120	Ω	
DC 差動入カインピーダンス	ZRX-DIFF-DC	80	—	120	Ω	
DC 入カインピーダンス	ZRX-DC	80	—	120	Ω	

表 34.9 出力許容電流値

項目	記号	Min.	Typ.	Max.	単位
出力ローレベル許容電流 (DDR/USB/PCI 端子のぞく 1 端子あたり)	I_{OL}	—	—	2	mA
出力ハイレベル許容電流 (DDR/USB/PCI 端子のぞく 1 端子あたり)	$-I_{OH}$	—	—	2	

【注】 LSI の信頼性を確保するため、出力電流値は表 34.9 の値を超えないようにしてください。

34.3 AC 特性

本 LSI の入力は、原則としてクロック同期入力です。特に断りがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

表 34.10 クロックタイミング

項目		記号	Min.	Typ.	Max.	単位
動作周波数	CPU、FPU、キャッシュ、TLB	f	1	—	534	MHz
	DDR3-SDRAM バス		400	—	534	
	PCI Express バス		—	2500	—	
	USB バス		—	480	—	
	外部バス		—	—	89	
	周辺モジュール		1	—	67	

34.3.1 クロック・制御信号タイミング

表 34.11 クロックタイミング

条件：V_{CC0}=3.0～3.6 V、V_{DD}=1.25 V、T_a=-20～+85、C_L=30 pF

項目		記号	Min.	Max.	単位	参照図
EXTAL クロック 入力周波数	PLL1：64 逡倍 PLL2 動作時* ¹	f _{EX}	12	17	MHz	34.1
	PLL1：32 逡倍 PLL2 動作時* ²		24	34		
EXTAL クロック 入力サイクル時間	PLL1：64 逡倍 PLL2 動作時* ¹	t _{EXCYC}	59	83	ns	34.1
	PLL1：32 逡倍 PLL2 動作時* ²		29	43		
EXTAL クロック入力ローレベルパルス幅		t _{EXL}	3.5	—	ns	34.1
EXTAL クロック入力ハイレベルパルス幅		t _{EXH}	3.5	—	ns	
EXTAL クロック入力立ち上がり時間		t _{EXr}	—	4	ns	
EXTAL クロック入力立ち下がり時間		t _{EXf}	—	4	ns	
CLKOUT クロック出力 (PLL1/PLL2 動作時)		f _{OP}	25	88.9	MHz	
CLKOUT クロック出力サイクル時間		t _{CKO_{CYC}}	11.25	40	ns	34.2
CLKOUT クロック出力ローレベルパルス幅		t _{CKOL1}	1	—	ns	
CLKOUT クロック出力ハイレベルパルス幅		t _{CKOH1}	1	—	ns	
CLKOUT クロック出力立ち上がり時間		t _{CKOr}	—	4	ns	
CLKOUT クロック出力立ち下がり時間		t _{CKOf}	—	4	ns	
CLKOUT クロック出力ローレベルパルス幅		t _{CKOL2}	3	—	ns	34.3
CLKOUT クロック出力ハイレベルパルス幅		t _{CKOH2}	3	—	ns	
パワーオン発振安定時間		t _{OSC1}	10	—	ms	34.4
パワーオン発振安定時間 / モード (MODE14、MODE9、MODE3～MODE0) 安定時間		t _{OSCMD}	10	—	ms	
MODE (MODE13～MODE10、MODE8～MODE4) リセットセットアップ時間		t _{MDRS}	5	—	t _{EXCYC}	34.6
MODE リセット ホールド時間	MODE13～MODE10、 MODE8～MODE4	t _{MDRH}	20	—	ns	34.6
	MODE14、MODE9、 MODE3～MODE0		20	—	ns	34.4
PRESET アサート時間		t _{RESW}	20	—	t _{CYC}	34.4
PLL 同期安定時間		t _{PLL}	400	—	μs	34.5
TRST リセットホールド時間		t _{TRSTRH}	0	—	ns	34.4

- 【注】
1. 水晶発振子が EXTAL と XTAL に接続されているとき、最大周波数が 34 MHz になります。また、3 次オーバートーン水晶発振子を使用する場合には、外付け回路としてタンク回路が必要になります。
 2. CLKOUT 端子への接続負荷容量は最大 50 pF としてください。
 3. t_{CYC} は CLKOUT クロックの 1 サイクル時間を示します。
- *1 クロックモード 0、1、2 に該当します (表 18.2 を参照ください)。
*2 クロックモード 3、4、5 に該当します (表 18.2 を参照ください)。

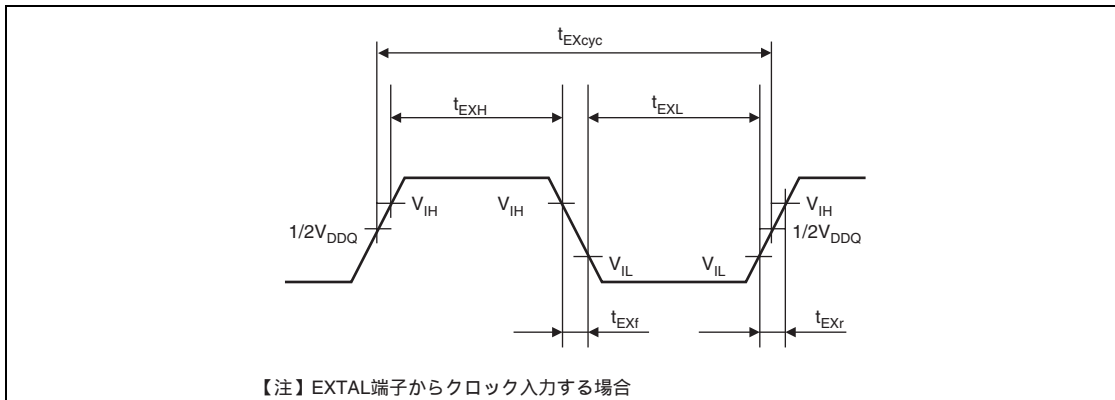


図 34.1 EXTERNAL クロック入力タイミング

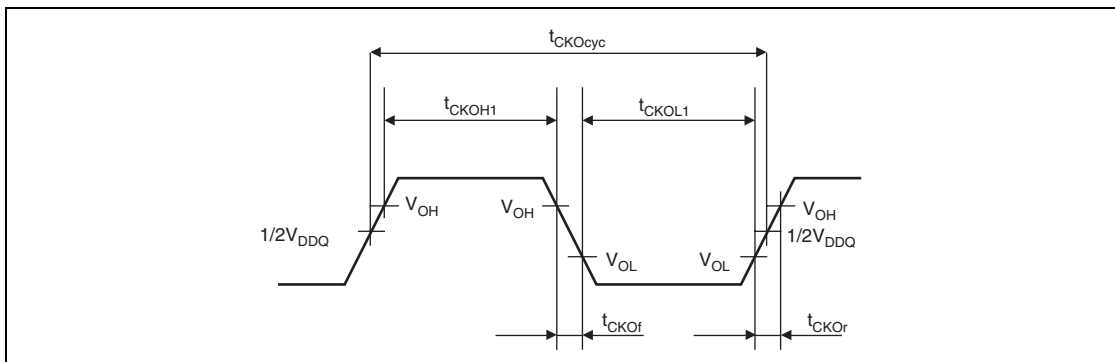


図 34.2 CLKOUT クロック出力タイミング (1)

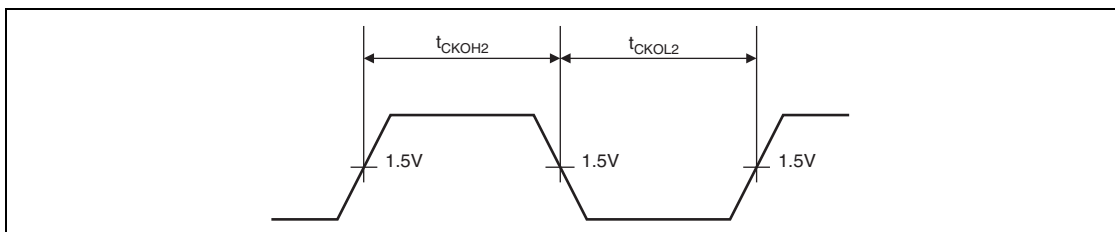


図 34.3 CLKOUT クロック出力タイミング (2)

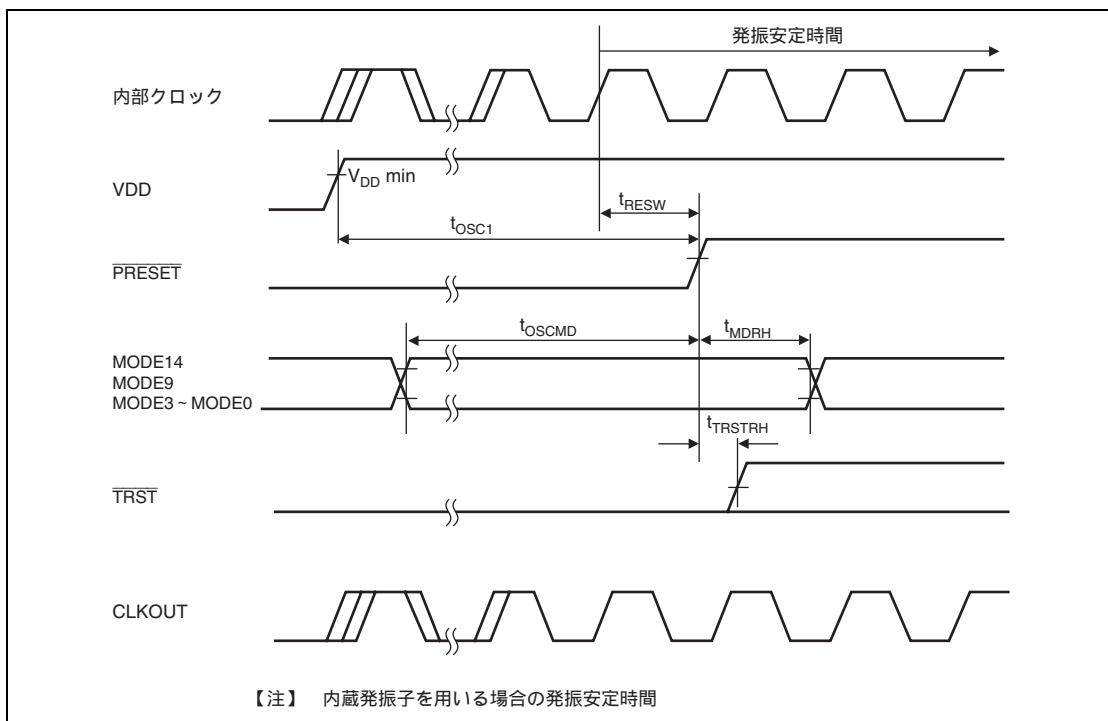


図 34.4 パワーオン時発振安定時間

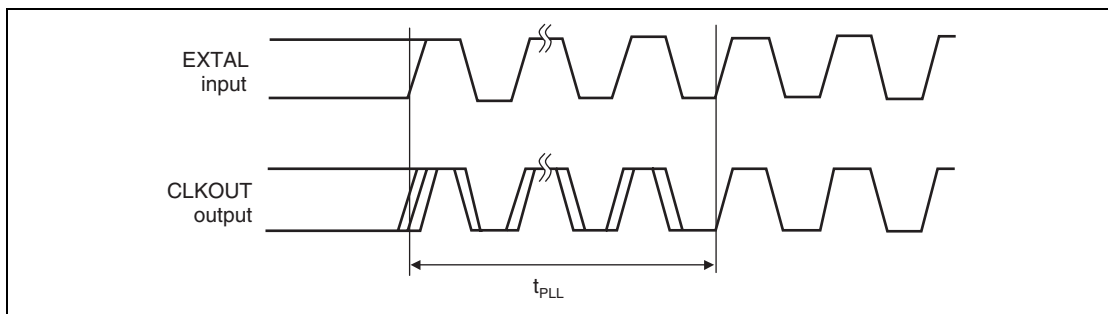


図 34.5 PLL 同期安定時間

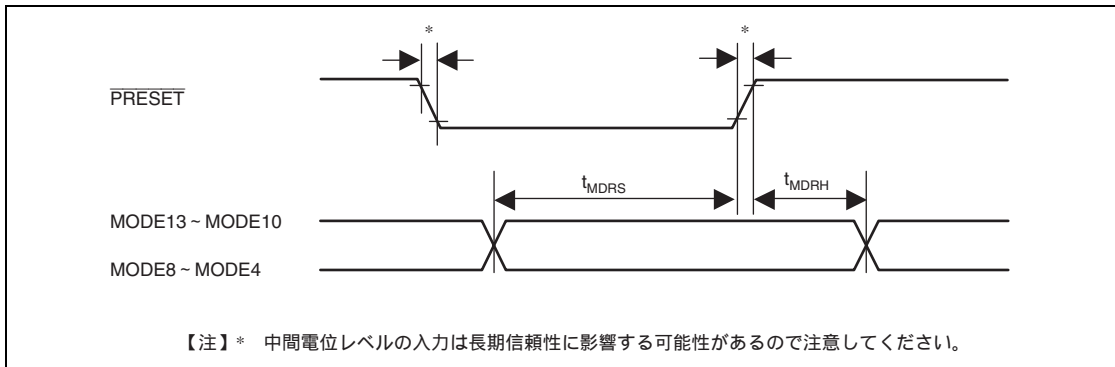


図 34.6 MODE 端子セットアップ / ホールド時間

34.3.2 制御信号タイミング

表 34.12 制御信号タイミング

条件: $V_{CC0}=3.0\sim 3.6\text{ V}$ 、 $V_{DD}=1.25\text{ V}$ 、 $T_a=-20\sim +85^\circ\text{C}$ 、 $C_L=30\text{ pF}$

項目	記号	Min.	Max.	単位	参照図
BREQ セットアップ時間	t_{BREQS}	2.5	—	ns	34.7
BREQ ホールド時間	t_{BREQH}	1.5	—	ns	
BACK 遅延時間	t_{BACKD}	—	8	ns	
バストライスタート遅延時間	t_{BOFF1}	—	14	ns	
バスバッファオンタイム	t_{BON1}	—	14	ns	
STATUS0、STATUS1 遅延時間	t_{STD}	—	8	ns	34.8

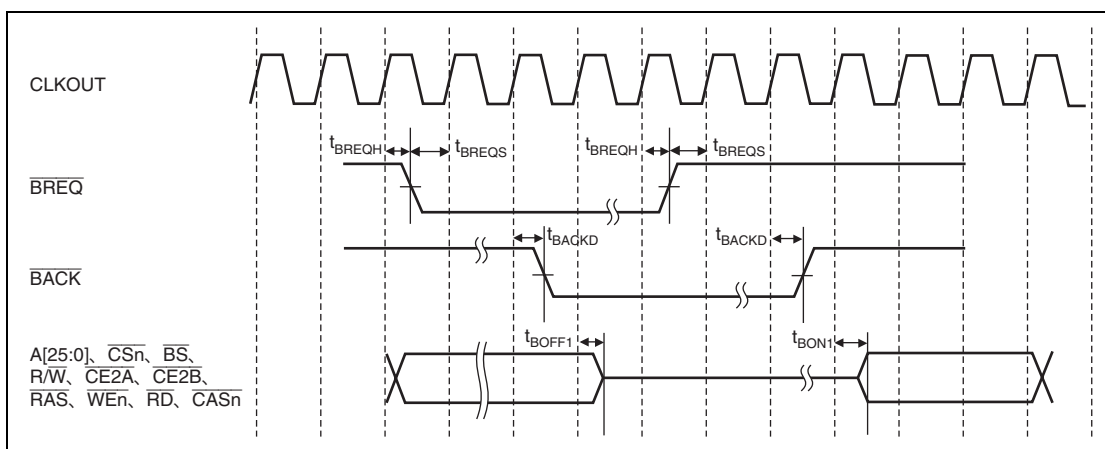


図 34.7 制御信号タイミング

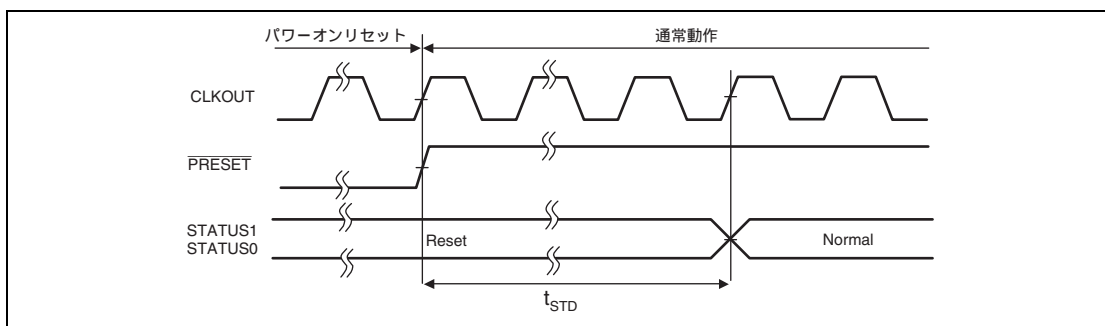


図 34.8 STATUS 信号出力タイミング (パワーオンリセット時)

34.3.3 バスタイミング

表 34.13 バスタイミング

条件: $V_{CC}=3.0\sim 3.6V$ 、 $V_{DD}=1.25V$ 、 $T_a=-20\sim +85$ 、 $C_L=30pF$

項目	略称	Min.	Max.	単位	備考
アドレス遅延時間	t_{AD}	1.5	7	ns	
BS 遅延時間	t_{BSD}	1.5	7	ns	
CS 遅延時間	t_{CSD}	1.5	7	ns	
R/W 遅延時間	t_{RWD}	1.5	7	ns	
RD 遅延時間	t_{RSD}	1.5	7	ns	
読み出しデータセットアップ時間	t_{RDS}	2.5	—	ns	
読み出しデータホールド時間	t_{RDH}	1.5	—	ns	
WE 遅延時間 (立ち下がりエッジ時)	t_{WEDF}	1.5	7	ns	CLKOUT の立ち下がりエッジに対して
WE 遅延時間	t_{WED1}	1.5	7	ns	
書き込みデータ遅延時間	t_{WDD}	1.5	7	ns	
RDY セットアップ時間	t_{RDYS}	2.5	—	ns	
RDY ホールド時間	t_{RDYH}	1.5	—	ns	
FRAME 遅延時間	t_{FMD}	1.5	7	ns	MPX
IOIS16 セットアップ時間	t_{IO16S}	2.5	—	ns	PCMCIA
IOIS16 ホールド時間	t_{IO16H}	1.5	—	ns	PCMCIA
ICIORR 遅延時間 (立ち下がりエッジ時)	t_{ICWSDF}	1.5	7	ns	PCMCIA
ICIORR 遅延時間	t_{ICRSD}	1.5	7	ns	PCMCIA
DACK 遅延時間	t_{DACD}	1.5	7	ns	
DACK 遅延時間 (立ち下がりエッジ時)	t_{DACD}	1.5	7	ns	

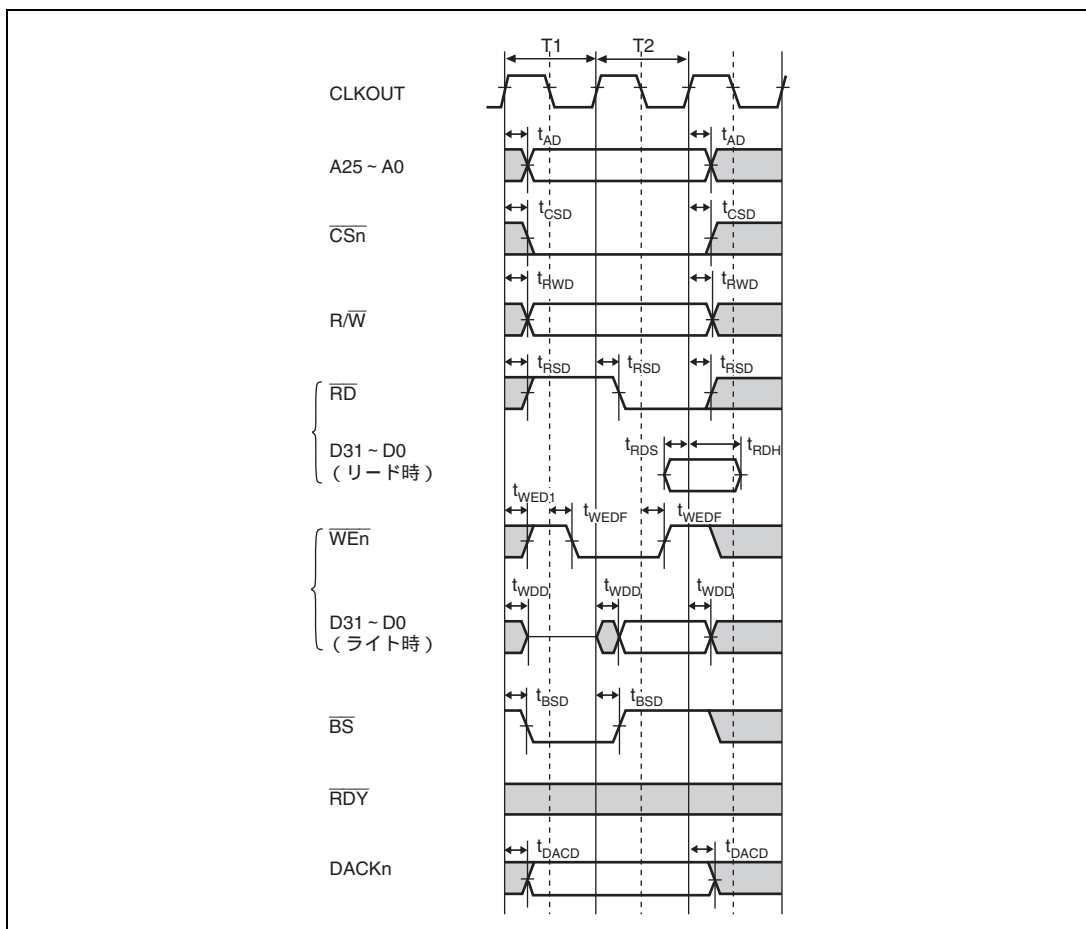


図 34.9 SRAM バスサイクル 基本バスサイクル(ノーウェイト)

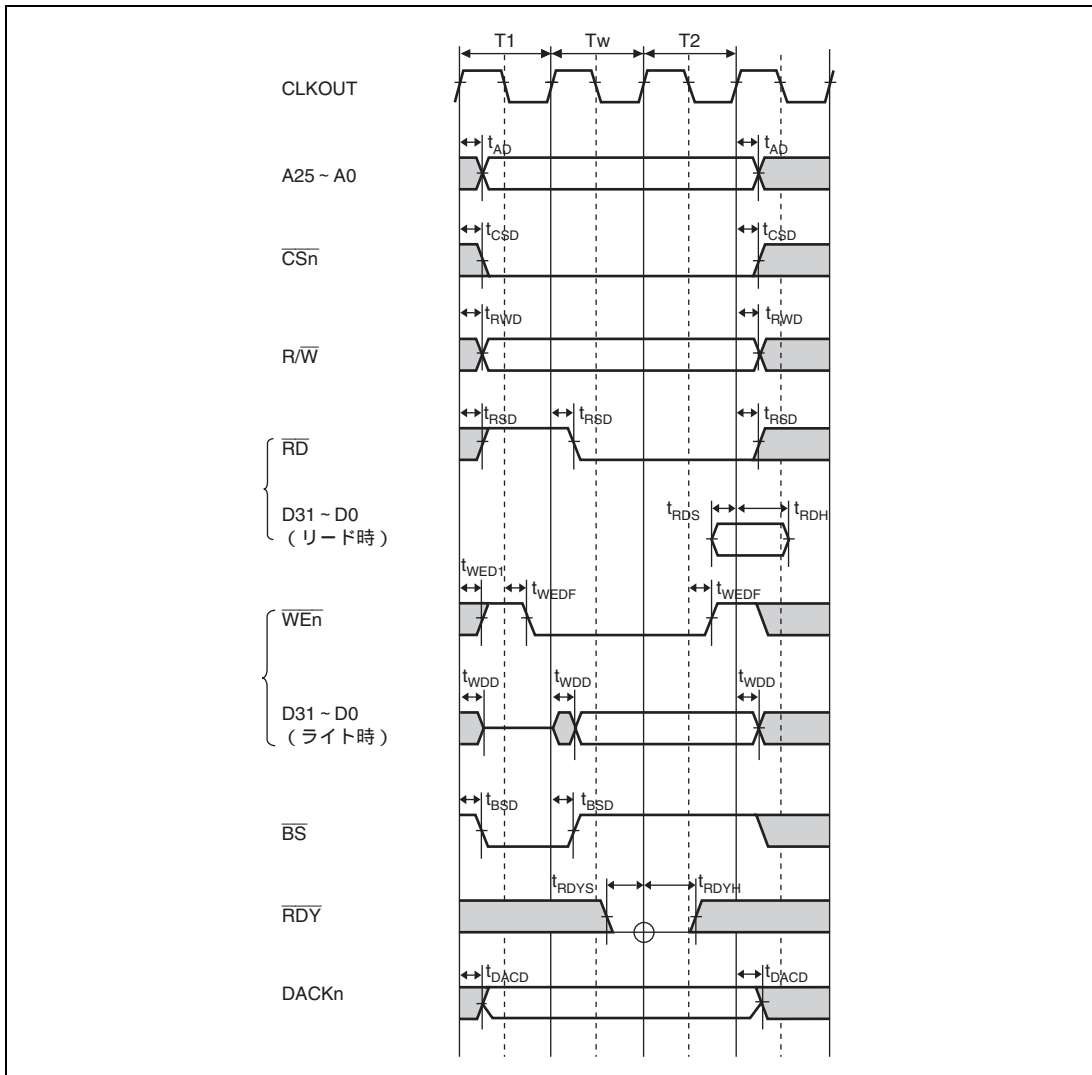


図 34.10 SRAM バスサイクル 基本バスサイクル (内部 1 ウェイト)

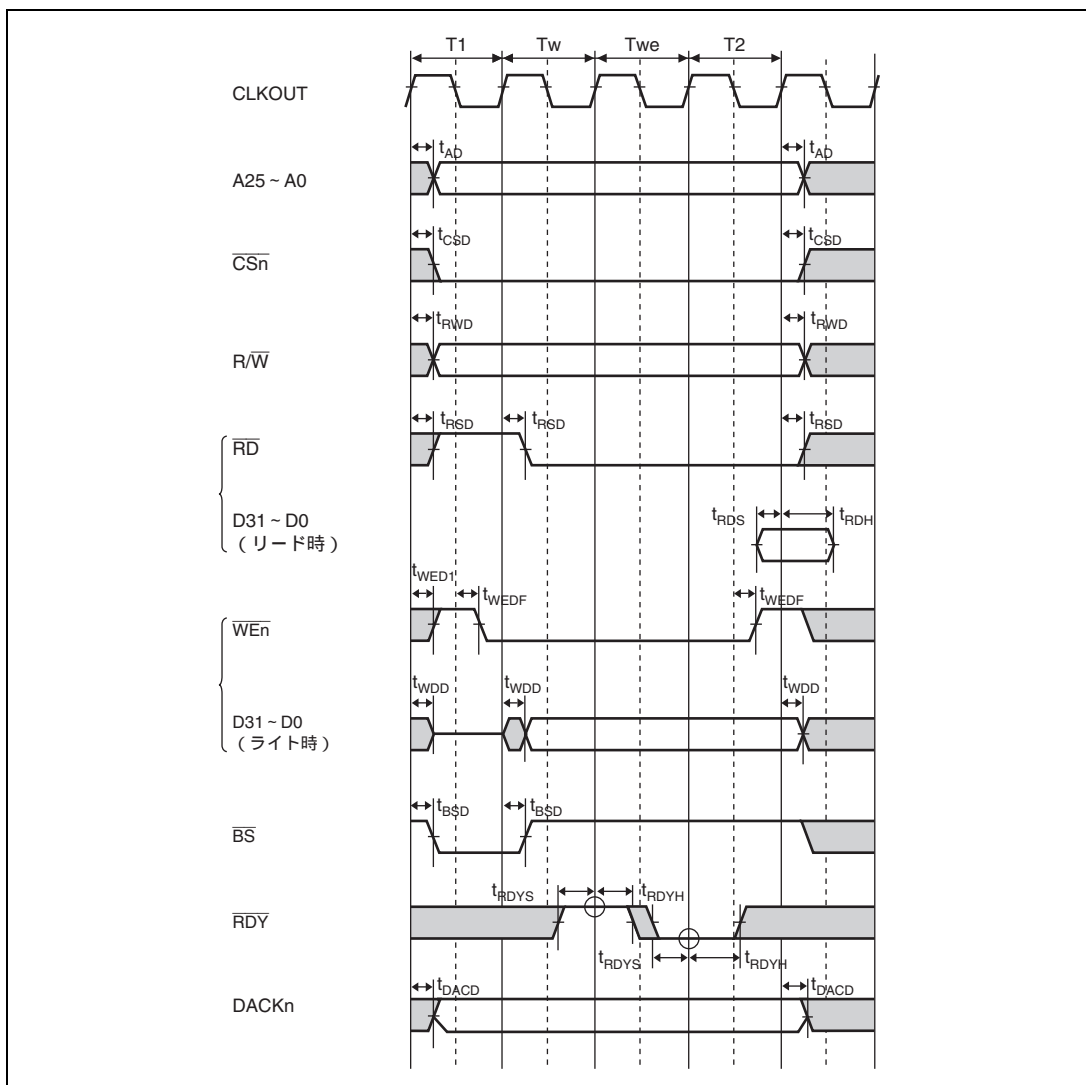


図 34.11 SRAM バスサイクル 基本バスサイクル (内部 1 ウェイト + 外部 1 ウェイト)

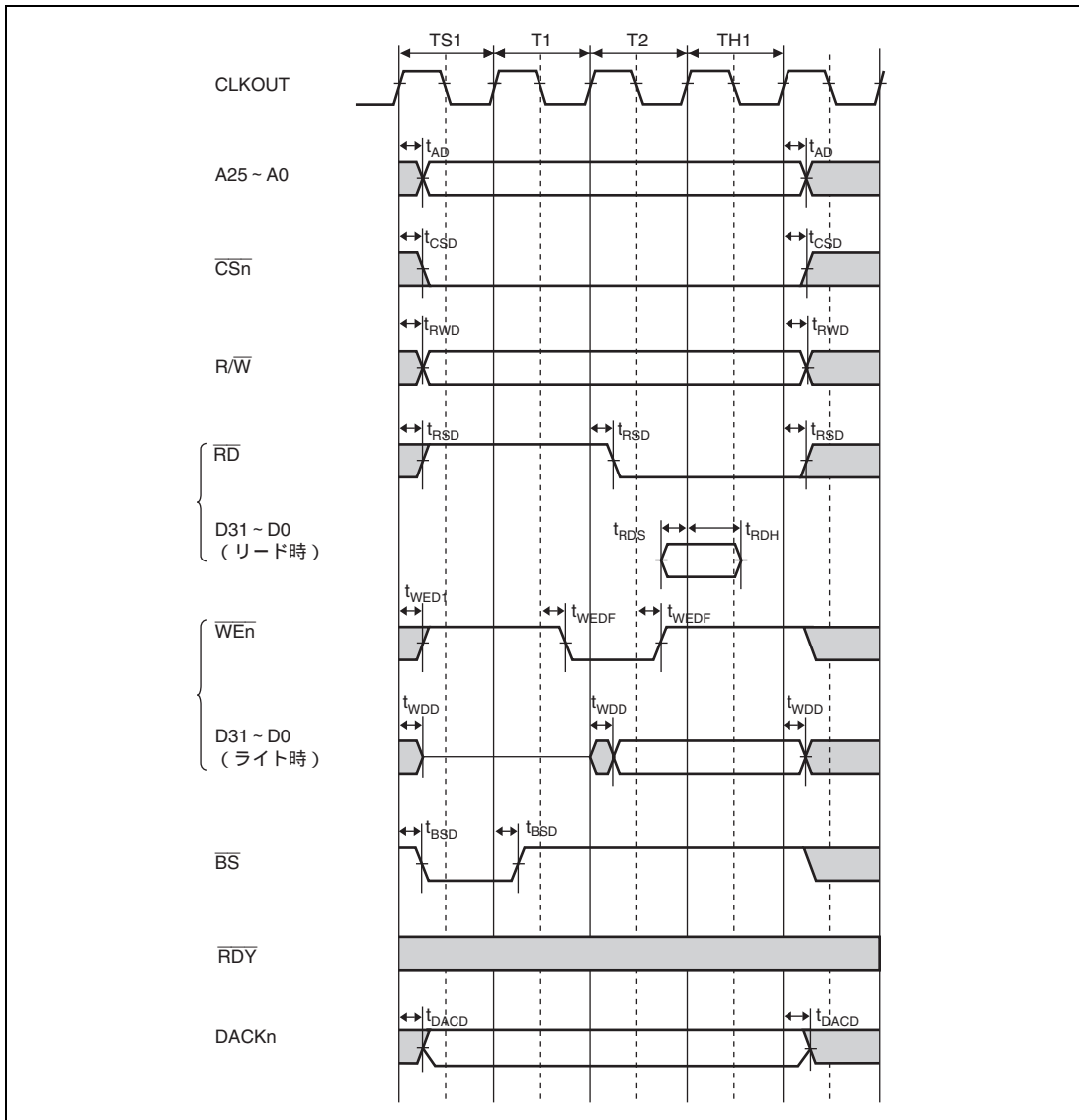


図 34.12 SRAM バスサイクル 基本バスサイクル

(CSnWCR.IW=0000、CSnWCR.RDS=001、CSnWCR.WTS=001、CSnWCR.RDH=001、CSnWCR.WTH=001)

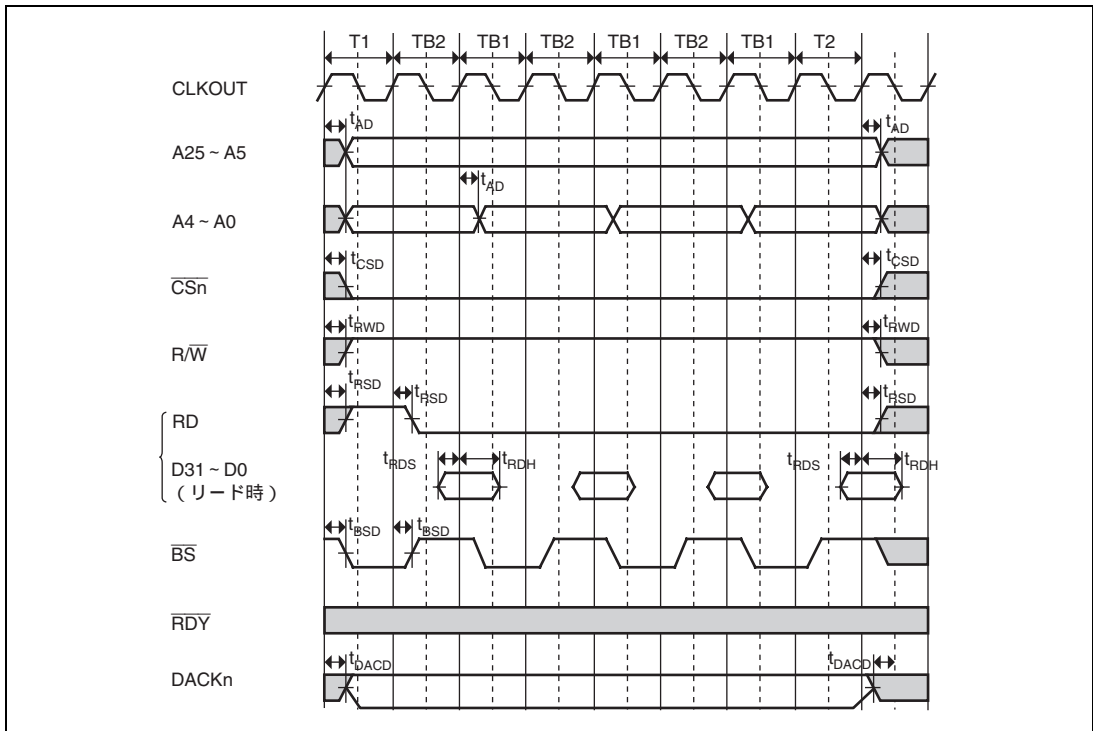


図 34.13 バースト ROM バスサイクル (ノーウェイト)

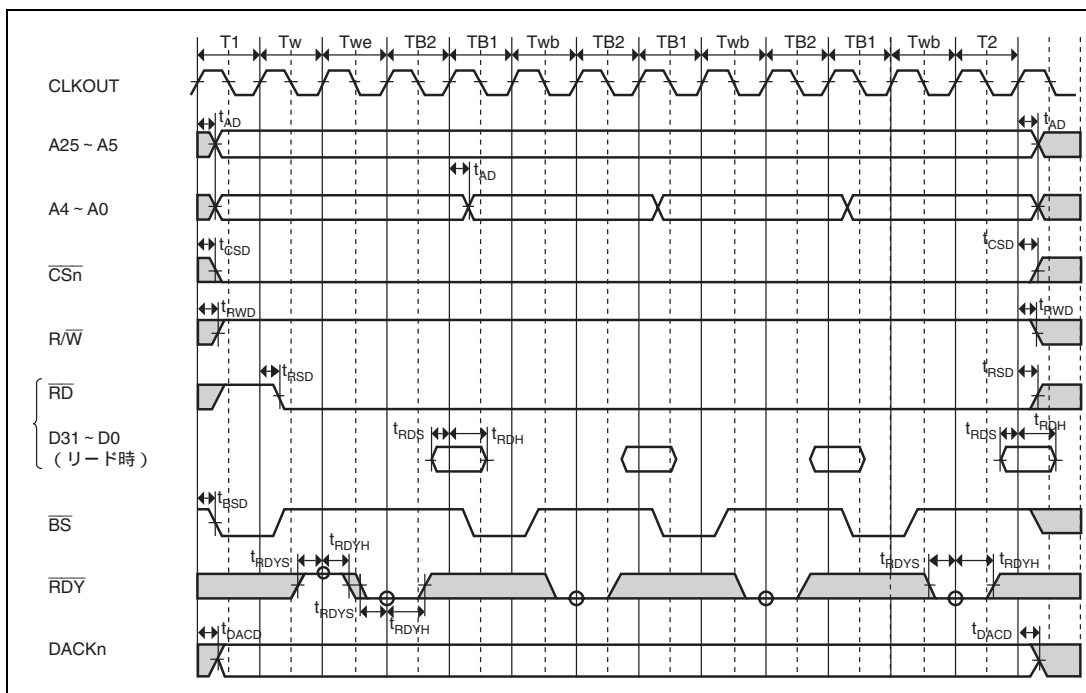


図 34.14 バースト ROM バスサイクル

(1 番目のデータ：内部 1 ウェイト + 外部 1 ウェイト、2、3、4 番目のデータ：内部 1 ウェイト)

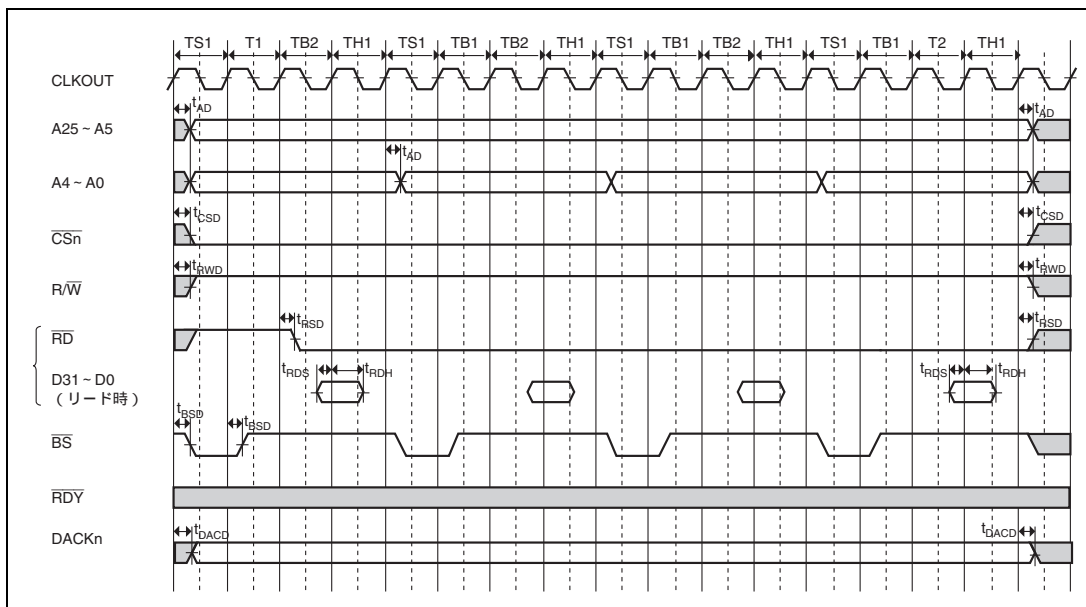


図 34.15 バースト ROM バスサイクル

(CSnWCR.IW=0000、CSnWCR.RDS=001、CSnWCR.WTS=001、CSnWCR.RDH=001、CSnWCR.WTH=001)

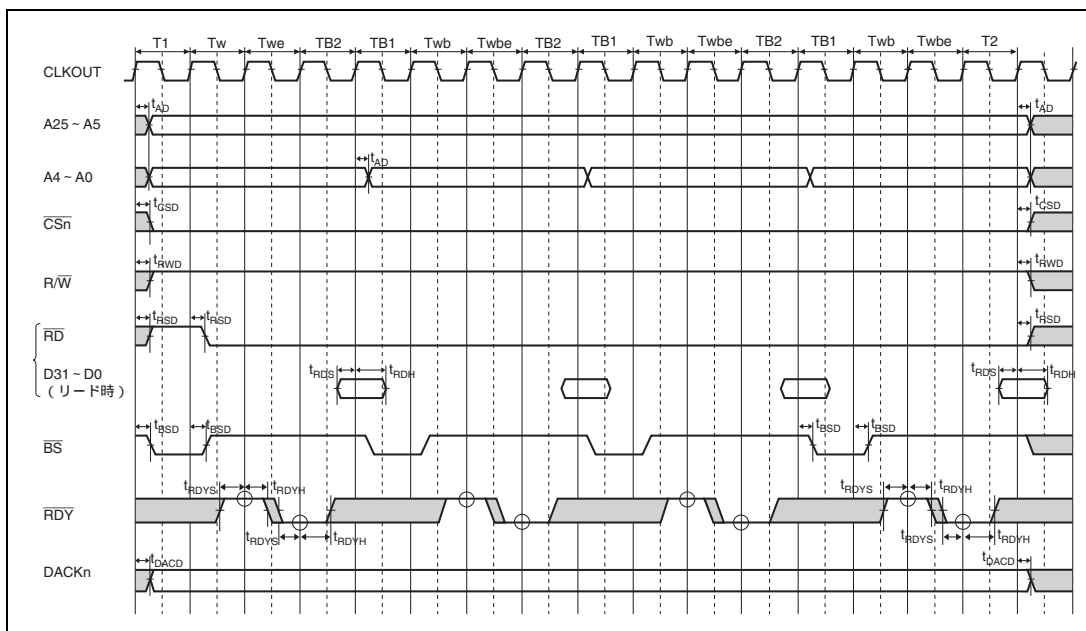


図 34.16 バースト ROM バスサイクル (内部 1 ウェイト + 外部 1 ウェイト)

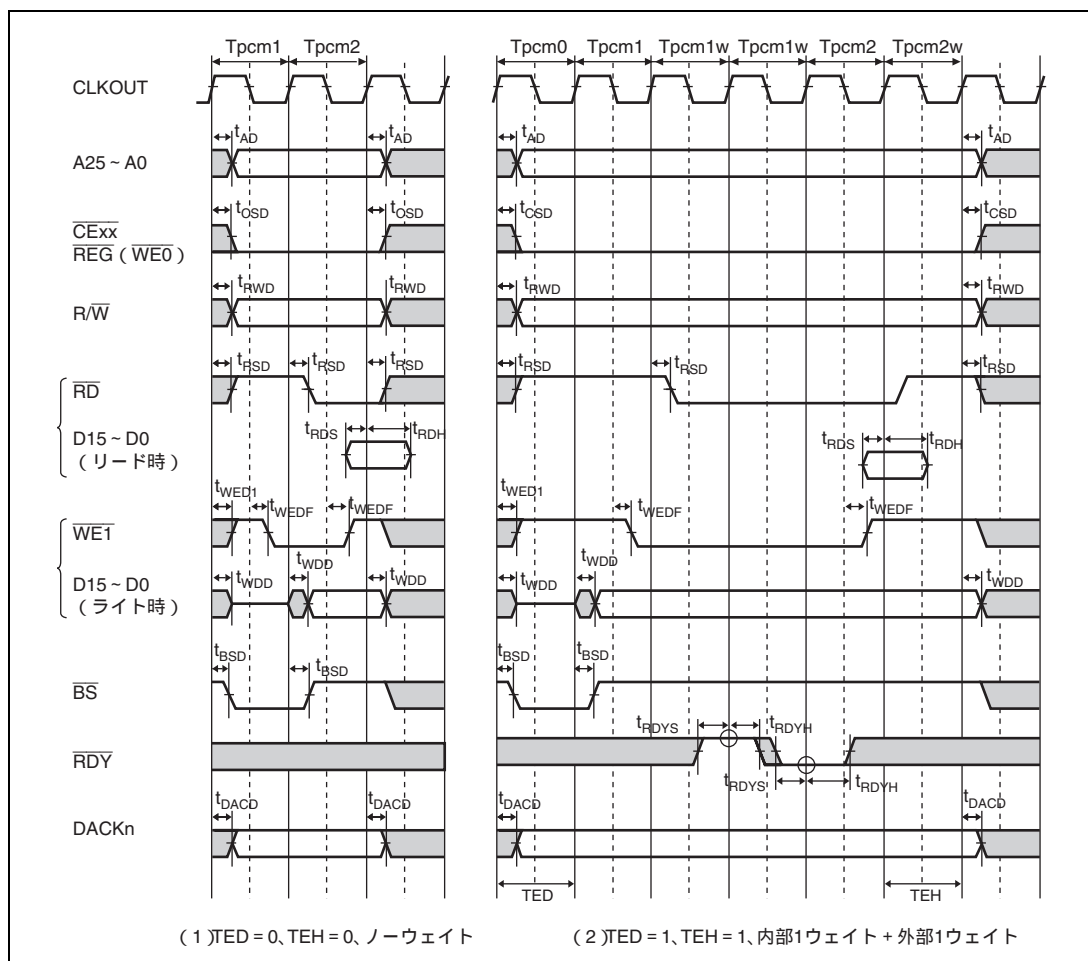


図 34.17 PCMCIA メモリバスサイクル

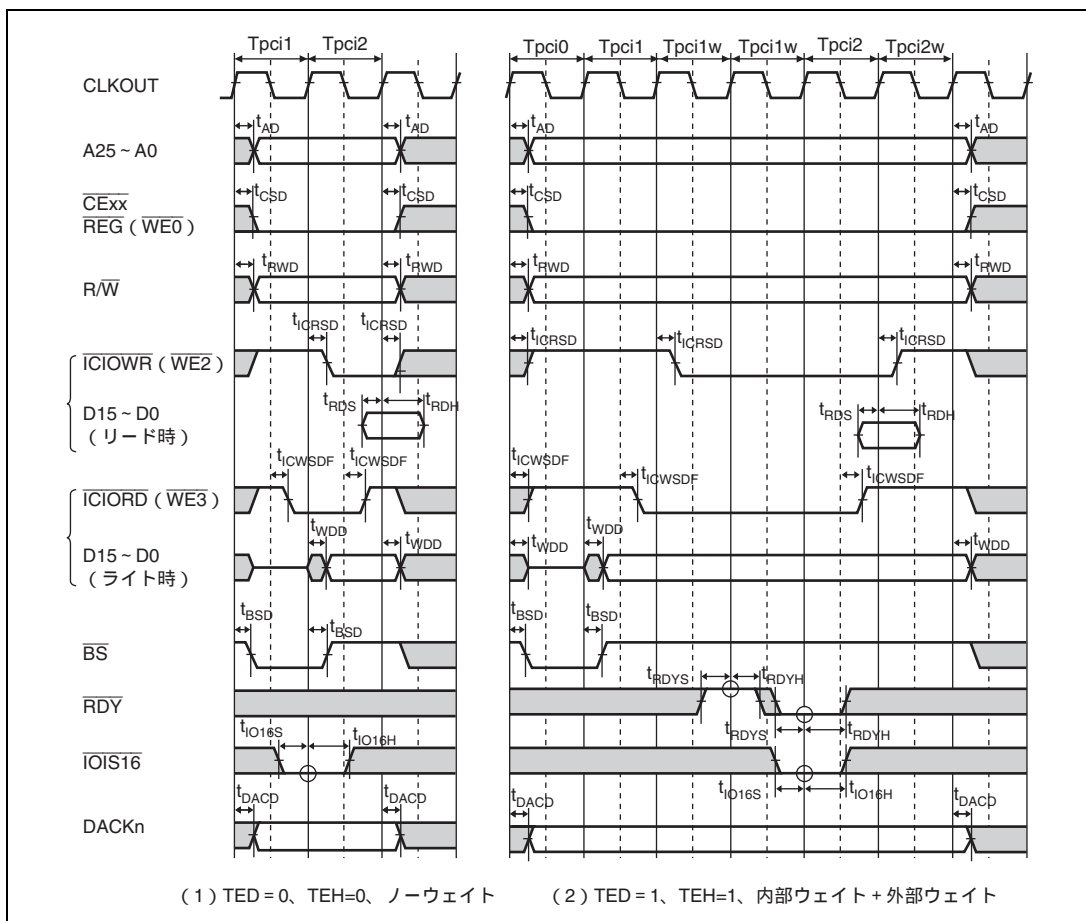


図 34.18 PCMCIA I/O バスサイクル

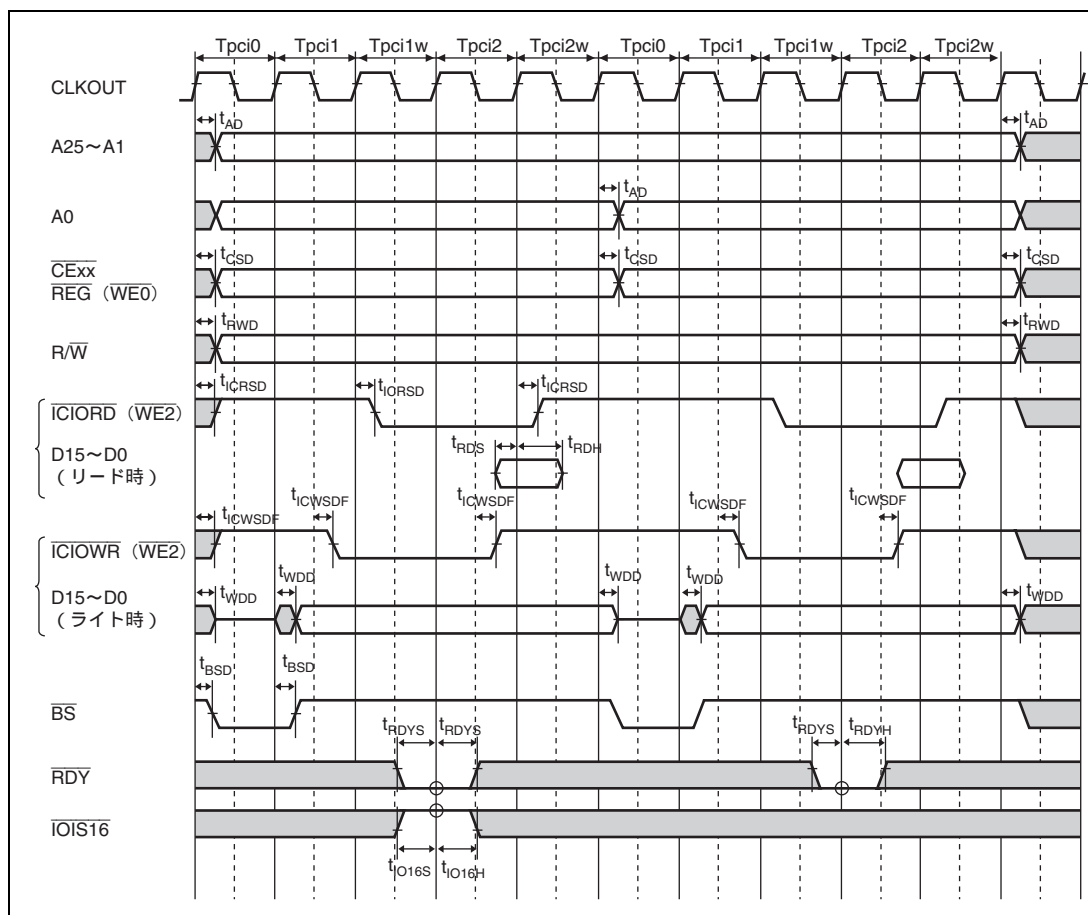


図 34.19 PCMCIA I/O バスサイクル (TED=1、TEH=1、内部 1 ウェイト、バスサイジング)

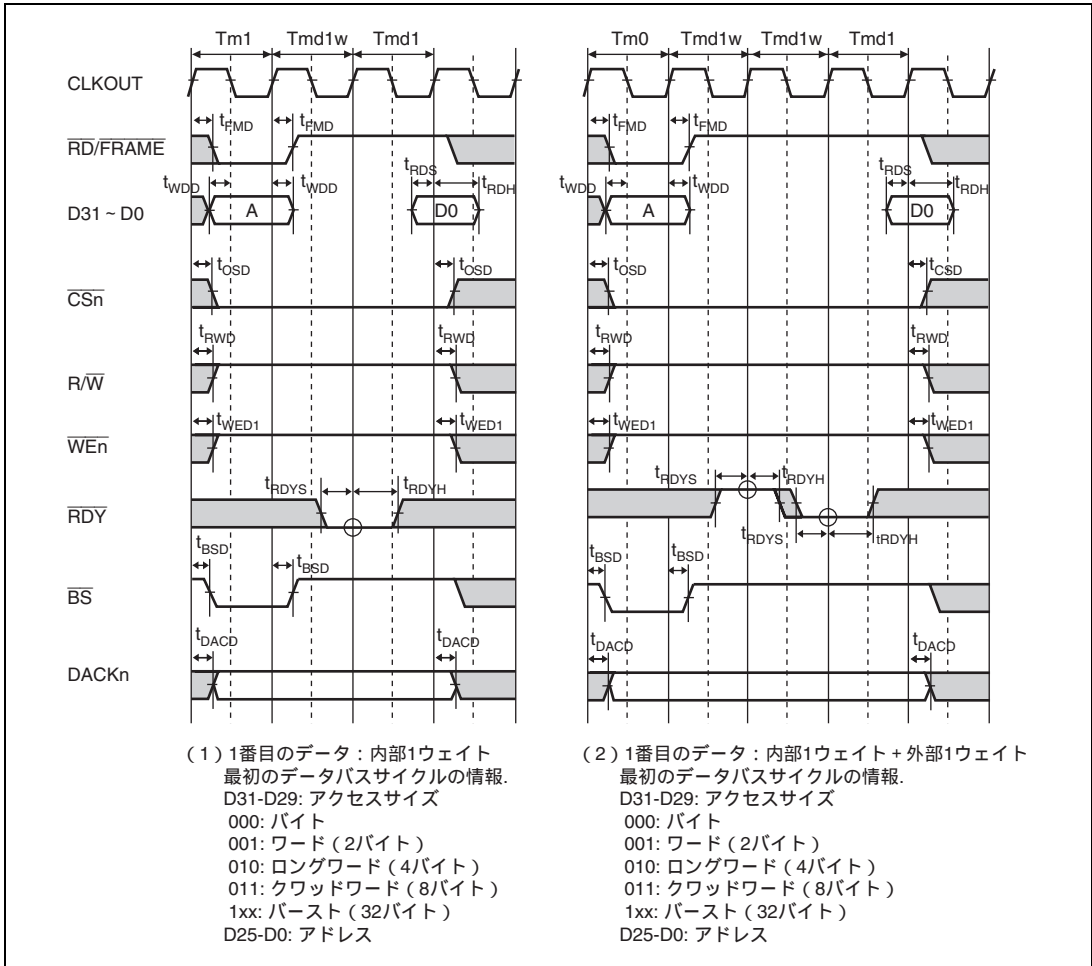


図 34.20 MPX 基本バスサイクル、リード

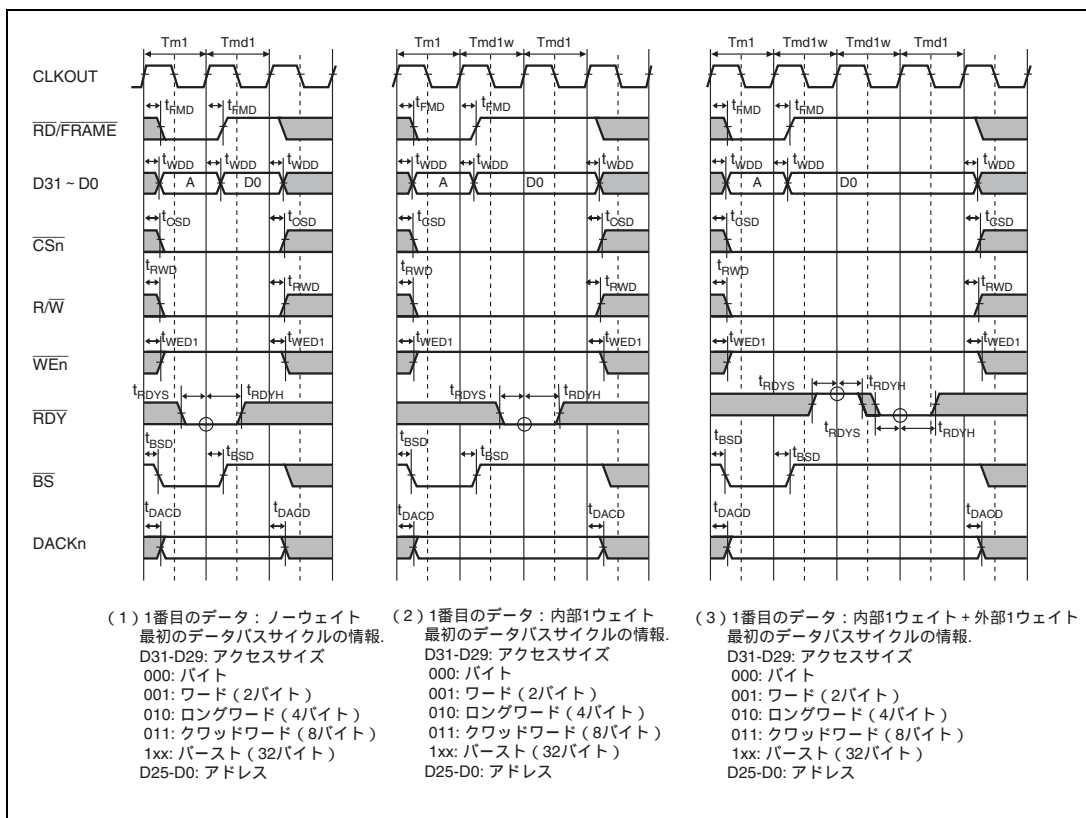
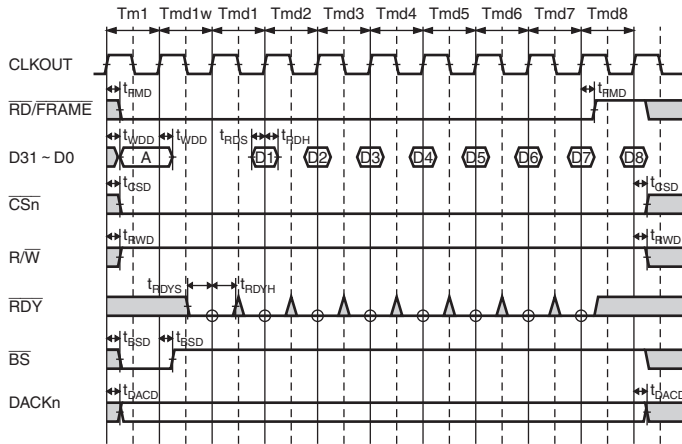
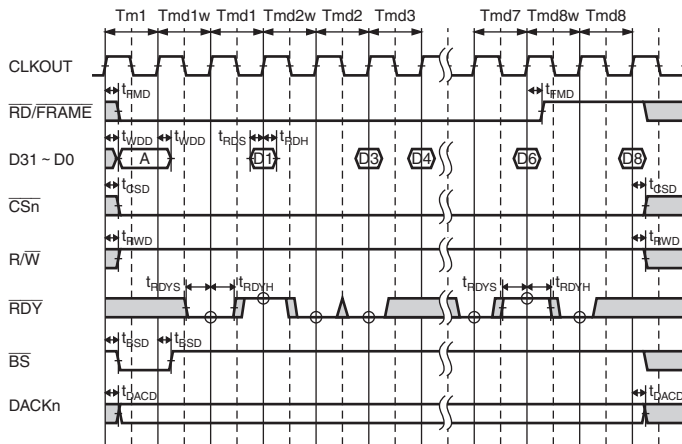


図 34.21 MPX 基本バスサイクル、ライト

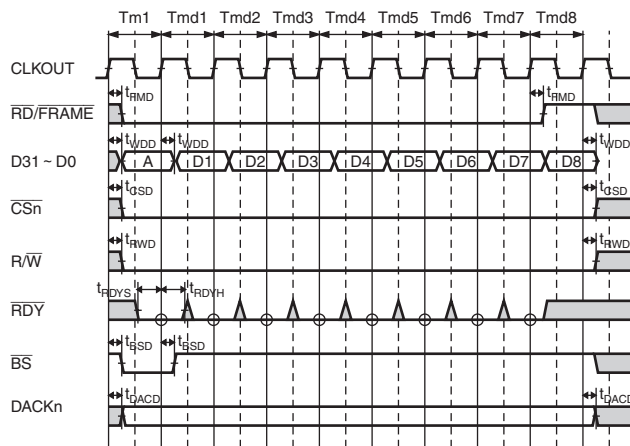


- (1) 1番目のデータ：内部1ウェイト、2~8番目のデータ：ノーウェイト
最初のデータバスサイクルの情報
- D31-D29：アクセスサイズ
 000：バイト
 001：ワード（2バイト）
 010：ロングワード（4バイト）
 011：クワッドワード（8バイト）
 1xx：バースト（32バイト）
 D25-D0：アドレス



- (2) 1番目のデータ：内部ノーウェイト、2~8番目のデータ：内部ノーウェイト+外部ウェイト制御
最初のデータバスサイクルの情報
- D31-D29：アクセスサイズ
 000：バイト
 001：ワード（2バイト）
 010：ロングワード（4バイト）
 011：クワッドワード（8バイト）
 1xx：バースト（32バイト）
 D25-D0：アドレス

図 34.22 MPX バスサイクル、バーストリード



- (1) 内部ノーウェイト
最初のデータバスサイクルの情報

D31-D29 : アクセスサイズ

000 : バイト

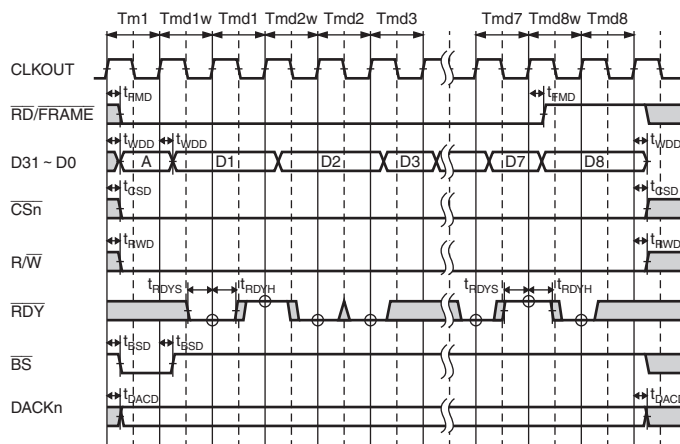
001 : ワード (2バイト)

010 : ロングワード (4バイト)

011 : クワッドワード (8バイト)

1xx : バースト (32バイト)

D25-D0 : アドレス



- (2) 1番目のデータ : 内部1ウェイト、2~8番目のデータ : 内部ノーウェイト + 外部ウェイト制御
最初のデータバスサイクルの情報

D31-D29 : アクセスサイズ

000 : バイト

001 : ワード (2バイト)

010 : ロングワード (4バイト)

011 : クワッドワード (8バイト)

1xx : バースト (32バイト)

D25-D0 : アドレス

図 34.23 MPX バスサイクル、バーストライト

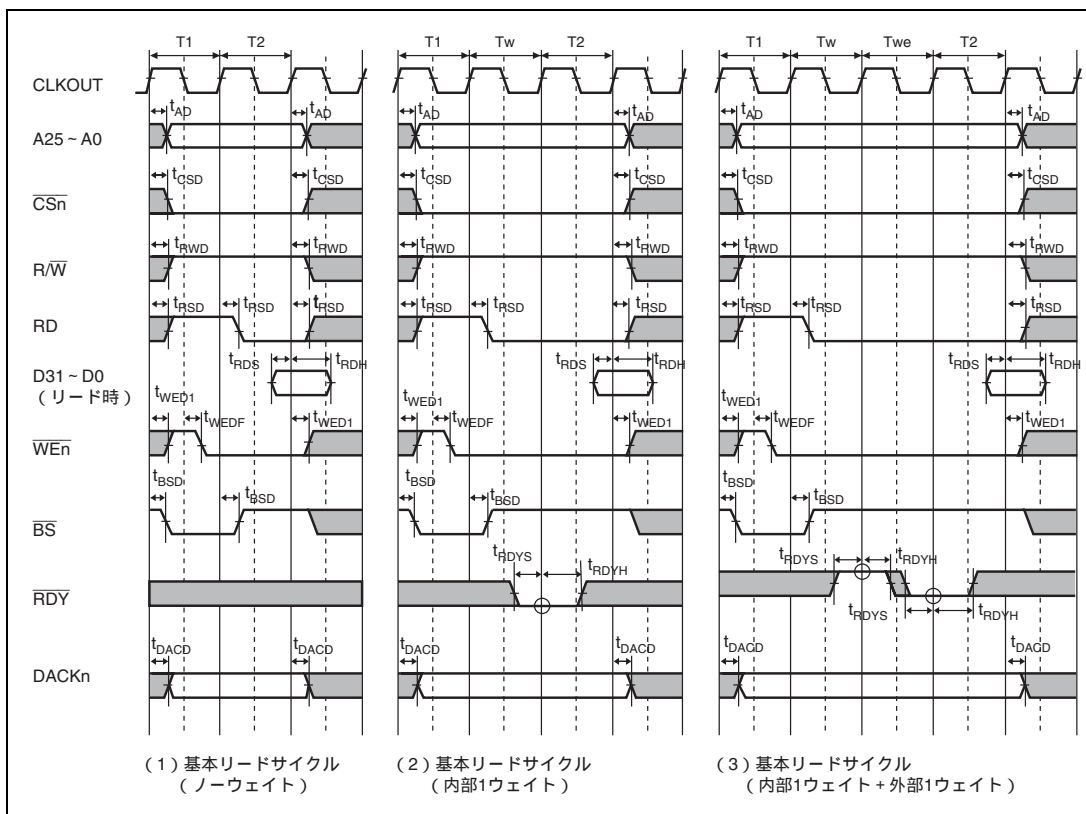


図 34.24 メモリバイト制御 SRAM バスサイクル

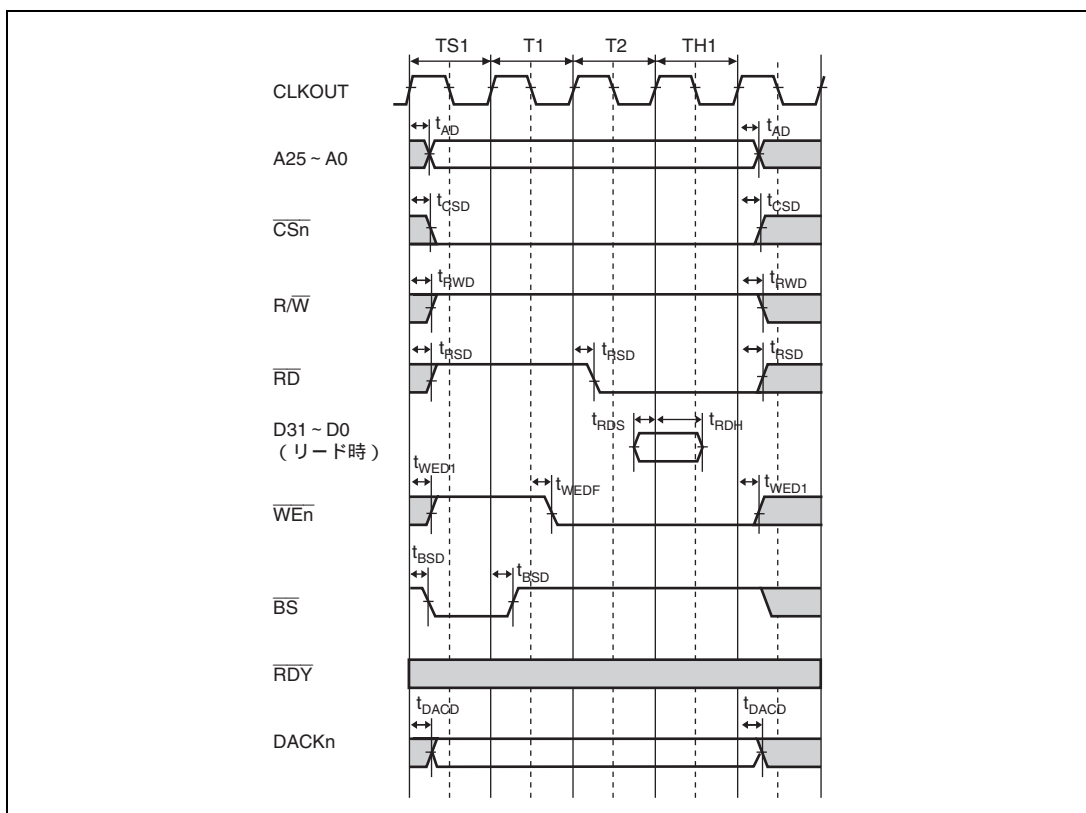


図 34.25 メモリバイト制御 SRAM バスサイクル 基本リードサイクル
 (CSnWCR.IW=0000、CSnWCR.RDS=001、CSnWCR.WTS=001、CSnWCR.RDH=001、CSnWCR.WTH=001)

34.3.4 DDR3-SDRAM インタフェース電気的特性

表 34.14 DDR3-SDRAM インタフェース信号タイミング

条件 : $V_{DD-DDR15} = 1.425 - 1.575 \text{ V}$ 、 $MV_{REF} = V_{DD-DDR15}/2$ 、 $V_{DD} = 1.25 \text{ V}$ 、 $T_a = -20 \sim 85$ 、ODT はオン

項目	記号	Min.	Max.	単位	参照図	備考
MCK クロック出力サイクル	t_{CK}	1.875	—	ns	34.26	
MCK クロック出力ハイレベルパルス幅	t_{CH}	0.43	0.57	t_{MCK}		
MCK クロック出力ローレベルパルス幅	t_{CL}	0.43	0.57	t_{MCK}		
アドレス / 制御信号セットアップ時間 (MCK 立ち上がりエッジに対する)	t_{IS1}	1513	—	ps	34.27	MA, MBA, \overline{MRAS} 、 MCAS、 \overline{MWE}
	t_{IS2}	523	—			
アドレス / 制御信号ホールド時間 (MCK 立ち上がりエッジに対する)	t_{IH1}	978	—	ps		MA, MBA, \overline{MRAS} 、 MCAS、 \overline{MWE}
	t_{IH2}	523	—			
MDQS、 \overline{MDQS} 立ち上がり時間 (MCK 立ち上がりエッジに対する)	t_{DQSS}	-0.183	0.183	t_{CK}	34.28	Write
MDQS、 \overline{MDQS} 立ち下がりセットアップ時間 (MCK 立ち上がりエッジに対する)	t_{DSS}	0.267	—	t_{CK}		
MDQS、 \overline{MDQS} 立ち下がりホールド時間 (MCK 立ち上がりエッジに対する)	t_{DSH}	0.267	—	t_{CK}		
MDQS、 \overline{MDQS} 差動出力ローレベルパルス幅	t_{DQSL}	0.45	0.55	t_{CK}	34.29	
MDQS、 \overline{MDQS} 差動出力ハイレベルパルス幅	t_{DQSH}	0.45	0.55	t_{CK}		
MDQS、 \overline{MDQS} ライトプレアンブル時間	t_{WPRE}	0.9	—	t_{CK}		
MDQS、 \overline{MDQS} ライトポストアンブル時間	t_{WPST}	0.3	—	t_{CK}		
MDQ/MDQM セットアップ時間 (DQS、 \overline{DQS} の VIH(AC)/VIL(AC)に対する)	t_{DS}	284	—	ps	34.30	
MDQ/MDQM ホールド時間 (DQS、 \overline{DQS} の VIH(AC)/VIL(AC)に対する)	t_{DH}	284	—	ps		
MDQS、MDQS・MDQ 間スキュー	t_{DQSQ}	—	225	ps	34.31	Read
MDQ ホールド時間 (MDQS、 \overline{MDQS} に対する)	t_{QH}	0.319	—	t_{CK}		
MDQS、 \overline{MDQS} リードプレアンブル時間	t_{RPRE}	0.9	—	t_{CK}	34.32	
MDQS、 \overline{MDQS} リードポストアンブル時間	t_{RPST}	0.3	—	t_{CK}		
MDQS、 \overline{MDQS} ハイレベルパルス幅	t_{QSH}	0.38	—	t_{CK}		
MDQS、 \overline{MDQS} ローレベルパルス幅	t_{QSL}	0.38	—	t_{CK}		
MDQS、 \overline{MDQS} ・MCK、 \overline{MCK} 間スキュー	t_{DQSCK}	-300	1300	ps	34.33	

【注】 t_{MCK} は、MCK クロックの 1 サイクル時間を示します。

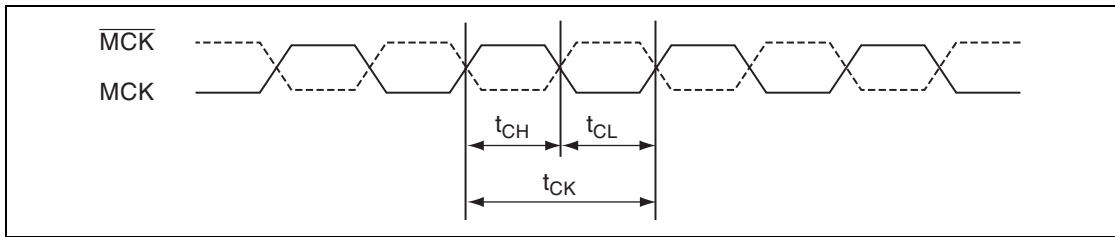


図 34.26 MCK クロック出力

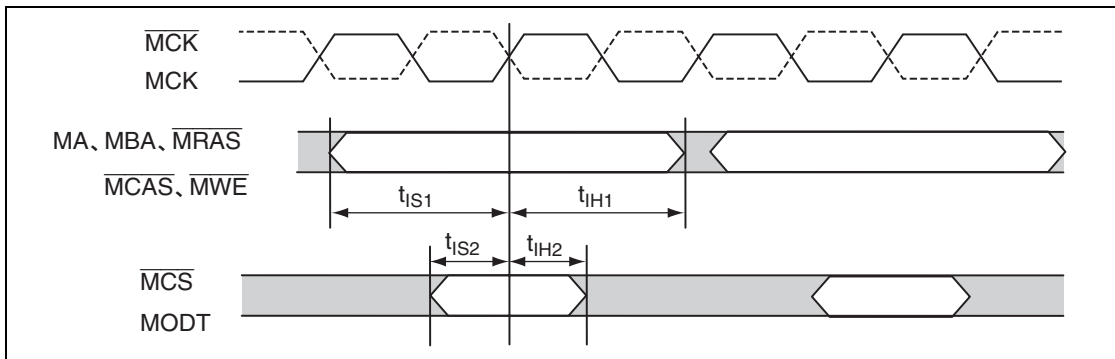


図 34.27 アドレス・コマンド系端子と出力クロックの関係

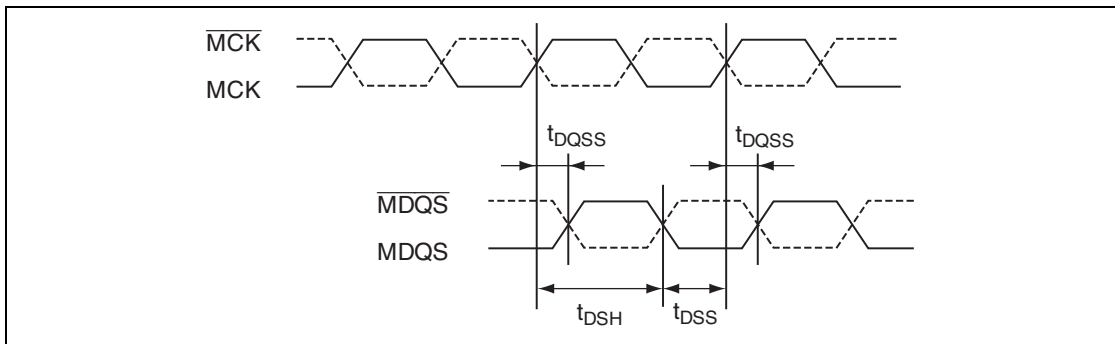


図 34.28 MCK に対する MDQS 出力波形の関係 (ライト時)

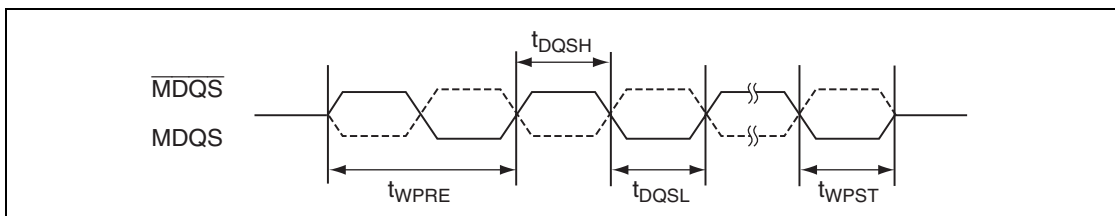


図 34.29 MDQS 出力タイミング (ライト時)

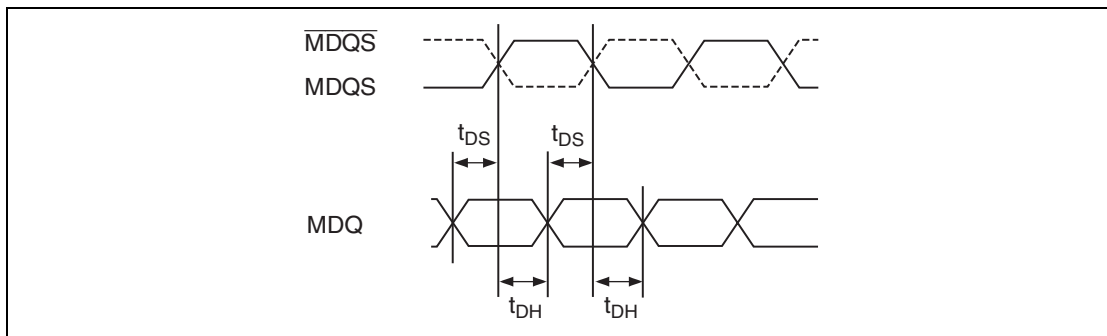


図 34.30 MDQS に対する MDQ 出力波形の関係 (ライト時)

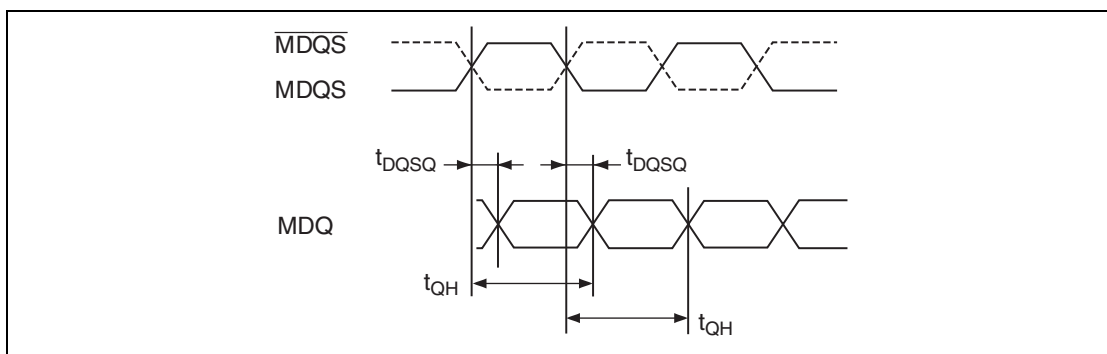


図 34.31 MDQS に対する MDQ 入力波形の関係 (リード時)

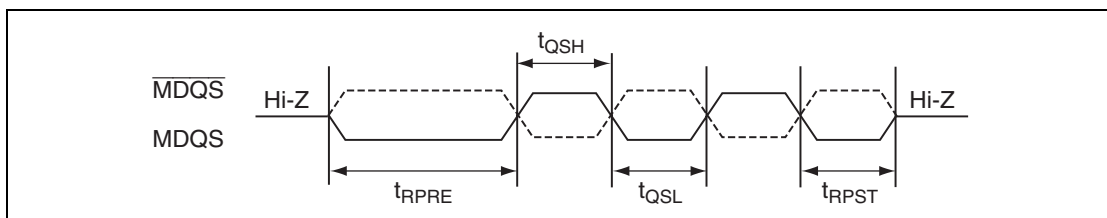


図 34.32 MDQS 入力タイミング (リード時)

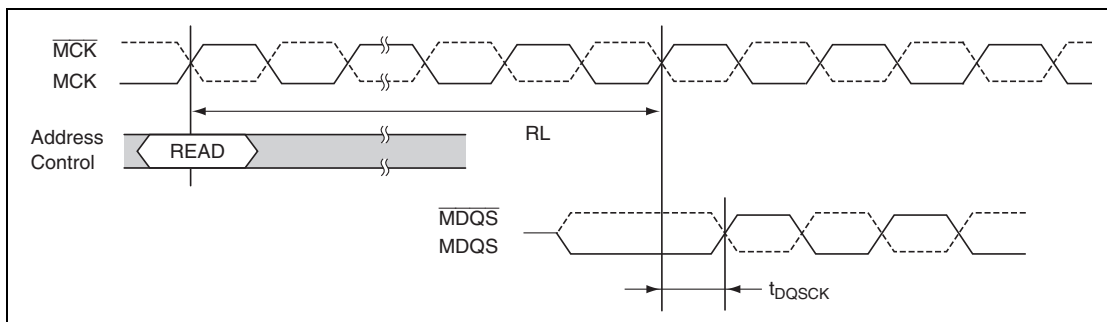


図 34.33 MCK に対する MDQS スキュー (リード時)

34.3.5 割り込み信号タイミング

表 34.15 割り込み信号タイミング

条件: $V_{CC} = 3.0 \sim 3.6$ V、 $V_{DD} = 1.25$ V、 $T_a = -20 \sim +85$ 、 $C_L = 30$ pF

項目	記号	Min.	Typ.	Max.	単位	参照図
NMI セットアップ時間	t_{NMIS}	4			ns	34.34
NMI ホールド時間	t_{NMIH}	1.5			ns	34.34
NMI パルス幅 (High 時)	t_{NMIH}	5			tcyc*	34.35
NMI パルス幅 (Low 時)	t_{NMIL}	5			tcyc*	34.35
エッジ検出 IRQ パルス幅 (High 時)	t_{IRQIH}	5			tcyc*	34.35
エッジ検出 IRQ パルス幅 (Low 時)	t_{IRQIL}	5			tcyc*	34.35
$\overline{IRL7} \sim \overline{IRL0}$ セットアップ時間	t_{IRLS}	4			ns	34.34
$\overline{IRL7} \sim \overline{IRL0}$ ホールド時間	t_{IRLH}	1.5			ns	34.34
\overline{IRQOUT} 遅延時間	t_{IRQOD}	1.5		8	ns	34.36

【注】* tcyc は CLKOUT の 1 サイクル時間です。

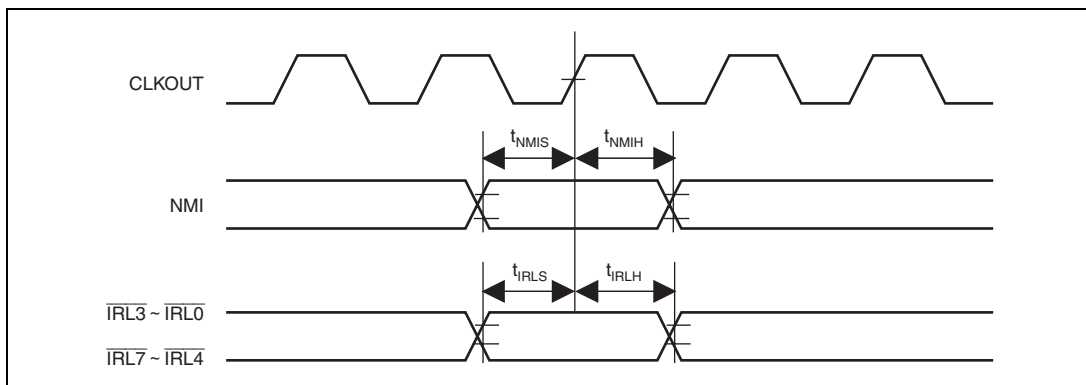


図 34.34 割り込み信号入力タイミング (1)

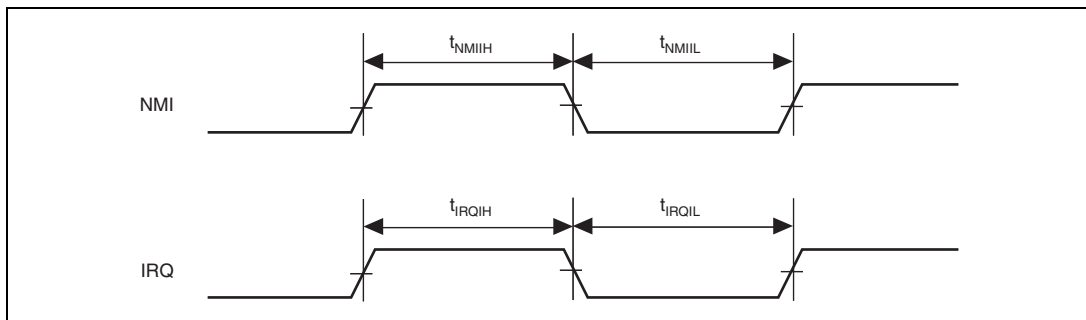
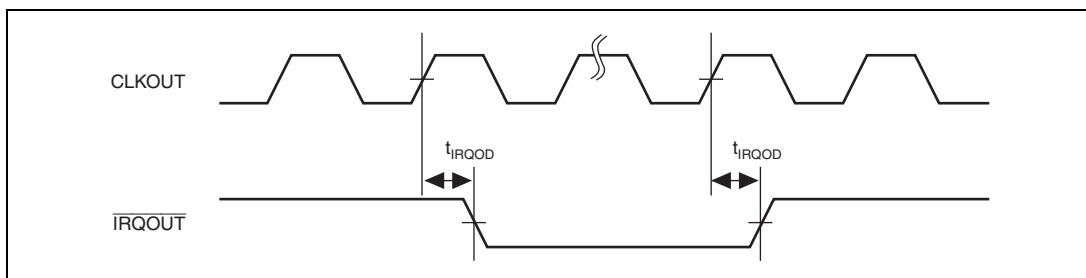


図 34.35 割り込み信号入力タイミング (2)

図 34.36 $\overline{\text{IRQOUT}}$ タイミング

34.3.6 PCIEC モジュール信号タイミング

表 34.16 PCIEC モジュール信号タイミング

条件: $V_{\text{CC0}}=3.0 \sim 3.6 \text{ V}$ 、 $V_{\text{DD}}=1.25 \text{ V}$ 、 $V_{\text{CC0-PCIE15}}=1.5 \text{ V}$ 、 $T_a=-20 \sim +85$

項目	略称	Min.	Typ.	Max.	単位	参照図	備考
ユニットインターバル	UI	399.88	-	400.12	ps		

表 34.17 PCIEC モジュールクロック入力タイミング

条件: $V_{\text{CC0}}=3.0 \sim 3.6 \text{ V}$ 、 $V_{\text{DD}}=1.25 \text{ V}$ 、 $V_{\text{CC0-PCIE15}}=1.5 \text{ V}$ 、 $T_a=-20 \sim +85$

項目	略称	Min.	Typ.	Max.	単位	参照図	備考
入力周波数	Tperiod	100MHz-300 PPM	100	100MHz+300 PPM	MHz	34.37	

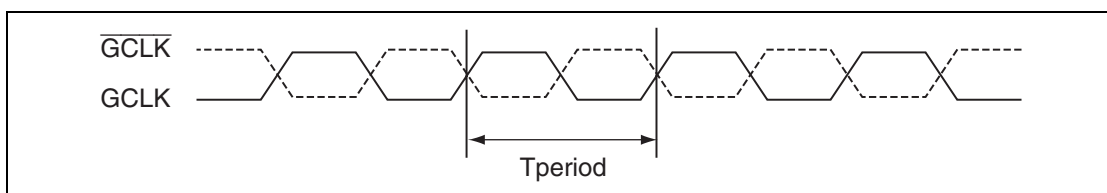


図 34.37 差動 REFCLK (GCLK/GCLK) 入力

34.3.7 USB モジュール信号タイミング

表 34.18 USB モジュール信号タイミング

条件: $V_{CC}=3.0\sim 3.6\text{ V}$ 、 $V_{DD}=1.25\text{ V}$ 、 $T_a=-20\sim +85$

項目	略称	Min.	Typ.	Max.	単位	参照図	備考
外部入力クロック周波数	-	47.981	48.000	48.019	MHz		
ハイスピード	データ転送速度	T_{HSDRAT}	479.76	480.00	480.24	Mbps	
フルスピード	DP/DM 立ち上がり時間	t_R	4	-	20	ns	34.38
	DP/DM 立ち下がり時間	t_F	4	-	20	ns	34.40
	立ち上がり時間 / 立ち下がり時間マッチング	t_{RFM}	90	-	111.1	%	
	DP/DM クロスオーバー電圧	V_{CRS}	1.3	-	2.0	V	
ロースピード	DP/DM 立ち上がり時間	t_R	75	-	300	ns	34.39
	DP/DM 立ち下がり時間	t_F	75	-	300	ns	34.40
	立ち上がり時間 / 立ち下がり時間マッチング	t_{RFM}	80	-	125	%	
	DP/DM クロスオーバー電圧	V_{CRS}	1.3	-	2.0	V	

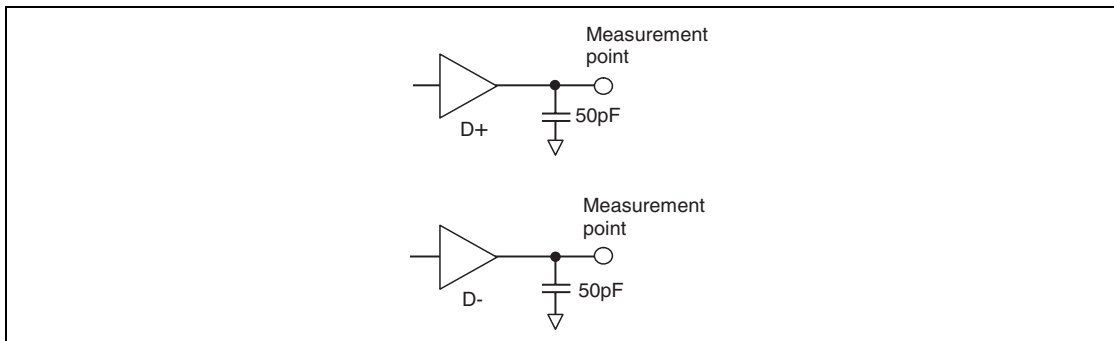


図 34.38 USB フルスピードモード

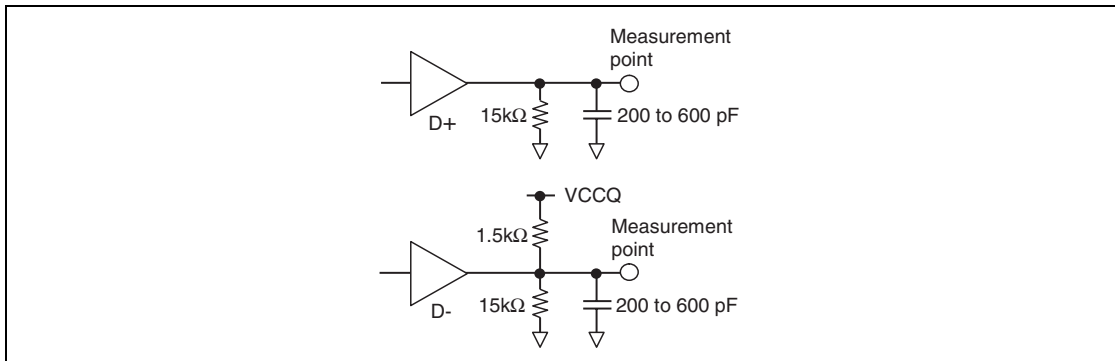


図 34.39 USB ロースピードモード

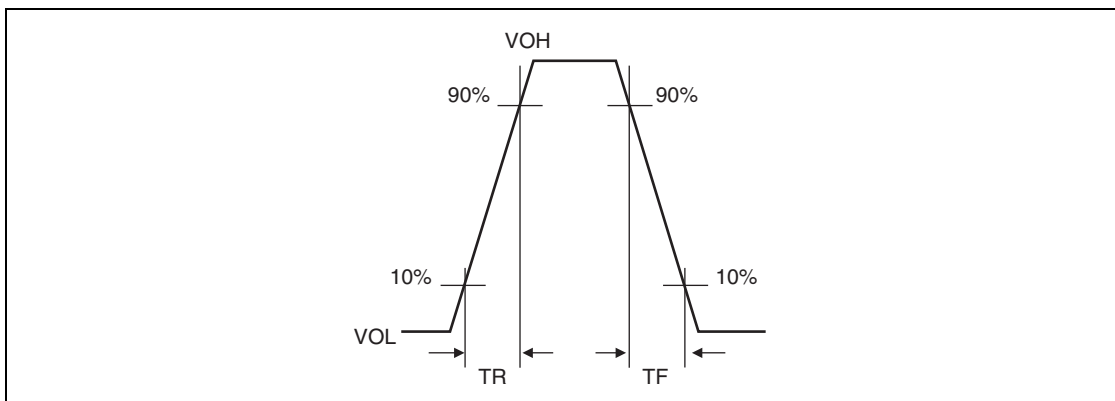


図 34.40 USB 信号波形

34.3.8 DMAC モジュール信号タイミング

表 34.19 DMAC モジュール信号タイミング

条件: $V_{CC}=3.0\sim 3.6\text{ V}$ 、 $V_{DD}=1.25\text{ V}$ 、 $T_a=-20\sim +85$ 、 $C_L=30\text{ pF}$

項目	略称	Min.	Max.	単位	参照図	備考
DREQ セットアップ時間	t_{DRQS}	2.5	-	ns	34.41	
DREQ ホールド時間	t_{DRQH}	1.5	-	ns		
DRAK 遅延時間	t_{DRAKD}	1.5	7	ns		

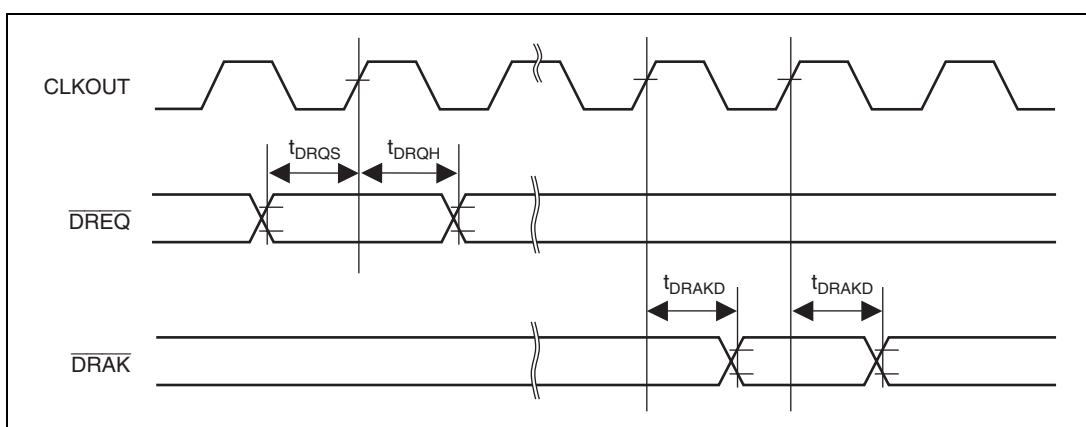


図 34.41 DREQ/DRAK タイミング

34.3.9 TMU モジュール信号タイミング

表 34.20 TMU モジュール信号タイミング

条件: $V_{CC}=3.0\sim 3.6\text{ V}$ 、 $V_{DD}=1.25\text{ V}$ 、 $T_a=-20\sim +85$

項目	略称	Min.	Max.	単位	参照図	備考
タイムクロックパルス幅 (High 時)	t_{TCLKWH}	4	-	t_{Pcyc}	34.42	
タイムクロックパルス幅 (Low 時)	t_{TCLKWL}	4	-	t_{Pcyc}		
タイムクロック立ち上がり時間	t_{TCLKr}	-	0.8	t_{Pcyc}		
タイムクロック立ち下がり時間	t_{TCLKf}	-	0.8	t_{Pcyc}		

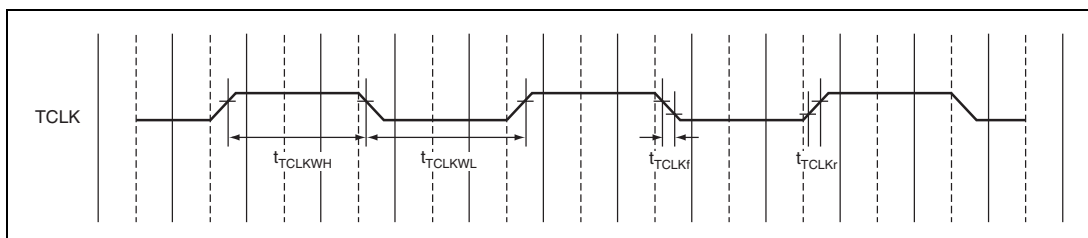
【注】 t_{Pcyc} は周辺クロック (Pck) の 1 サイクル時間を示します。

図 34.42 TCLK 入力タイミング

34.3.10 Ether MAC コントローラ

表 34.21 Ether MAC コントローラ制御信号タイミング

条件 : $V_{CC0}=3.0\sim 3.6V$ 、 $V_{DD}=1.25V$ 、 $T_a=-20\sim +85$ 、 $C_L=30\text{ pF}$

項目	記号	Min.	Typ.	Max.	単位	参照図
ETH_TX_CLK 周期 (100Mbps 動作時)	tcyc	-	40	-	ns	34.43
ETH_TX_CLK 周期 (10Mbps 動作時)	tcyc	-	400	-	ns	
ETH_TXD[3:0]、ETH_TX_EN、ETH_TX_ER 出力遅延時間	ttd	0	-	25	ns	
ETH_RX_CLK 周期 (100Mbps 動作時)	rcyc	-	40	-	ns	34.44
ETH_RX_CLK 周期 (10Mbps 動作時)	rcyc	-	400	-	ns	
ETH_RXD[3:0]、ETH_RX_DV、ETH_RX_ER セットアップ時間	trs	10	-	-	ns	
ETH_RXD[3:0]、ETH_RX_EN、ETH_RX_ER ホールド時間	trh	10	-	-	ns	

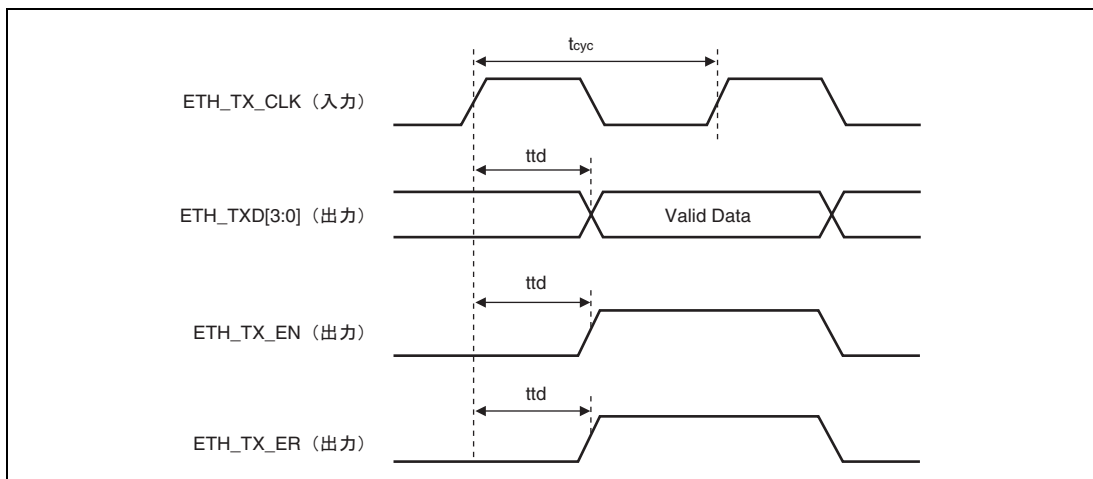


図 34.43 MII インタフェース (送信系)

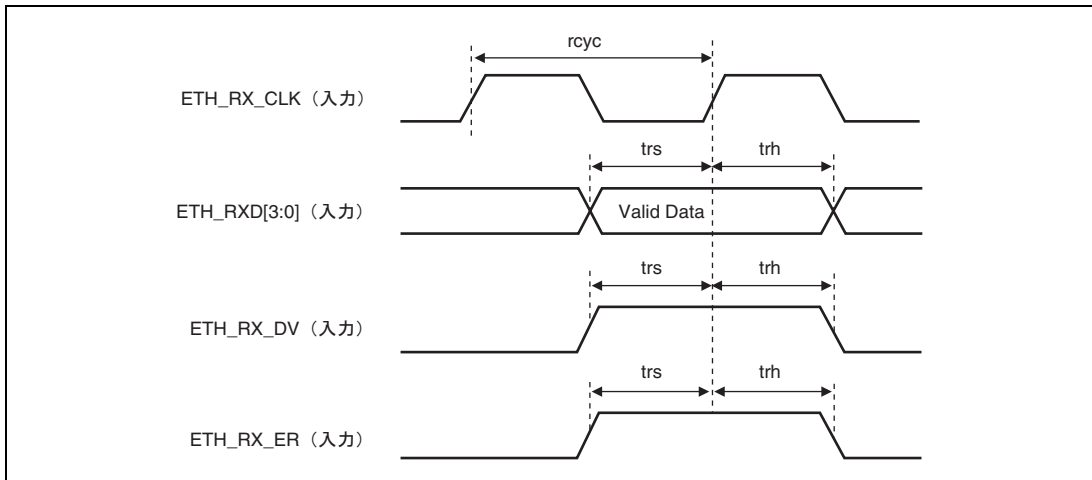


図 34.44 MII インタフェース (受信系)

34.3.11 DU モジュール信号タイミング

表 34.22 DCLKIN タイミング

条件: $V_{CCQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.25V$ 、 $T_a=-20\sim +85$

項目	記号	min.	typ.	max.	単位	参考図
DCLKIN サイクル時間	t_{DICYC}	15	-	-	ns	34.45
DCLKIN ハイレベル時間	t_{DCKIH}	5.5	-	-	ns	
DCLKIN ローレベル時間	t_{DCKIL}	5.5	-	-	ns	

表 34.23 表示タイミング

条件: $V_{CCQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.25V$ 、 $T_a=-20\sim +85$ 、 $C_L=30pF$

項目	記号	min.	typ.	max.	単位	参考図
表示入力制御信号*1 セットアップ時間	t_{DS}	5	-	-	ns	34.46 (DCLKIN 基準)
表示入力制御信号*1 ホールド時間	t_{DH}	3	-	-	ns	
DCLKOUT 出力サイクル時間	t_{DCYC}	20	-	-	ns	34.47 (DCLKOUT 基準)
DCLKOUT 出力ハイレベル幅	t_{DCKH}	6	-	-	ns	
表示出力制御信号*2 出力遅延時間	t_{DD}	-3	-	8	ns	
表示デジタルデータ*3 出力遅延時間	t_{DD}	-3	-	8	ns	34.48
HSYNC 入力ローレベル幅	t_{EXHLW}	4tDCYC	-	-	ns	
HSYNC 入力ハイレベル幅	t_{EXHHW}	4tDCYC	-	-	ns	
VSYNC 入力ローレベル幅	t_{EXVLW}	3HC	-	-	tDCYC	
ODDF セットアップ時間 1	t_{OD1}	(ys+yw) × HC	-	-	tDCYC	
ODDF セットアップ時間 2	t_{OD2}	1HC	-	-	tDCYC	

表 34.24 端子名対応表

端子分類	*1 表示入力制御信号	*2 表示出力制御信号	*3 表示デジタルデータ
端子名	VSYNC	VSYNC	DR0
	$\overline{\text{HSYNC}}$	$\overline{\text{HSYNC}}$	DR1
	ODDF	ODDF	DR2
		DISP	DR3
		CDE	DR4
			DR5
			DG0
			DG1
			DG2
			DG3
			DG4
			DG5
			DB0
			DB1
			DB2
			DB3
		DB4	
		DB5	

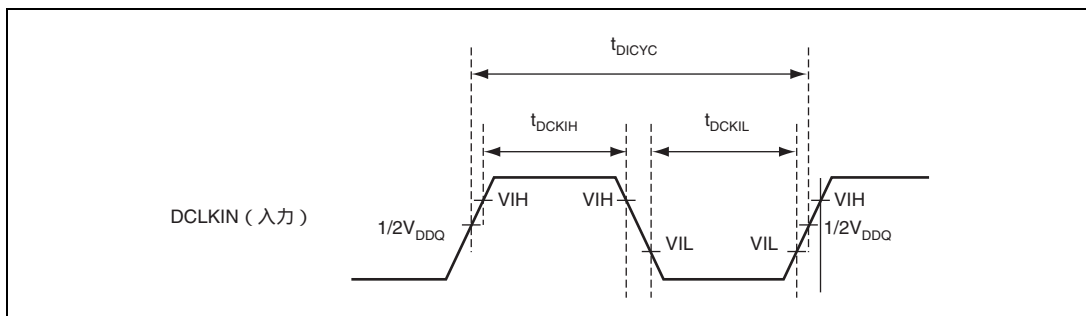


図 34.45 DCLKIN クロック入力タイミング

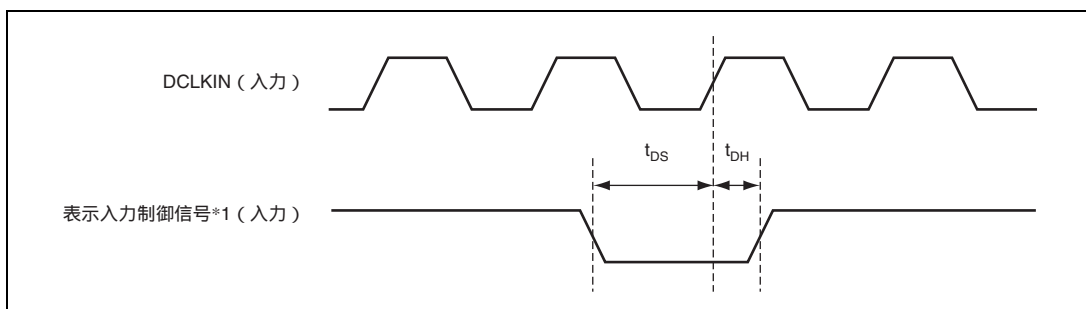


図 34.46 表示タイミング (DCLKIN 基準)

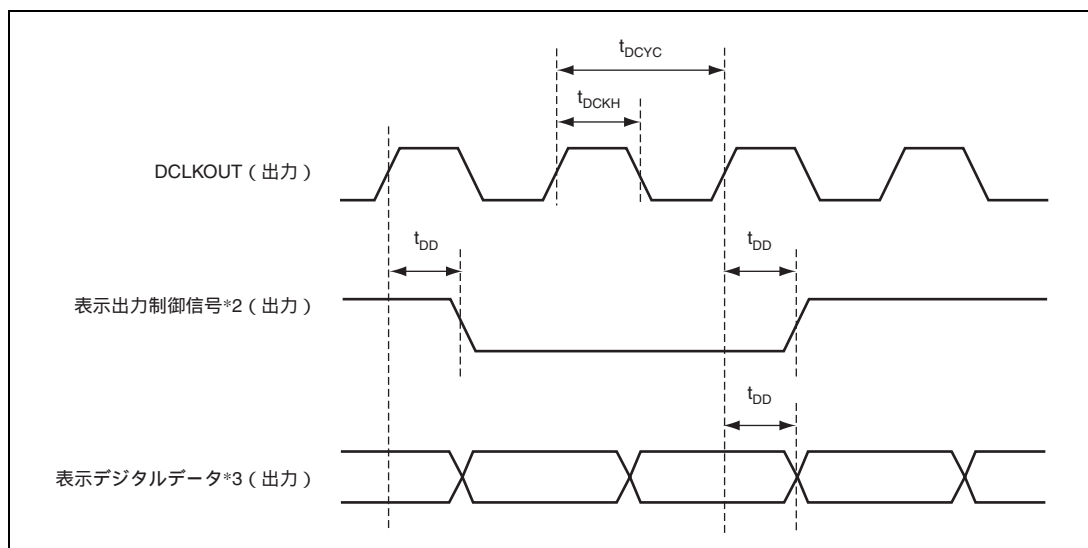


図 34.47 表示タイミング (DCLKOUT 基準)

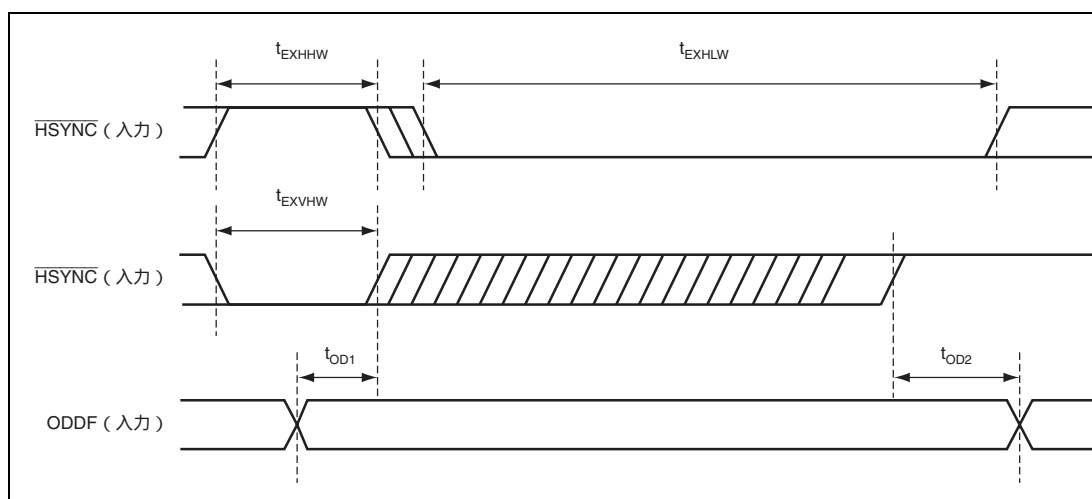


図 34.48 TV 同期モード表示タイミング

34.3.12 SCIF モジュール信号タイミング

表 34.25 SCIF モジュール信号タイミング

条件: $V_{CCQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.25V$ 、 $T_a=-20\sim +85$ 、 $C_L=30pF$

項目	略称	Min.	Max.	単位	参照図	備考
入力クロックサイクル (調歩同期)	t_{Scyc}	4	-	t_{Pcyc}	34.49	
入力クロックサイクル (クロック同期)		10	-	t_{Pcyc}		
入力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}		
入力クロック立ち上がり時間	t_{SCKr}	-	0.8	t_{Pcyc}		
入力クロック立ち下がり時間	t_{SCKf}	-	0.8	t_{Pcyc}		
転送データ遅延時間	t_{TXD}	-	8	t_{Pcyc}	34.50	
受信データセットアップ時間 (クロック同期)	t_{RXS}	$t_{Pcyc}+2$	-	ns		
受信データホールド時間 (クロック同期)	t_{RXH}	$t_{Pcyc}+2$	-	ns		

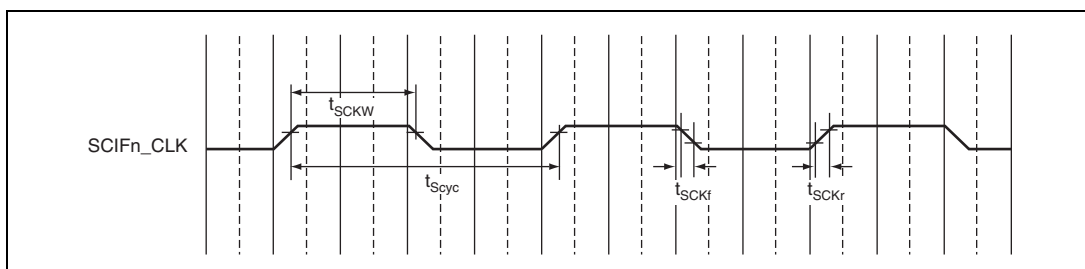
【注】 t_{Pcyc} は周辺クロック (Pck) の 1 サイクル時間を示します。

図 34.49 SCIFn_CLK 入力クロックタイミング

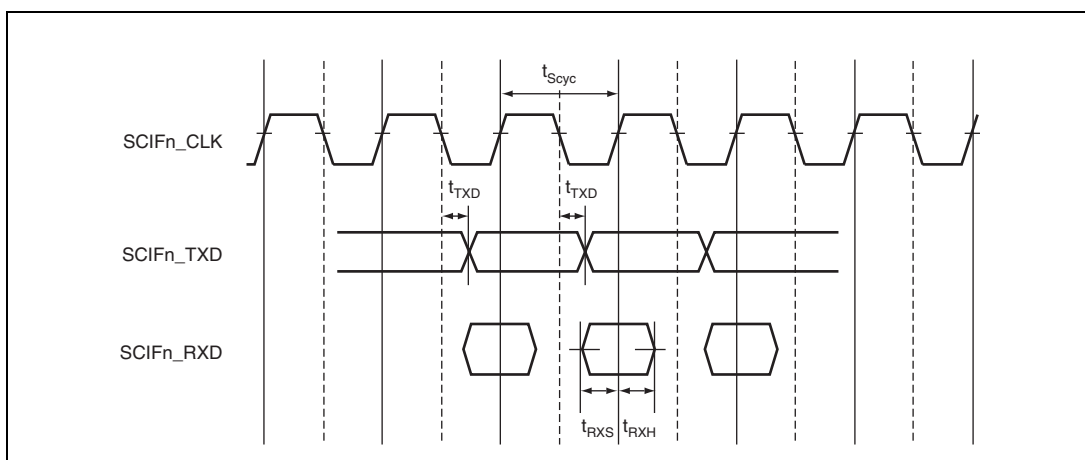


図 34.50 SCIF I/O 同期モードクロックタイミング

34.3.13 HSPI モジュール信号タイミング

表 34.26 HSPI モジュール信号タイミング

条件: $V_{CCQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.25V$ 、 $T_a=-20\sim +85$ 、 $C_L=30pF$

項目	記号	Min.	Max.	単位	参照図
HSPI クロック周波数	T_{SPICYC}	-	$Pck/8$	MHz	34.51
HSPI クロックハイレベル幅	t_{SPIHW}	60	-	ns	
HSPI クロックローレベル幅	t_{SPILW}	60	-	ns	
HSPI_TX セットアップ時間	$t_{SUSPITX}$	-	20	ns	
HSPI_TX 遅延時間	t_{DSPITX}	-	20	ns	
HSPI_RX セットアップ時間	$t_{SUSPIRX}$	20	-	ns	
HSPI_RX ホールド時間	$t_{HLSPIRX}$	20	-	ns	
HSPI_CS リード時間	t_{CSLEAD}	100	-	ns	

【注】 Pck は周辺クロック周波数を示します。

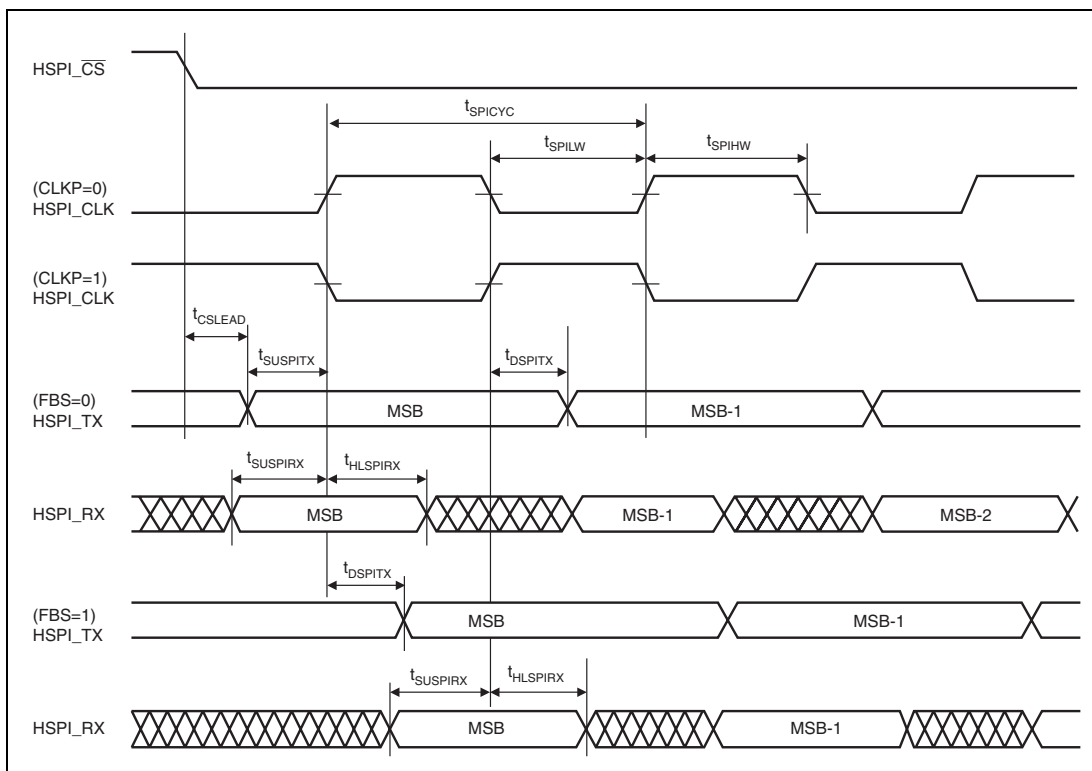


図 34.51 HSPI データ出力 / 入力タイミング

34.3.14 NAND 型フラッシュメモリアンタフェースタイミング

表 34.27 NAND 型フラッシュメモリアンタフェースタイミング

条件: $V_{CCQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.25V$ 、 $T_a=-20\sim +85$ 、 $C_L=30pF$

項目	記号	Min	Max	単位	参照図
コマンド出力セットアップ時間	t_{NCDS}	$2 \times t_{fcyc}$	-	ns	34.52、34.56
コマンド出力ホールド時間	t_{NCDH}	$1.5 \times t_{fcyc}$	-	ns	
データ出力セットアップ時間	t_{NDOS}	$0.5t_{fcyc}$	-	ns	34.52、34.53、 34.54、34.56
データ出力ホールド時間	t_{NDOH}	$0.5t_{fcyc}$	-	ns	
コマンド-アドレス遷移時間 1	t_{NCDAD1}	$1.5 \times t_{fcyc}$	-	ns	34.52、34.53
コマンド-アドレス遷移時間 2	t_{NCDAD2}	$2 \times t_{fcyc}$	-	ns	34.53
FWE サイクル時間	t_{NWC}	t_{fcyc}	-	ns	34.53、34.55
FWE ローパルス幅	t_{NWP}	$0.5t_{fcyc}$	-	ns	34.52、34.53、 34.54、34.56
FWE ハイパルス幅	t_{NWH}	$0.5t_{fcyc}$	-	ns	34.53、34.55
アドレス-レディ/ビジー遷移時間	t_{NADRB}	-	$32 \times t_{pcyc}$	ns	34.53、34.54
レディ/ビジー-データリード遷移時間 1	t_{NRBDR1}	$1.5 \times t_{fcyc}$	-	ns	34.54
レディ/ビジー-データリード遷移時間 2	t_{NRBDR2}	$32 \times t_{pcyc}$	-	ns	
FSC サイクル時間	t_{NSCC}	t_{fcyc}	-	ns	
FSC ハイパルス時間	t_{NSPH}	$0.5 \times t_{fcyc}$	-	ns	34.54、34.56
FSC ローパルス時間	t_{NSP}	$0.5 \times t_{fcyc}$	-	ns	
リードデータセットアップ時間	t_{NRDS}	24	-	ns	
リードデータホールド時間	t_{NRDH}	5	-	ns	34.55
データライトセットアップ時間	t_{NDWS}	$32 \times t_{pcyc}$	-	ns	
コマンド-ステータスリード遷移時間	t_{NCDSR}	$4 \times t_{fcyc}$	-	ns	
コマンド出力 OFF-ステータスリード遷移時間	t_{NCDFSR}	$3.5 \times t_{fcyc}$	-	ns	34.56
ステータスリードセットアップ時間	t_{NSTS}	$2.5 \times t_{fcyc}$	-	ns	

- 【注】 1. t_{pcyc} は周辺クロック (Pck) の 1 サイクル時間を示します。
 2. t_{fcyc} はモジュールクロック (Fck) の 1 サイクル時間を示します。

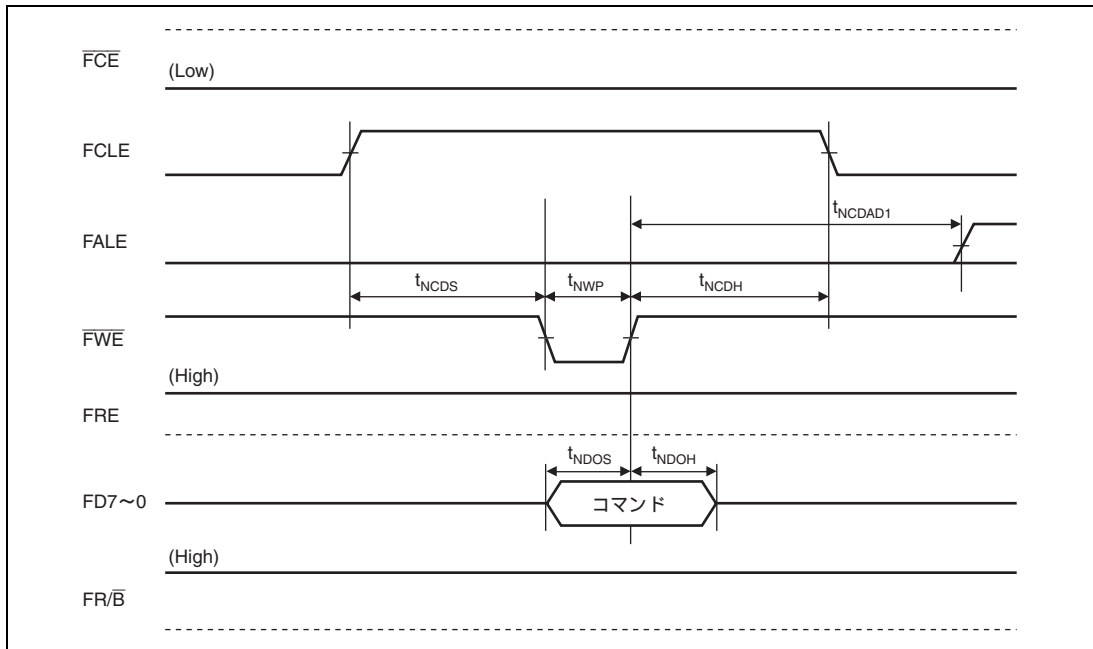


図 34.52 NAND 型フラッシュメモリのコマンド発行タイミング

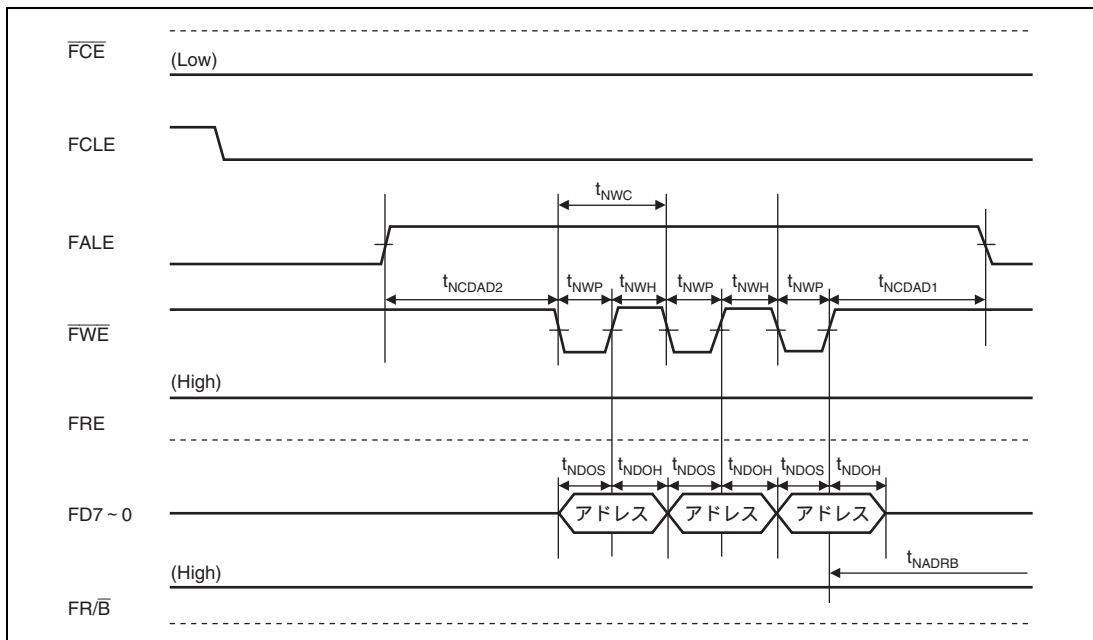


図 34.53 NAND 型フラッシュメモリのアドレス発行タイミング

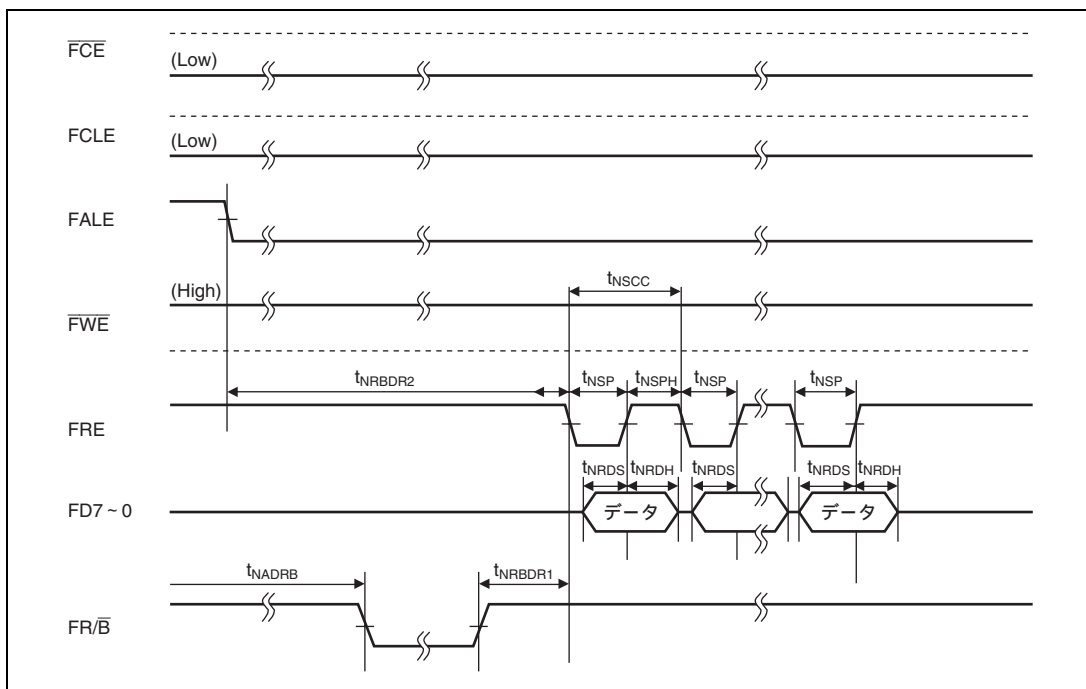


図 34.54 NAND 型フラッシュメモリのデータリードタイミング

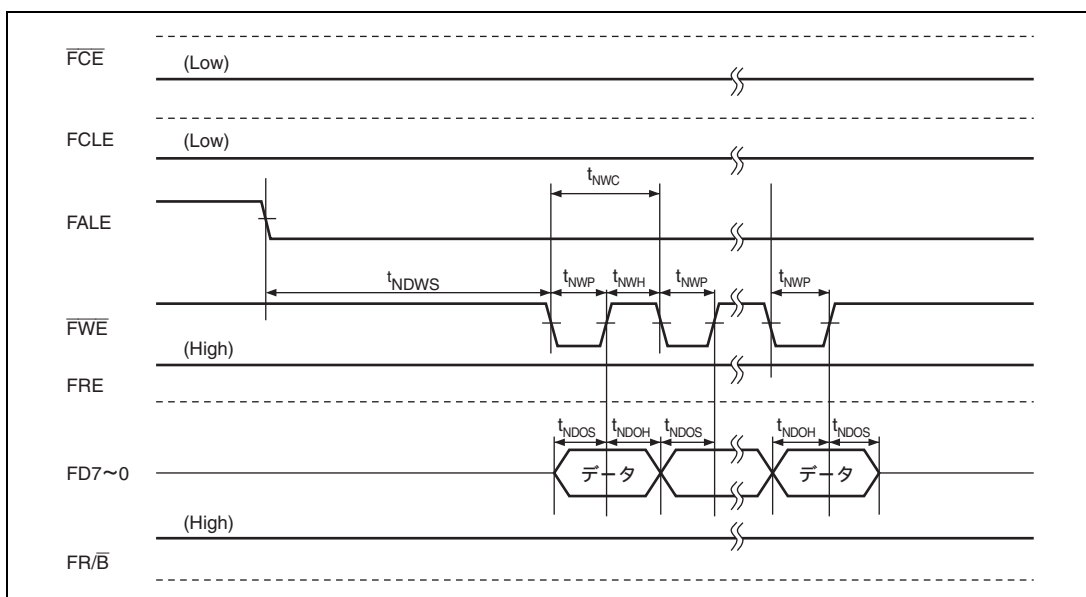


図 34.55 NAND 型フラッシュメモリのデータライトタイミング

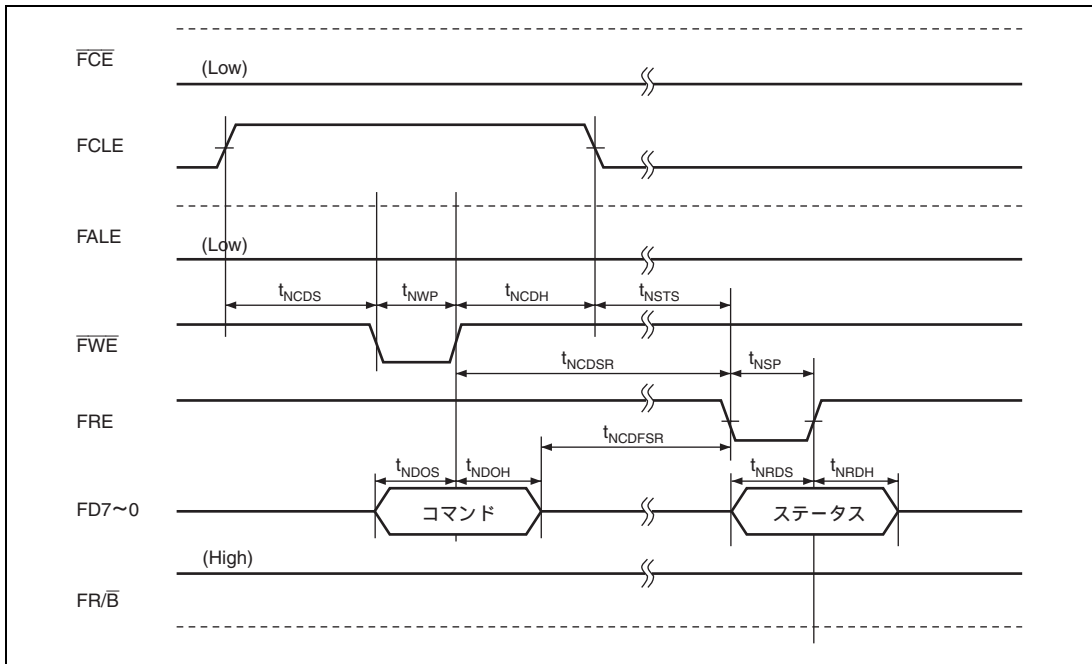


図 34.56 NAND 型フラッシュメモリのステータスリードタイミング

34.3.15 HAC インタフェースモジュール信号タイミング

表 34.28 HAC インタフェースモジュール信号タイミング

条件 : $V_{CC0}=3.0\sim 3.6V$ 、 $V_{DD}=1.25V$ 、 $T_a=-20\sim +85$ 、 $C_L=30pF$

項目	記号	Min.	Max.	単位	参照図
HAC_RES アクティブローパルス幅	t_{RST_LOW}	1000	-	ns	34.57
HAC_SYNC アクティブハイパルス幅	t_{SYN_HIGH}	1000	-	ns	34.58
HAC_SYNC 遅延時間 1	t_{SYNCD1}	-	15	ns	34.60
HAC_SYNC 遅延時間 2	t_{SYNCD2}	-	15	ns	
HAC_SDOUT 遅延時間	t_{SDOUTD}	-	15	ns	
HAC_SDIN セットアップ時間	t_{SDIN0S}	10	-	ns	
HAC_SDIN ホールド時間	t_{SDINH}	10	-	ns	
HAC_BITCLK 入力ハイレベル幅	t_{ICL0_HIGH}	$t_{Pcy}/2$	-	ns	
HAC_BITCLK 入力ローレベル幅	t_{ICL0_LOW}	$t_{Pcy}/2$	-	ns	

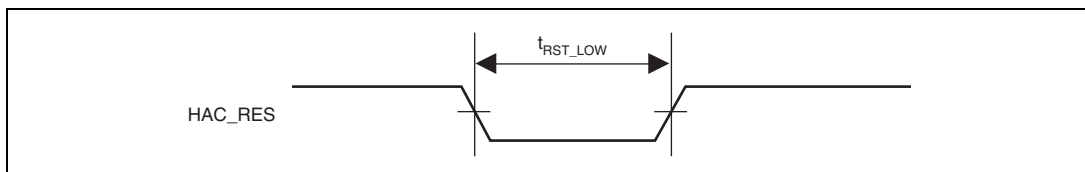
【注】 t_{Pcy} は周辺クロック (Pck) の 1 サイクル時間を示します。

図 34.57 HAC コールドリセットタイミング

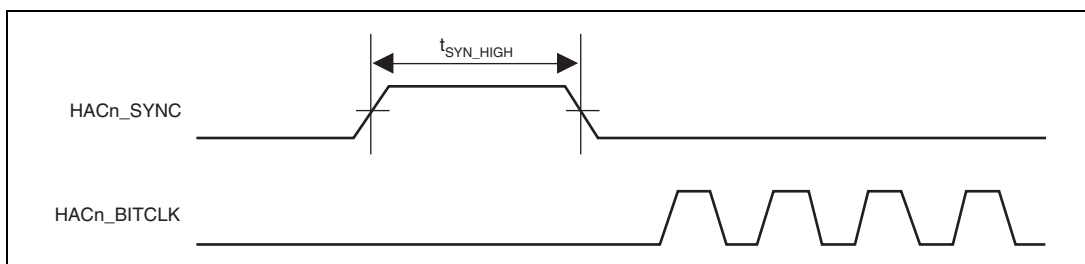


図 34.58 HAC ウォームリセットタイミング

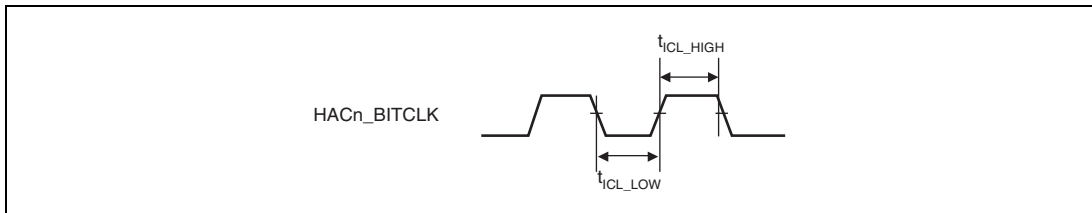


図 34.59 HAC クロック入力タイミング

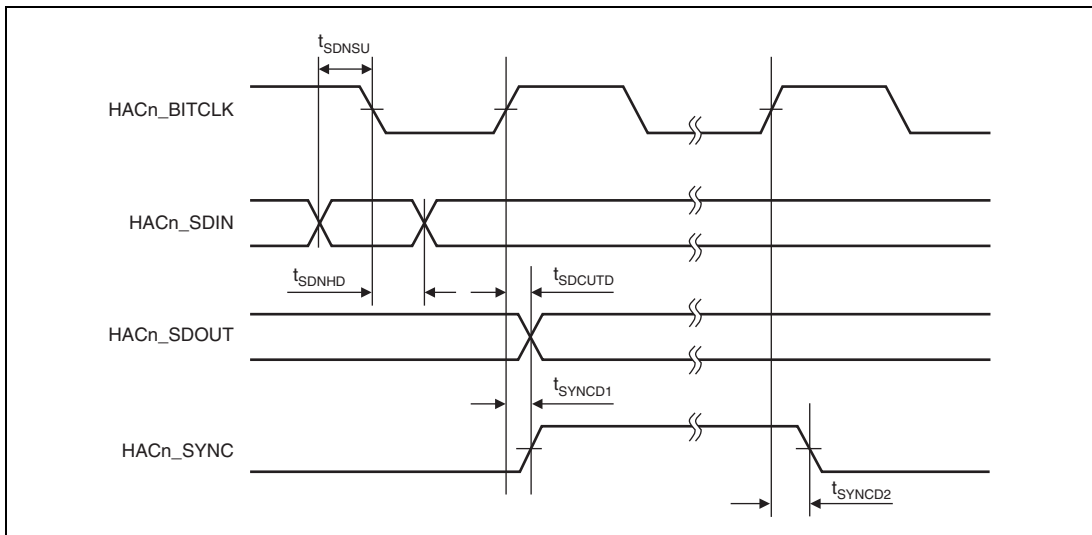


図 34.60 HAC インタフェースモジュール信号タイミング

34.3.16 SSI インタフェースモジュール信号タイミング

表 34.29 SSI インタフェースモジュール信号タイミング

条件 : $V_{CC}=3.0\sim 3.6V$ 、 $V_{DD}=1.25V$ 、 $T_a=-20\sim +85$ 、 $C_L=30\text{ pF}$

項目	記号	Min.	Max.	単位	備考	参照図
出力サイクル時間	t_{OSCK}	40	710	ns	出力	
入力サイクル時間	t_{ISCK}	80	3300	ns	入力	
入力ハイレベル幅 / 出力ハイレベル幅	t_{IH}/t_{OHC}	65	-	ns	入出力	34.61
入力ローレベル幅 / 出力ローレベル幅	t_{IL}/t_{OLC}	65	-	ns	入出力	
SCK 出力立ち上がり時間	t_{RC}	-	60	ns	出力	
SDATA 出力遅延時間	t_{DTR}	-	50	ns	送信	34.62、 34.63
SDATA / WS 入力セットアップ時間	t_{SR}	15	-	ns	受信	34.64、 34.65
SDATA / WS 入力ホールド時間	t_{HTR}	5	-	ns	受信	

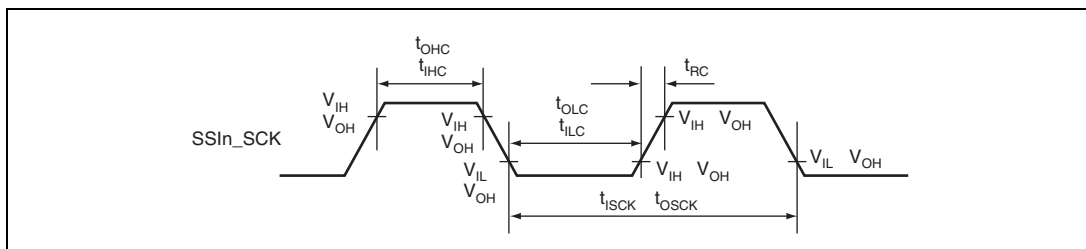


図 34.61 SSI クロック入力、出力タイミング

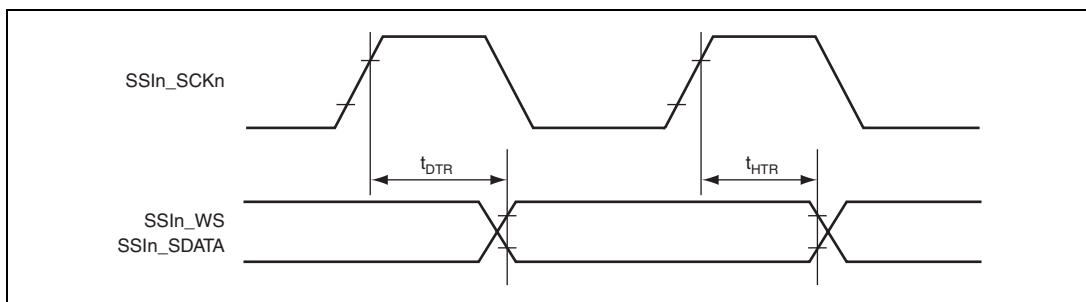


図 34.62 SSI 送信タイミング (1)

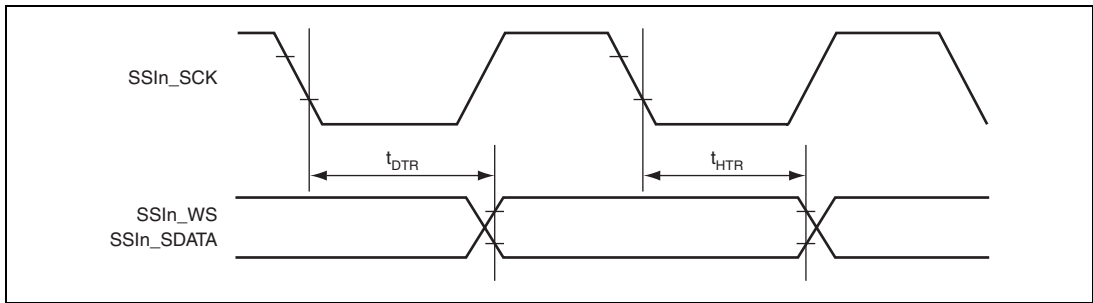


図 34.63 SSI 送信タイミング (2)

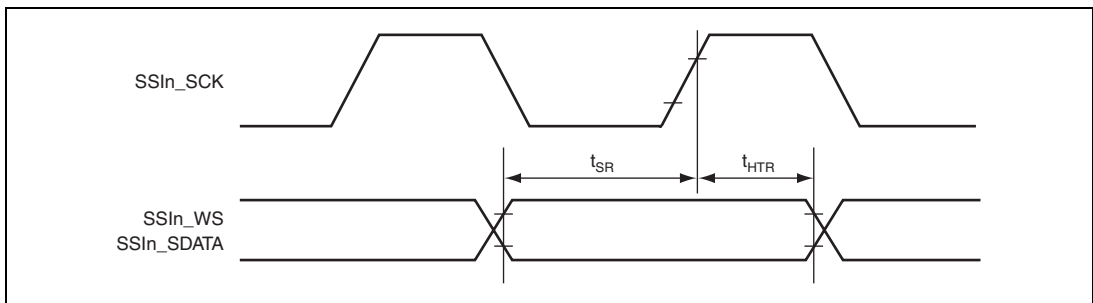


図 34.64 SSI 受信タイミング (1)

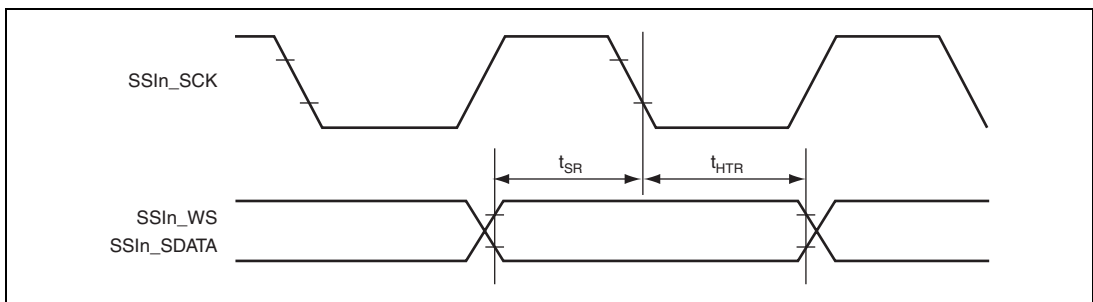
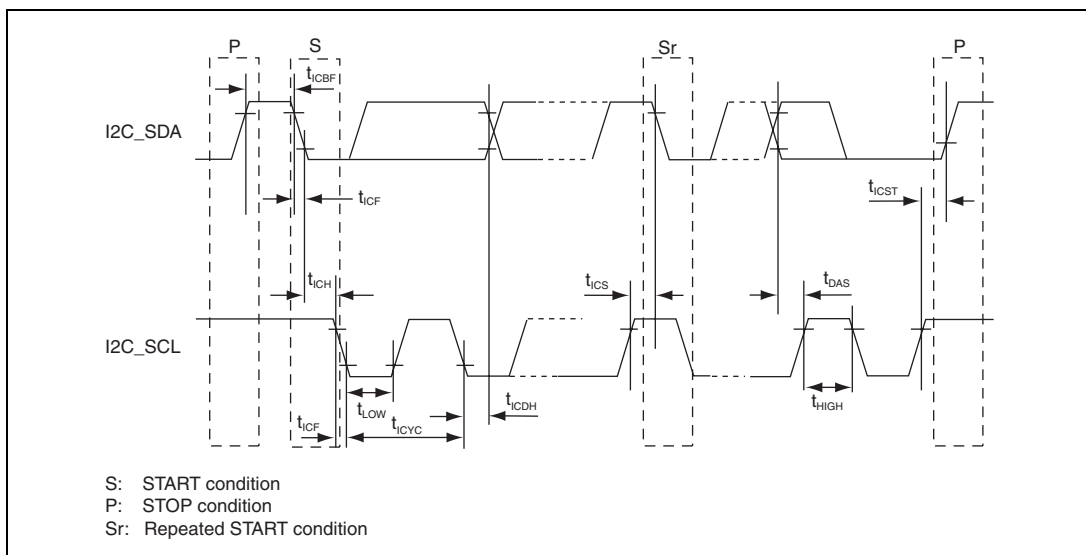


図 34.65 SSI 受信タイミング (2)

34.3.17 I²C 信号タイミング表 34.30 I²C バスインタフェースモジュール信号タイミング条件 : $V_{CCQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.25V$ 、 $T_a=-20\sim +85$ 、 $C_L=30\text{ pF}$

項目	記号	Min.	Typ.	Max.	単位	参照図
SCL 周波数	t_{ICYC}	-	-	400	kHz	34.66
SCL ローレベル時間	t_{LOW}	$1/t_{ICYC} - 100$	-	-	ns	
SCL ハイレベル時間	t_{HIGH}	600	-	-	ns	
SCL/SDA 立ち下がり時間	t_{ICF}	-	-	250	ns	
SDA バスフリー時間	t_{ICBF}	1300	-	-	ns	
SCL START 条件ホールド時間	t_{ICH}	600	-	-	ns	
SCL 繰り返し START 条件セットアップ時間	t_{ICS}	600	-	-	ns	
SDA STOP 条件セットアップ時間	t_{ICST}	600	-	-	ns	
SDA セットアップ時間	t_{DAS}	100	-	-	ns	
SDA ホールド時間	t_{ICDH}	0	-	900	ns	

図 34.66 I²C バスインタフェースモジュール信号タイミング

34.3.18 GPIO 信号タイミング

表 34.31 GPIO 信号タイミング

条件 : $V_{CC0}=3.0\sim 3.6V$ 、 $V_{DD}=1.25V$ 、 $T_a=-20\sim +85$ 、 $C_L=30\text{ pF}$

項目	記号	Min.	Max.	単位	参照図
GPIO 出力遅延時間	t_{IOPD}		12	ns	34.67

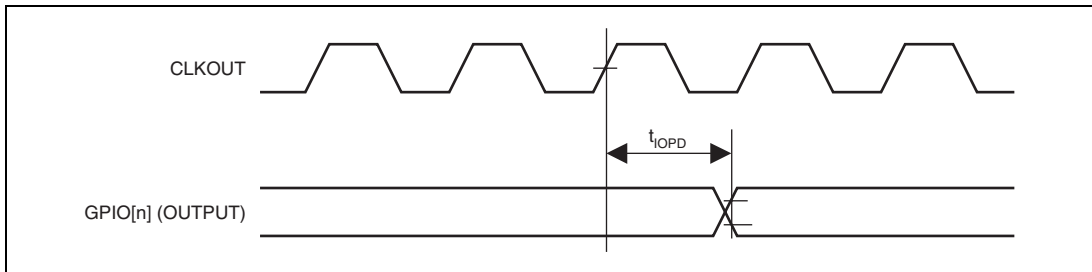


図 34.67 GPIO 信号タイミング

34.3.19 H-UDI モジュール信号タイミング

表 34.32 H-UDI モジュール信号タイミング

条件: $V_{CC0}=3.0\sim 3.6V$ 、 $V_{DD}=1.25V$ 、 $T_a=-20\sim +85$ 、 $C_L=30pF$

項目	略称	Min.	Typ.	Max.	単位	参照図	備考
入力クロックサイクル	t_{TCKcyc}	50	-	-	ns	34.68、34.70	
入力クロックパルス幅 (High 時)	t_{TCKH}	15	-	-	ns	34.68	
入力クロックパルス幅 (Low 時)	t_{TCKL}	15	-	-	ns		
入力クロック立ち上がり時間	t_{TCKr}	-	-	10	ns		
入力クロック立ち下がり時間	t_{TCKf}	-	-	10	ns		
ASEBRK セットアップ時間	$t_{ASEBRKS}$	10	-	-	t_{cyc}	34.69	
ASEBRK ホールド時間	$t_{ASEBRKH}$	1	-	-	ms		
TDI/TMS セットアップ時間	t_{TDIS}	15	-	-	ns	34.70	
TDI/TMS ホールド時間	t_{TDIH}	15	-	-	ns		
TDO データ遅延時間	t_{TDO}	0	-	12	ns		
ASE-PINBRK パルス幅	t_{PINBRK}	2	-	-	t_{Pcyc}	34.71	

- 【注】
- t_{TCKcyc} はバウンダリスキャン動作時 10MHz となります。
 - t_{cyc} は CKIO クロックの 1 サイクル時間を示します。
 - t_{Pcyc} は周辺クロック (Pck) の 1 サイクル時間を示します。

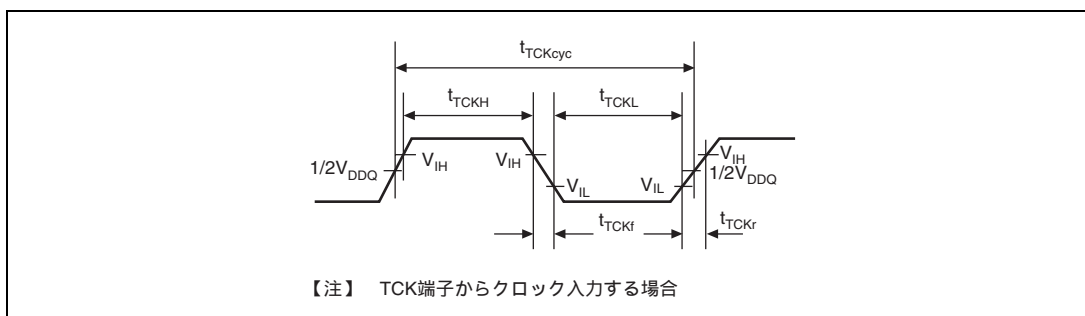


図 34.68 TCK 入力タイミング

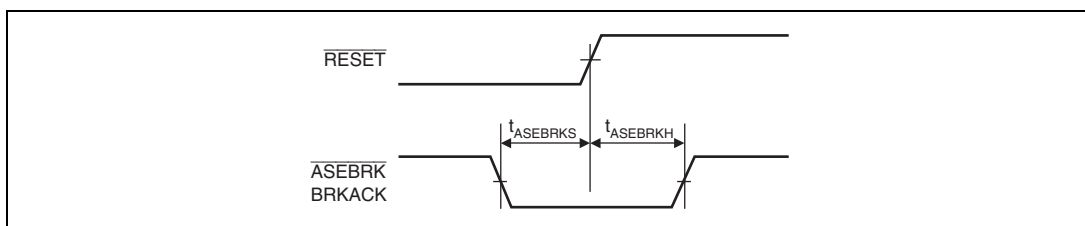


図 34.69 RESET ホールドタイミング

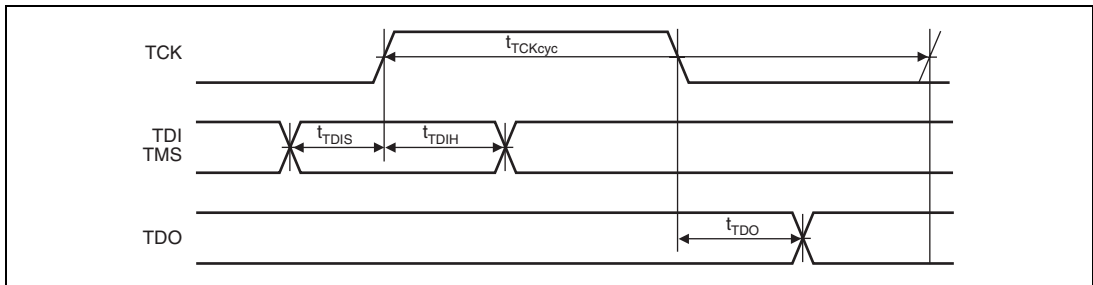


図 34.70 H-UDI データ転送タイミング

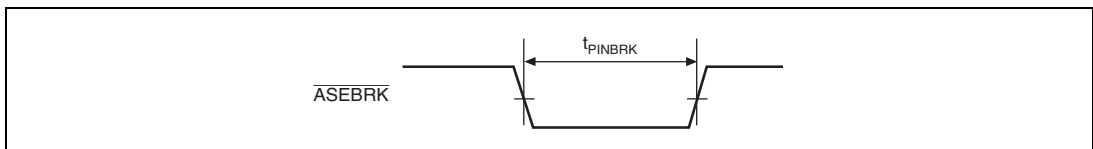


図 34.71 端子ブレークタイミング

34.4 AC 特性測定条件 (DDR/USB/PCI 端子をのぞく)

AC 特性測定条件は次のとおりです。

- 入出力信号参照レベル : $V_{CCQ} / 2$
- 入力パルスレベル : $V_{SSQ} \sim V_{CCQ}$
- 入力立ち上がり、立ち下がり時間 : 1ns
- 出力負荷回路を図34.72に示します。

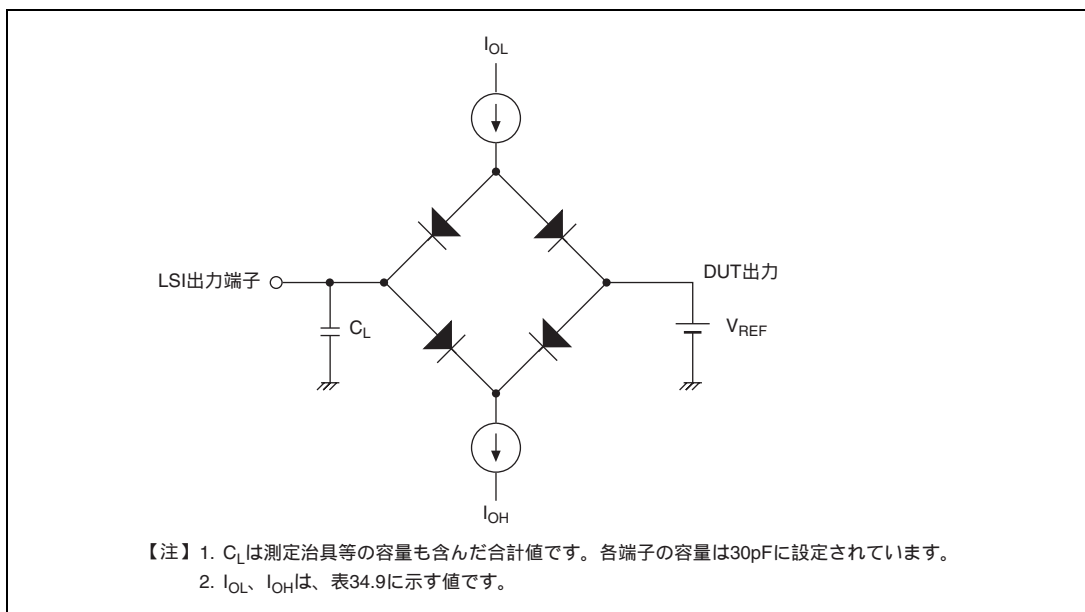


図 34.72 出力負荷回路

34.5 AC 特性測定条件 (DDR 端子)

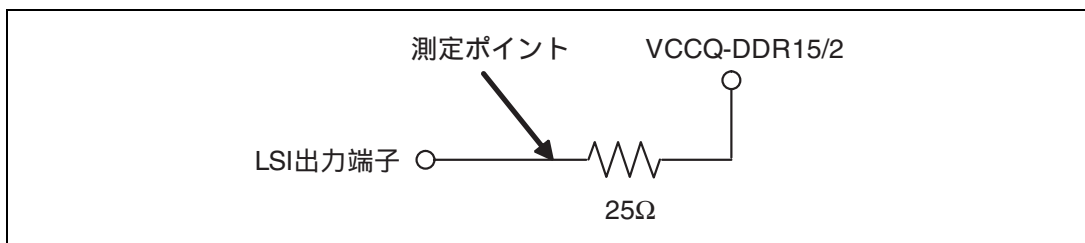


図 34.73 出力負荷等価回路 (DDR 端子)

34.6 AC 特性測定条件 (PCI 端子)

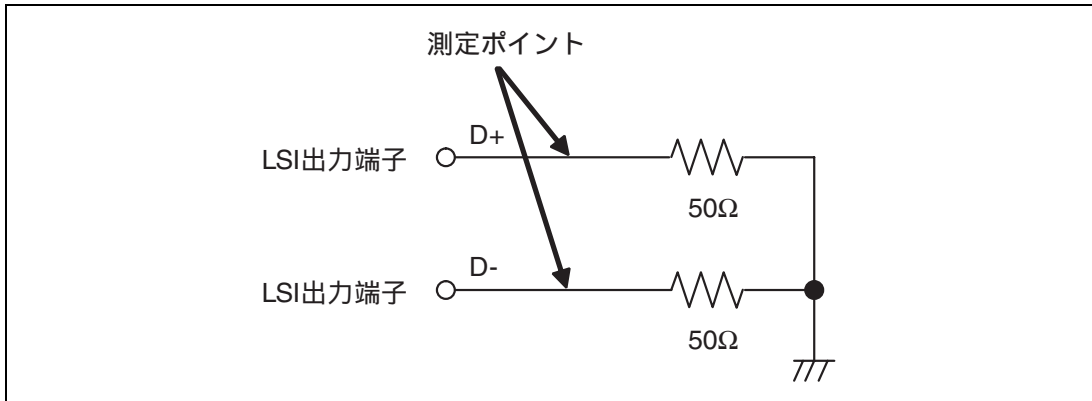


図 34.74 出力負荷等価回路 (PCI 端子)

34.7 AC 特性測定条件 (USB ハイスピード端子)

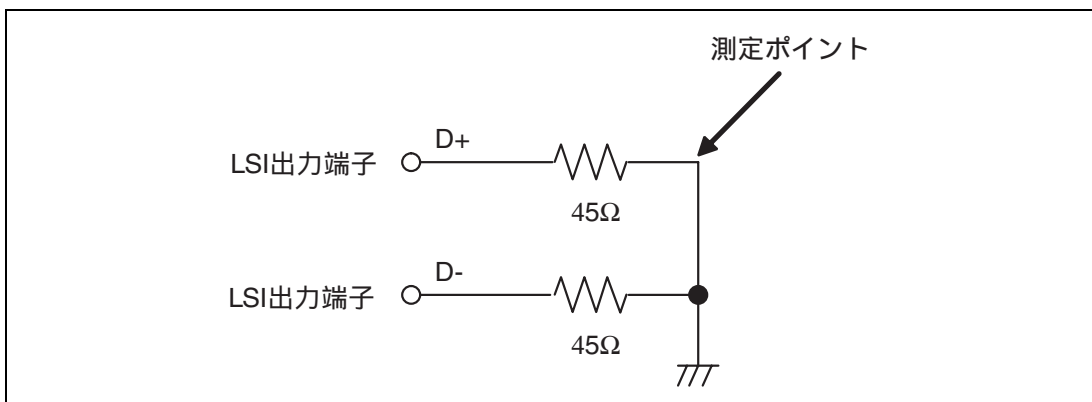


図 34.75 出力負荷等価回路 (USB ハイスピード端子)

付録 A SH-4A 拡張機能 (PVR.VER=H'40)

SH-4A マルチプロセッサ対応拡張機能 (PVR.VER=H'40) の概要について説明します。詳細については A.2 ~ A.6 で説明します。なお、説明する SH-4A 拡張機能は、プロセッサバージョンレジスタ (PVR) の VER (ビット 23 ~ ビット 16) ビットが H'40 以降の場合に使用できますが、H'30、H'20 の場合には使用できません。SH-4A マルチプロセッサ対応拡張機能を使用する際には、VER ビットの値を確認してください。

A.1 概要

SH-4A 拡張機能を備えた LSI では、SH-4A に対して機能的に上位互換です。

SH-4A 拡張機能 (PVR.VER=H'40) を表 A.1 に示します。

表 A.1 SH-4A 拡張機能 (PVR.VER=H'40)

項 目		特 長
メモリマネジメントユニット (MMU) (項目内の一部追加・変更)		<ul style="list-style-type: none">• 4K バイトページ使用のとき、シノニム問題を回避するモードを追加• MMUCR.URC のカウントアップ条件を変更• CCR に SNM ビット・MCP ビット・CCD ビットを追加
キャッシュメモリ (項目内の一部追加・変更)		<ul style="list-style-type: none">• 複数 CPU のオペランドキャッシュのコヒーレンシ制御を追加• 複数 CPU の命令キャッシュ無効化制御を追加• 2 次キャッシュ (オプション) を追加
内蔵メモリ (項目内の一部追加・変更)	IL メモリ (ILRAM)	<ul style="list-style-type: none">• 物理アドレスを変更• CPU/FPU から物理アドレスにより SuperHyway 経由のアクセスを追加• CPU/FPU 停止時に SuperHyway バスマスタから IL メモリへのアクセスが可能なライトスリープモードを追加
	OL メモリ (OLRAM)	<ul style="list-style-type: none">• 物理アドレスを変更• CPU/FPU から物理アドレスにより SuperHyway 経由のアクセスを追加• CPU/FPU 停止時に SuperHyway バスマスタから OL メモリへのアクセスが可能なライトスリープモードを追加
各命令の説明 (項目内の一部変更)		<ul style="list-style-type: none">• MOVCO データ転送命令の動作を変更• MOVLI データ転送命令の動作を変更• TAS 論理演算命令の動作を変更• ICBI、OCBI、OCBP、OCBWB 命令の動作を変更

A.2 メモリマネジメントユニット (MMU)

A.2.1 MMU の変更点

MMU の変更点は以下のとおりです。

- 4Kバイトページ使用のとき、シノニムをハードウェアで回避するモードを追加。
- ASIDを16ビットへ拡張するモードを追加。
- PTEAEXレジスタを新設。
- MMUCRにAEXビットを追加。
- CCRにSNMビット、MCPビット、CCDビット、IBEビットを追加。

A.2.2 レジスタの説明

PTEH、MMUCR、CCR レジスタの機能が追加変更になります。PTEAEX レジスタを新設します。

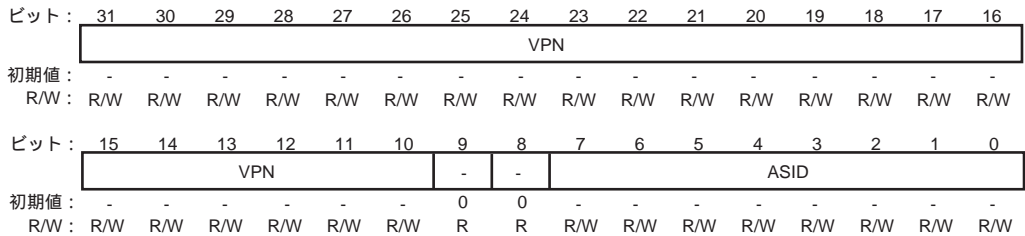
表 A.2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	サイズ
ページテーブルエントリ上位レジスタ	PTEH	R/W	H'FF00 0000	H'1F00 0000	32
MMU 制御レジスタ	MMUCR	R/W	H'FF00 0010	H'1F00 0010	32
キャッシュ制御レジスタ	CCR	R/W	H'FF00 001C	H'1F00 001C	32
ページテーブルエントリアドレス空間 識別子拡張レジスタ	PTEAEX	R/W	H'FF00 007C	H'1F00 007C	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

(1) ページテーブルエントリ上位レジスタ (PTEH)

ASID ビットの機能が変更になります。



ビット	ビット名	初期値	R/W	説明
31~10	VPN	不定	R/W	仮想ページ番号
9、8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~0	ASID	不定	R/W	ASID8 ビット互換モードの場合、アドレス空間識別子。ASID16 ビット拡張モードの場合は、リードは不定が読まれ、ライトは無視されます。

(2) MMU 制御レジスタ (MMUCR)

AEX ビットを追加し、ASID8 ビット互換モードと ASID16 ビット拡張モードを選択することができます。AEX ビットの値を変更する場合は TI ビットに 1 を指定して、ITLB、UTLB の内容を無効化してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LRUI						—	—	URB						—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	URC						SQMD	SV	ME	AEX	—	—	—	TI	—	AT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
31~26	LRUI	すべて 0	R/W	<p>入れ替えを行う ITLB エントリを示す LRU ビット</p> <p>ITLB ミス発生時に入れ替える ITLB のエントリを決めるため、LRU 方式 (Least Recently Used) を用います。LRUI ビットを用いて ITLB の追い出すエントリを確定できます。</p> <p>LRUI は、以下のアルゴリズムで更新が行われます。</p> <p>なお、以下の「x」は更新を行わないことを意味します。</p> <p>000xxx: ITLB のエントリ 0 を用いたとき 1xx00x: ITLB のエントリ 1 を用いたとき x1x1x0: ITLB のエントリ 2 を用いたとき xx1x11: ITLB のエントリ 3 を用いたとき xxxxxx: 上記以外</p> <p>また LRUI が以下の状態のとき、対応する ITLB のエントリが ITLB ミスにより更新されます。なお、下表で設定禁止の値にはソフトウェアの責任で設定しないようにしてください。またパワーオンリセット、マニュアルリセット後に LRUI は 0 に初期化されるので、ハードウェアの更新によって LRUI が設定禁止の値になることはありません。</p> <p>なお、以下の「x」は Don't care を意味します。</p> <p>111xxx: ITLB のエントリ 0 が更新される 0xx11x: ITLB のエントリ 1 が更新される x0x0x1: ITLB のエントリ 2 が更新される xx0x00: ITLB のエントリ 3 が更新される 上記以外: 設定禁止</p>
25, 24	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
23~18	URB	すべて 0	R/W	<p>入れ替えを行う UTLB エントリの境界を示すビット</p> <p>URB 0 のときに有効となります。</p>
17, 16	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
15~10	URC	すべて 0	R/W	<p>LDTLB 命令により入れ替えを行う UTLB エントリを示すためのランダムカウンタ</p>

ビット	ビット名	初期値	R/W	説明
9	SQMD	0	R/W	ストアキューモードビット ストアキューへのアクセス権を指定します。 0: ユーザ/特権アクセスが可能 1: 特権アクセスが可能 (ユーザアクセスの場合はアドレスエラー例外)
8	SV	0	R/W	単一仮想記憶モード / 多重仮想記憶モード切り替えビット このビットを変更するときは、必ず TI ビットにも 1 を書き込んでください。 0: 多重仮想記憶モード 1: 単一仮想記憶モード
7	ME	0	R/W	TLB 拡張モード切り替えビット 0: TLB 互換モード 1: TLB 拡張モード
6	AEX	0	R/W	ASID 拡張モード切り替えビット 0: ASID8 ビット互換モード 1: ASID16 ビット拡張モード
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TI	0	R/W	TLB 無効化ビット このビットに 1 を書き込むと、UTLB/ITLB の有効ビットをすべて 0 にクリアします。読み出すと常に 0 が読み出されます。
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	AT	0	R/W	アドレス変換有効ビット MMU のイネーブル (有効) とディスエーブル (無効) を指定します。 0: MMU ディスエーブルにする 1: MMU イネーブルにする AT ビットが 0 の状態では MMU 例外は発生しません。このため MMU を使用しないソフトウェアでは AT ビットを 0 の状態で使用してください。

(3) キャッシュ制御レジスタ (CCR)

CCR に SNM ビット、MCP ビット、CCD ビットが追加され、シノニム問題の回避をハードウェアで行うことができるようになります。IBE ビットが追加され、ICBI 命令を他の CPU も対象にすることができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	IBE	—	—	—	—	—	SNM	MCP	CCD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	L2IE	ICI	—	—	ICE	—	—	—	L2OE	OCI	CB	WT	OCE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~25	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	IBE	0	R/W	ICBI 命令ブロードキャスト有効ビット ICBI 命令を他の CPU にブロードキャストするかどうかを選択します。このビットは ICE=1 かつ CCD=0 の場合のみ有効です。 0: IC 無効化の対象は、ICBI 命令を実行した CPU の IC のみです。 1: IC 無効化の対象は、CCD=0 の CPU すべての IC です。
23~19	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18	SNM	0	R/W	シノニム問題対策ビット シノニム問題をハードウェア対策するかどうかを選択します。シノニム問題が発生する可能性のあるプログラムで、SNM=0 としたときの動作は保証しません。 0: ハードウェア対策しません 1: ハードウェア対策します
17	MCP	0	R/W	コヒーレンシプロトコル混在ビット 同じ物理領域に対して異なるコヒーレンシプロトコルを使用する場合に設定します (CCD=0 のときのみ有効です)。1CPU でも、複数 CPU で共有しても、異なるコヒーレンシプロトコルを使用する場合は 1 を設定してください。異なるコヒーレンシプロトコルを使用し、MCP=0 を設定したときの動作は保証しません。 0: 同じコヒーレンシプロトコルを設定 1: 異なるコヒーレンシプロトコルを設定
16	CCD	0	R/W	キャッシュコヒーレンシ無効ビット CPU が複数 CPU 間のキャッシュコヒーレンシ制御を行うかどうかを選択します。 0: キャッシュコヒーレンシ制御有効 1: キャッシュコヒーレンシ制御無効

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	L2IE	0	R/W	命令 2 次キャッシュ有効ビット 0 : 命令フェッチで、2 次キャッシュを使用しません。 1 : 命令フェッチで、2 次キャッシュを使用します。
11	ICI	0	R/W	IC 無効化ビット このビットに 1 を書き込むと IC の全エントリの V ビットを 0 にします。読み出すと常に 0 が読まれます。
10、9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	ICE	0	R/W	IC 有効ビット IC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報の C ビットも 1 でなければ IC を使用できません。 0 : IC を使用しない。 1 : IC を使用する。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	L2OE	0	R/W	オペランド 2 次キャッシュ有効ビット 0 : オペランドアクセスで、2 次キャッシュを使用しません。 1 : オペランドアクセスで、2 次キャッシュを使用します。
3	OCI	0	R/W	OC 無効化ビット このビットに 1 を書き込むと OC の全エントリの V ビットを 0 にします。読み出すと常に 0 が読まれます。
2	CB	0	R/W	キャッシュコヒーレンシ制御ビット 1 29 ビットアドレスモードでの P1 領域のキャッシュコヒーレンシプロトコルを示します。32 ビットアドレスモードでは本ビットは無効になり、PMB エントリの WT ビットの値を参照します。 キャッシュコヒーレンシ制御無効 (CCD=1) のとき 0 : EI (ライトスルー) プロトコル 1 : MEI (コピーバック) プロトコル キャッシュコヒーレンシ制御有効 (CCD=0) のとき 0 : ESI (ライトスルー) プロトコル 1 : MESI (コピーバック) プロトコル

ビット	ビット名	初期値	R/W	説 明
1	WT	0	R/W	<p>キャッシュコヒーレンシ制御ビット 0</p> <p>P0、U0、P3 領域のキャッシュコヒーレンシプロトコルを示します。アドレス変換が行われる場合、本ビットは無効になり、ページ管理情報の WT ビットの値を参照します。</p> <p>キャッシュコヒーレンシ制御無効 (CCD=1) のとき</p> <p>0 : MEI (コピーバック) プロトコル</p> <p>1 : EI (ライトスルー) プロトコル</p> <p>キャッシュコヒーレンシ制御有効 (CCD=0) のとき</p> <p>0 : MESI (コピーバック) プロトコル</p> <p>1 : ESI (ライトスルー) プロトコル</p>
0	OCE	0	R/W	<p>OC 有効ビット</p> <p>OC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報の C ビットも 1 でなければ OC を使用できません。</p> <p>0 : OC を使用しない。</p> <p>1 : OC を使用する。</p>

(4) ページテーブルエントリアドレス空間識別子拡張レジスタ (PTEAEX)

ASID16 ビット拡張モードのとき、PTEAEX レジスタの ASID に現在実行中のプロセス番号をソフトウェアにより設定します。ASID がハードウェアにより更新されることはありません。ASID は LDTLB 命令により UTLB に登録されます。

PTEAEX の書き換えは、P1、P2 領域のプログラムで行うようにしてください。

PTEAEX レジスタを更新後、P0、P3、U0、ストアキュー領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1 または 2 を実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先は P0、P3、U0 領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でも良い) に対して、ICBI 命令を実行してください。

【注】 32 ビットアドレスモードの場合、PTEAEX の書き換えは、P1 領域または最終 64 バイトを除く P2 領域のプログラムで行うようにしてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ASID															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~0	ASID	不定	R/W	アドレス空間識別子 ASID16 ビット拡張モードのとき ASID を指定します。ASID8 ビット互換モードのときはアクセス禁止です。

A.2.3 MMU の機能

ASID16 ビット拡張モード (MMUCR.AEX=1) のときは、アドレス空間識別子は 8 ビット (ASID[7:0]) から 16 ビット (ASID[15:0]) になります。

(1) MMU の命令 (LDTLB)

UTLB エントリを登録する命令として TLB ロード命令 (LDTLB) があります。LDTLB 命令が発行されると、SH-4A は PTEH と PTEL の内容を (加えて TLB 拡張モードの場合には PTEA の内容を、ASID16 ビット拡張モードの場合は PTEAEX の内容を) URC ビットが指し示す UTLB エントリにコピーします。

図 A.1、図 A.2 に ASID16 ビット拡張モード時の LDTLB 命令の動作を示します。

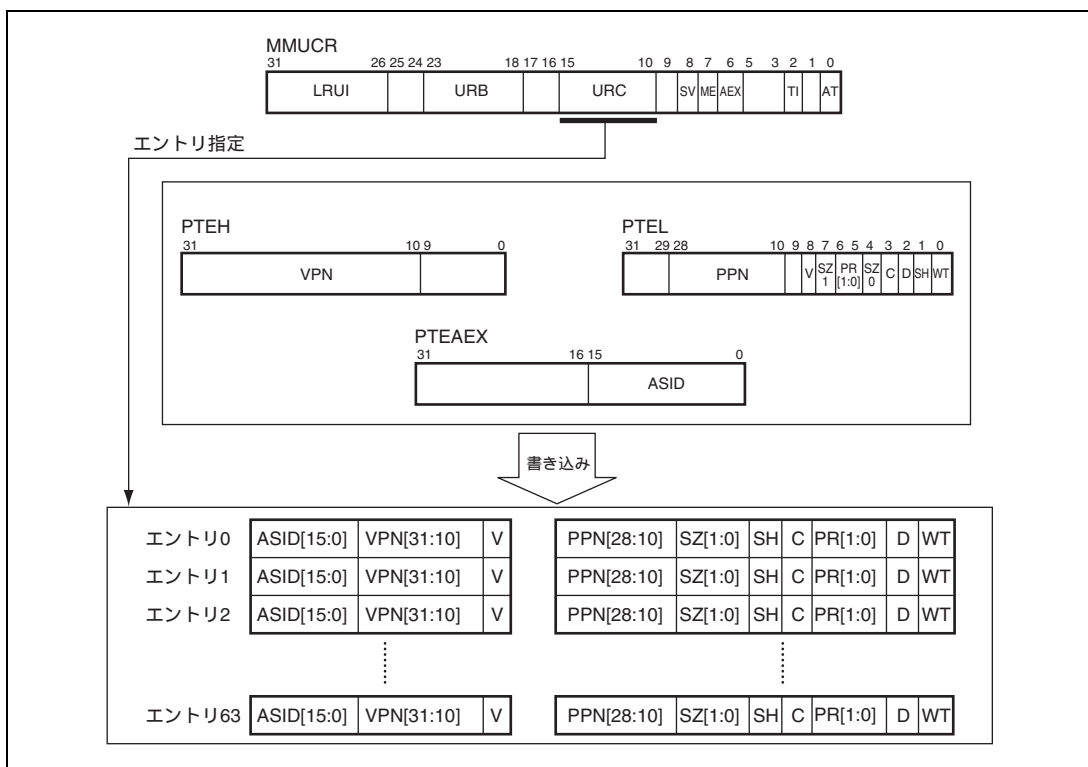


図 A.1 LDTLB 命令の動作 (ASID16 ビット拡張モードでかつ TLB 互換モード時)

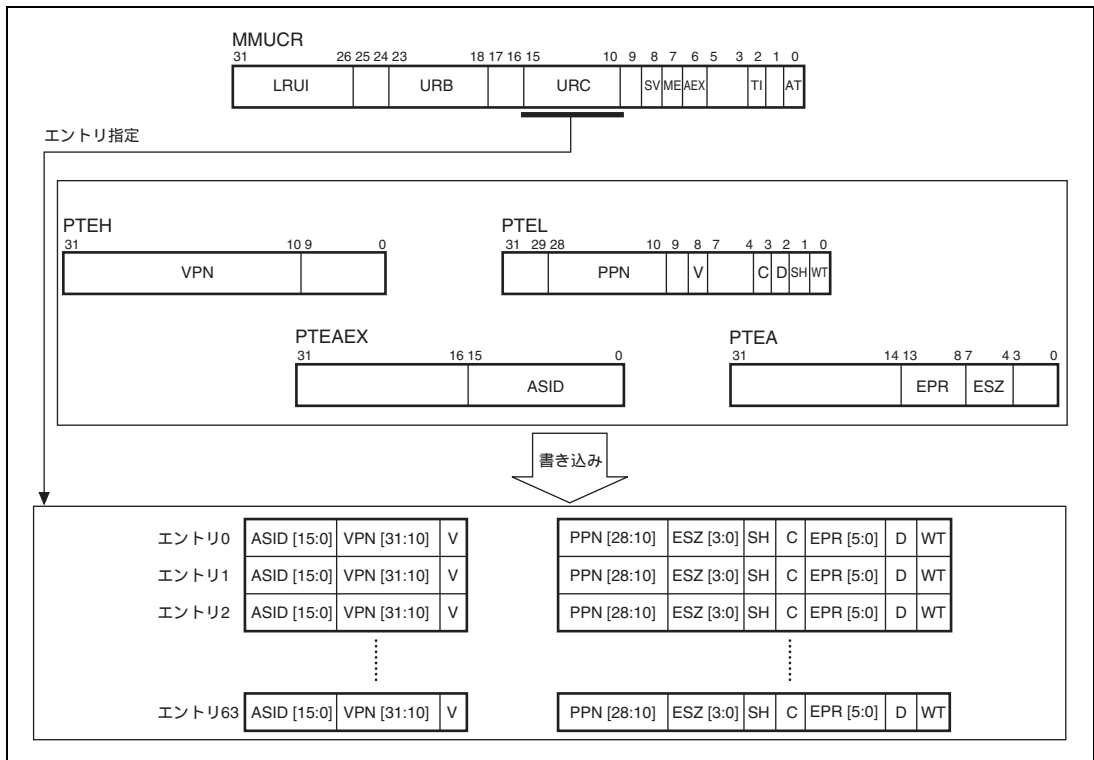


図 A.2 LDTLB 命令の動作 (ASID16 ビット拡張モードでかつ TLB 拡張モード時)

(2) シノニム問題の回避

TLB エントリに 1K、4K バイトページを登録する場合、シノニム問題が発生する可能性があります。シノニム問題とは、複数の仮想アドレスが 1 つの物理アドレスにマッピングされる場合に、キャッシュの複数のエントリに同一の物理アドレスのデータが登録されてしまい、データの一致性を保証できなくなるという問題です。この問題は命令 TLB や命令キャッシュではデータの読み出ししか行わないため発生しません。SH-4A ではオペランドキャッシュの高速動作のために仮想アドレスの [12:5] を用いて、エントリの指定を行います。しかし 1K バイトページでは仮想アドレスの [12:10] が、4K バイトページでは仮想アドレスの [12] がアドレス変換の対象になります。このため変換後の物理アドレスの [12:10] と仮想アドレスの [12:10] が異なる可能性があります。

CCR.CCD=0 かつ CCR.SNM=1 のときは、4K バイトページのシノニム問題をハードウェアが回避します。CCR.CCD=1 または CCR.SNM=0 のとき、または 1K バイトページのシノニム問題はソフトウェア責任で回避する必要があります。

このため UTLB エントリへのアドレス変換情報の登録には以下の制限が生じます。

1. 複数の 1K バイトページの UTLB エントリが同一物理アドレスに変換されるアドレス変換情報を UTLB に登録するとき、VPN[12:10] を必ず等しくなるように登録してください。
2. 複数の 4K バイトページの UTLB エントリが同一物理アドレスに変換されるアドレス変換情報を UTLB に登録するとき、以下のどちらかを実施してください。
 - VPN[12] を必ず等しくなるように登録してください。
 - CCR.CCD=0 かつ CCR.SNM=1 を設定してください。
3. 1K バイトページの UTLB エントリの物理アドレスを、異なるページサイズの UTLB エントリで使用しないでください。
4. CCR.CCD=1 または CCR.SNM=0 の場合、4K バイトページの UTLB エントリの物理アドレスを、異なるページサイズの UTLB エントリで使用しないでください。CCR.CCD=0 かつ CCR.SNM=1 の場合は、4K バイトページの UTLB エントリの物理アドレスを、異なるサイズの UTLB エントリで使用することは可能です。

上記の制限はキャッシュを用いたアクセスを行う場合に限定されます。

【注】 将来の SuperH RISC engine ファミリ拡張に備えて、複数のアドレス変換情報が同一の物理メモリを使用する場合、VPN [20 : 10] を等しくなるようにしてください。また異なるページサイズのアドレス変換情報で同一の物理アドレスを使用しないでください。

A.2.4 メモリ割り付け TLB の構成

(1) ITLB アドレスアレイ (ASID16 ビット拡張モード)

ASID16 ビット拡張モード (MMUCR.AEX=1) では、ITLB アドレスアレイが ITLB アドレスアレイ 1 に名称が変更になります。また、ITLB アドレスアレイ 2 が追加となり、ASID[15:0]のアクセスが可能になります。ASID16 ビット拡張モードでは、ITLB アドレスアレイ 1 の ASID ビットはリザーブビットとなり、書き込み値は 0 を指定してください。ASID8 ビット互換モード (MMUCR.AEX=0) のときには、ITLB アドレスアレイ 2 へのアクセスは行えません。アクセスした場合の動作は保証しません。

(a) ITLB アドレスアレイ 1

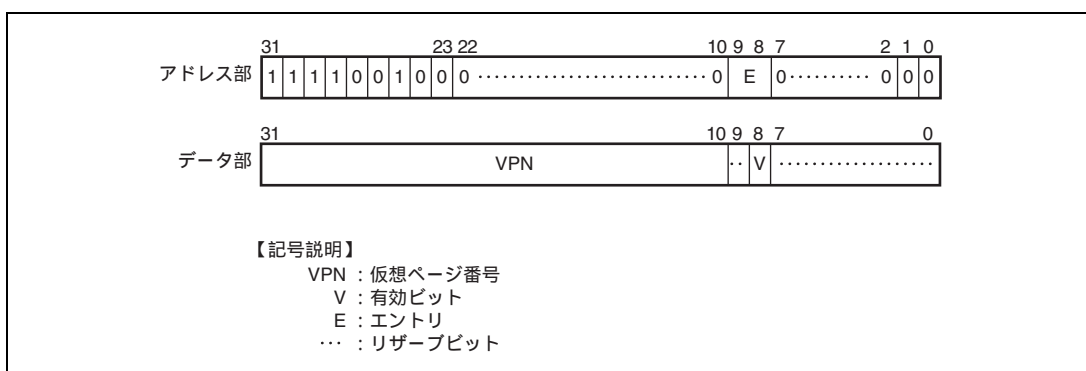


図 A.3 メモリ割り付け ITLB アドレスアレイ 1 (ASID16 ビット拡張モード)

(b) ITLB アドレスアレイ 2

ITLB のアドレスアレイ 2 は P4 領域の H'F280 0000 ~ H'F2FF FFFF に割り付けられています。アドレスアレイ 2 のアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイ 2 に書き込む ASID を指定します。

アドレス部は、[31:23]が ITLB アドレスアレイ 2 を示す H'F28 になっており、[9:8]でエントリを選択するようになっています。

データ部は、[15:0]が ASID[15:0]を示します。

ITLB アドレスアレイ 2 に対しては以下の 2 種類の操作が可能です。

1. ITLB アドレスアレイ 2 読み出し

アドレス部に設定されたエントリに対応する ITLB エントリから、データ部へ ASID[15:0]を読み出します。

2. ITLB アドレスアレイ 2 書き込み

アドレス部に設定されたエントリに対応する ITLB エントリに対して、データ部で指定された ASID[15:0]を書き込みます。

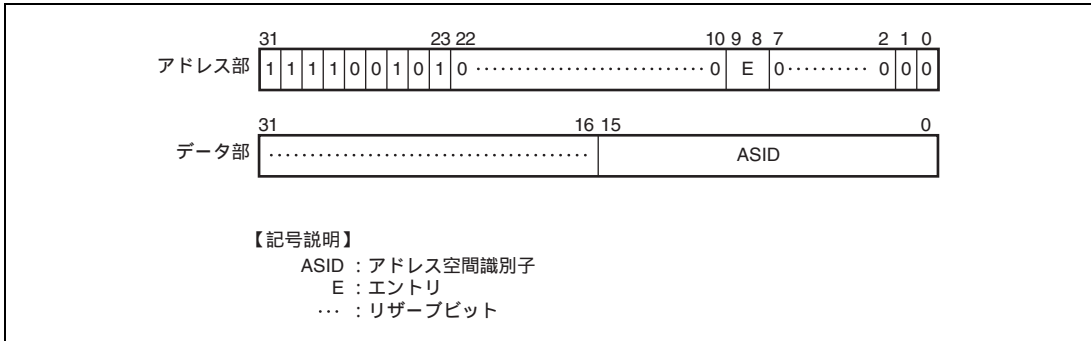


図 A.4 メモリ割り付け ITLB アドレスアレイ 2 (ASID16 ビット拡張モード)

(2) UTLB アドレスアレイ (ASID16 ビット拡張モード)

ASID16 ビット拡張モード (MMUCR.AEX=1) では、UTLB アドレスアレイが UTLB アドレスアレイ 1 に名称が変更になります。また、UTLB アドレスアレイ 2 が追加となり、ASID[15:0]のアクセスが可能になります。ASID16 ビット拡張モードでは、UTLB アドレスアレイ 1 の ASID ビットはリザーブビットとなり、書き込み値は 0 を指定してください。ASID8 ビット互換モード (MMUCR.AEX=0) のときには、UTLB アドレスアレイ 2 へのアクセスは行えません。アクセスした場合の動作は保証しません。

(a) UTLB アドレスアレイ 1

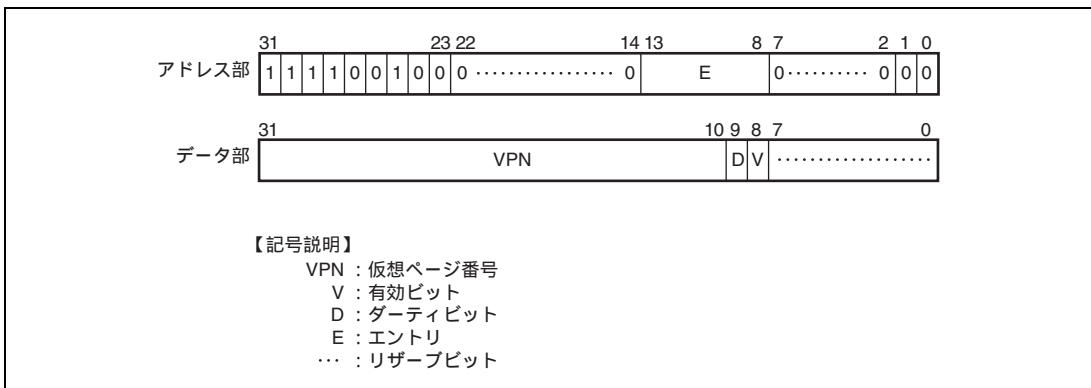


図 A.5 メモリ割り付け UTLB アドレスアレイ 1 (ASID16 ビット拡張モード)

(b) UTLB アドレスアレイ 2

UTLB アドレスアレイ 2 は P4 領域の H'F680 0000 ~ H'F6FF FFFF に割り付けられています。アドレスアレイ 2 のアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む ASID を指定します。

アドレス部は、[31:23]が UTLB アドレスアレイ 2 を示す H'F68 になっており、[13:8]でエントリを選択するようになっています。

データ部は、[15:0]が ASID を示します。UTLB アドレスアレイ 2 に対しては以下の 2 種類の操作が可能です。

1. UTLBアドレスアレイ2読み出し

アドレス部に設定されたエントリに対応するUTLBエントリから、データ部へASID[15:0]を読み出します。

2. UTLBアドレスアレイ2書き込み

アドレス部に設定されたエントリに対応するUTLBエントリに対して、データ部で指定されたASID[15:0]を書き込みます。

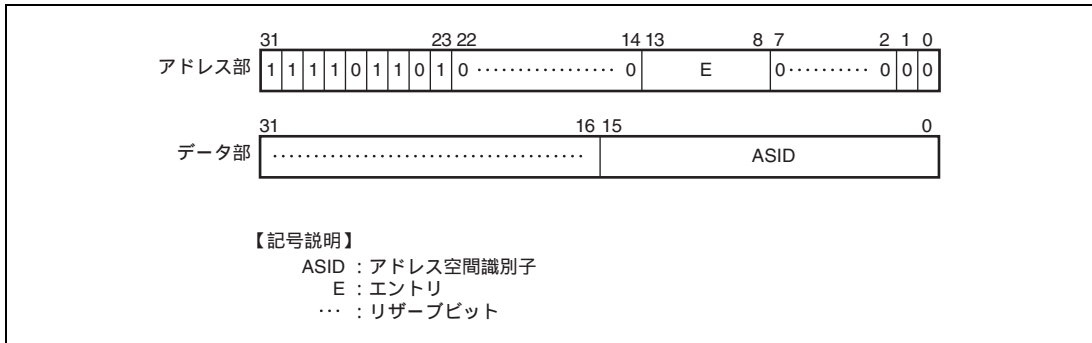


図 A.6 メモリ割付 UTLB アドレスアレイ 2 (ASID16 ビット拡張モード)

A.3 キャッシュ

SH-4A は命令用に 32K バイトの命令キャッシュ(IC)を、データ用に 32K バイトのオペランドキャッシュ(OC)を内蔵しています。

【注】 下記にキャッシュサイズとウェイ、エントリのビット位置の対応を示します。ウェイは図 A.7～A.10 にて適用されます。エントリは図 A.7～A.11 にて適用されます。

キャッシュサイズ	ウェイ	エントリ
32K バイト	ビット[14:13]	ビット[12:5]

A.3.1 変更点

- 複数CPU間のオペランドキャッシュをハードウェアによりコヒーレンシ制御
- 複数CPU間の命令キャッシュのコヒーレンシ制御のためのICBI命令の変更
- CCRレジスタに2次キャッシュを制御するL2IEビットとL2OEビットを追加

A.3.2 特長

キャッシュの特長を表 A.3 に示します。

表 A.3 キャッシュの特長

項目	命令キャッシュ	オペランドキャッシュ
容量	32K バイトキャッシュ	32K バイトキャッシュ
方式	4 ウェイセットアソシアティブ、 仮想アドレスインデックス / 物理アドレスタグ	4 ウェイセットアソシアティブ、 仮想アドレスインデックス / 物理アドレスタグ
ラインサイズ	32 バイト	32 バイト
エントリ数	256 エントリ / ウェイ	256 エントリ / ウェイ
書き込み方式	-	コピーバック / ライトスルー選択可能
置換方式	LRU (Least Recently Used) アルゴリズム	LRU (Least Recently Used) アルゴリズム
CPU 間 キャッシュコヒーレンシ方式	ソフトウェアによりコヒーレンシを保証	CPU ごとにコヒーレンシ有効 / 無効選択可能 • MESI (コピーバック) プロトコル • ESI (ライトスルー) プロトコル

マルチプロセッサ対応 SH-4A より、オペランドキャッシュのアドレスアレイに「複数 CPU 間でキャッシュラインを共有していること」を示す共有ビット(S ビット)が追加されます。図 A.7 にオペランドキャッシュの構成を示します。

A.3.3 レジスタの説明

CCR レジスタに、コヒーレンシ無効 (CCD) ビットとコヒーレンシプロトコル混在 (MCP) ビットとシノニム問題対策ビット (SNM) を追加します。また、IBE ビットが追加され、ICBI 命令を他の CPU も対象にすることができます。RAMCR レジスタから L2FC ビットと L2E ビットを削除します。

表 A.4 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	サイズ
キャッシュ制御レジスタ	CCR	R/W	H'FF00 001C	H'1F00 001C	32
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 A.5 各処理状態におけるレジスタの状態

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
キャッシュ制御レジスタ	CCR	H'0000 0000	H'0000 0000	保持	保持
内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	H'0000 0000	保持	保持

(1) キャッシュ制御レジスタ (CCR)

CCR は、キャッシュの動作モードの選択、キャッシュの全エントリの無効化、キャッシュへの書き込みモードの選択を行います。

CCR への書き換えは、キャッシング不可の P2 領域のプログラムで行われなければなりません。CCR 更新後、キャッシング可能領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI 命令を実行してください。
3. CCR 更新の前にあらかじめ IRMCR.R2 = 0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、CCR 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH ファミリでは保証されない可能性があります。今後の SuperH ファミリでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	IBE	—	—	—	—	—	SNM	MCP	CCD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	L2IE	ICI	—	—	ICE	—	—	—	L2OE	OCI	CB	WT	OCE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~25	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	IBE	0	R/W	ICBI 命令ブロードキャスト有効ビット ICBI 命令を他の CPU にブロードキャストするかどうかを選択します。このビットは ICE=1 かつ CCD=0 の場合のみ有効です。 0 : IC 無効化の対象は、ICBI 命令を実行した CPU の IC のみです。 1 : IC 無効化の対象は、CCD=0 の CPU すべての IC です。
23~19	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18	SNM	0	R/W	シノニム問題対策ビット シノニム問題をハードウェア対策するかどうかを選択します。シノニム問題が発生する可能性のあるプログラムで、SNM=0 としたときの動作は保証しません。 0 : ハードウェア対策しません 1 : ハードウェア対策します シノニム問題については「A.2 メモリマネジメントユニット (MMU)」を参照してください。
17	MCP	0	R/W	コピーレンシプロトコル混在ビット 同じ物理領域に対して異なるコピーレンシプロトコルを使用する場合に設定します (CCD=0 のときのみ有効です)。1CPU でも、複数 CPU で共有しても、異なるコピーレンシプロトコルを使用する場合は 1 を設定してください。異なるコピーレンシプロトコルを使用し、MCP=0 を設定したときの動作は保証しません。 0 : 同じコピーレンシプロトコルを設定 1 : 異なるコピーレンシプロトコルを設定
16	CCD	0	R/W	キャッシュコピーレンシ無効ビット CPU が複数 CPU 間のキャッシュコピーレンシ制御を行うかどうかを選択します。 0 : キャッシュコピーレンシ制御有効 1 : キャッシュコピーレンシ制御無効
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
12	L2IE	0	R/W	命令 2 次キャッシュ有効ビット 0: 命令フェッチで、2 次キャッシュを使用しません。 1: 命令フェッチで、2 次キャッシュを使用します。
11	ICI	0	R/W	IC 無効化ビット このビットに 1 を書き込むと IC の全エントリの V ビットを 0 にします。読み出すと常に 0 が読まれます。
10、9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	ICE	0	R/W	IC 有効ビット IC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報の C ビットも 1 でなければ IC を使用できません。 0: IC を使用しない。 1: IC を使用する。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	L2OE	0	R/W	オペランド 2 次キャッシュ有効ビット 0: オペランドアクセスで、2 次キャッシュを使用しません。 1: オペランドアクセスで、2 次キャッシュを使用します。
3	OCI	0	R/W	OC 無効化ビット このビットに 1 を書き込むと OC の全エントリの V ビットを 0 にします。読み出すと常に 0 が読まれます。
2	CB	0	R/W	キャッシュコヒーレンシ制御ビット 1 29 ビットアドレスモードでの P1 領域のキャッシュコヒーレンシプロトコルを示します。32 ビットアドレスモードでは本ビットは無効になり、PMB エントリの WT ビットの値を参照します。 キャッシュコヒーレンシ制御無効 (CCD=1) のとき 0: EI (ライトスルー) プロトコル 1: MEI (コピーバック) プロトコル キャッシュコヒーレンシ制御有効 (CCD=0) のとき 0: ESI (ライトスルー) プロトコル 1: MESI (コピーバック) プロトコル

ビット	ビット名	初期値	R/W	説明
1	WT	0	R/W	キャッシュコヒーレンシ制御ビット 0 P0、U0、P3 領域のキャッシュコヒーレンシプロトコルを示します。アドレス変換が行われる場合、本ビットは無効になり、ページ管理情報の WT ビットの値を参照します。 キャッシュコヒーレンシ制御無効 (CCD=1) のとき 0 : MEI (コピーバック) プロトコル 1 : EI (ライトスルー) プロトコル キャッシュコヒーレンシ制御有効 (CCD=0) のとき 0 : MESI (コピーバック) プロトコル 1 : ESI (ライトスルー) プロトコル
0	OCE	0	R/W	OC 有効ビット OC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報の C ビットも 1 でなければ OC を使用できません。 0 : OC を使用しない。 1 : OC を使用する。

(2) 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は IC および OC のウェイ数の制御と IC ウェイ予測の制御を行います。

RAMCR への書き換えは、キャッシング不可の P2 領域のプログラムで行われなければなりません。RAMCR 更新後、キャッシング可能領域、IL メモリ領域、OL メモリ領域または U メモリ領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域、IL メモリ領域、OL メモリ領域または U メモリ領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI 命令を実行してください。
3. RAMCR 更新の前にあらかじめ IRMCR.R2 = 0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、RAMCR 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH ファミリでは保証されない可能性があります。今後の SuperH ファミリでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RMD	RP	IC2W	OC2W	ICWPD	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	RMD	0	R/W	内蔵メモリアクセスモードビット 詳細は「SH-4A 拡張機能ソフトウェアマニュアル」の「9.4 内蔵メモリの保護機能」を参照してください。
8	RP	0	R/W	内蔵メモリ保護有効ビット 詳細は「SH-4A 拡張機能ソフトウェアマニュアル」の「9.4 内蔵メモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC 2 ウェイモードビット 0: IC は 4 ウェイ動作 1: IC は 2 ウェイ動作
6	OC2W	0	R/W	OC 2 ウェイモードビット 0: OC は 4 ウェイ動作 1: OC は 2 ウェイ動作
5	ICWPD	0	R/W	IC ウェイ予測抑止ビット IC ウェイ予測の使用を選択します。 0: 命令キャッシュはウェイ予測を行う 1: 命令キャッシュはウェイ予測を行わない
4~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

A.3.4 オペランドキャッシュ動作の説明

(1) 読み出し動作 (コヒーレンシ制御無効)

オペランドキャッシュ (OC) が有効 (CCR.OCE=1)、コヒーレンシ制御無効 (CCR.CCD=1) かつキャッシング可能な領域からデータを読み出す場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、Uビット、SビットおよびLRUを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 3. タグが一致かつVビットが1のウェイが存在する場合
 4. タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象のウェイのUビットが0の場合
 5. タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象のウェイのUビットが1の場合

3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:0]でインデックスされるデータをアクセスサイズに応じて読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス (書き戻しなし)

仮想アドレスに対する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスにタグを登録し、Vビットに1を、Uビットに0を、Sビットに0を書き込みます。また置換したウェイが最新となるようにLRUを更新します。

5. キャッシュミス (書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータをライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスにタグを登録し、Vビットに1を、Uビットに0を、Sビットに0を書き込みます。また置換したウェイが最新となるようにLRUを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

(2) 読み出し動作 (コヒーレンシ制御有効)

オペランドキャッシュ (OC) が有効 (CCR.OCE=1)、コヒーレンシ制御有効 (CCR.CCD=0) かつキャッシング可能な領域からデータを読み出す場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、Uビット、SビットおよびLRUを読み出します。

2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、

- タグが一致かつVビットが1のウェイが存在する場合 3.
- タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象のウェイのUビットが0の場合 4.
- タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象のウェイのUビットが1の場合 5.

3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:0]でインデックスされるデータをアクセスサイズに応じて読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス (書き戻しなし)

コヒーレンシ制御有効 (CCR.CCD=0) になっているCPUのキャッシュを検索し、

- キャッシングしているCPUが存在しかつUビットが1の場合 6.
- キャッシングしているCPUが存在しかつUビットが0、または、キャッシングしているCPUが存在しない場合 7.

5. キャッシュミス (書き戻しあり)

キャッシュラインのデータを外部メモリへ書き戻します。それと同時に、コヒーレンシ有効 (CCR.CCD=0) になっているCPUのキャッシュを検索し、

- キャッシングしているCPUが存在しかつUビットが1の場合 6.
- キャッシングしているCPUが存在しかつUビットが0、または、キャッシングしているCPUが存在しない場合 7.

6. スヌープ動作 (他CPUがダーティデータを持っている場合)

キャッシングしているCPUの該当ライン・該当ウェイのUビットに0、Sビットに1を書き込みます。キャッシングしているCPUからデータを読み込み、置換対象ウェイのキャッシュラインへデータを書き込むと同時に、データを外部メモリへ書き戻します。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスにタグを登録し、Vビットに1を、Uビットに0を、Sビットに1を書き込みます。また置換したウェイが最新となるようにLRUを更新します。

7. スヌープ動作 (他CPUがダーティデータを持っていない場合)

キャッシングしているCPUが存在している場合は、キャッシングしているCPUの該当ライン該当ウェイのSビットに1を書き込みます。仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、タグに物理アドレスを登録し、Vビットに1を、Uビットに0を書き込みます。他CPUがキャッシングしていた場合はSビットに1を、他CPUがキャッシングしていなかった場合はSビットに0を書き込みます。また置換したウェイが最新となるようにLRUを更新します。

(3) プリフェッチ動作 (コヒーレンシ制御無効)

オペランドキャッシュ(OC)が有効(CCR.OCE=1)、コヒーレンシ制御無効(CCR.CCD=1)かつキャッシング可能な領域からデータをOCにプリフェッチする場合は、OCは以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、Uビット、SビットおよびLRUを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象のウェイのUビットが0の場合 4.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象のウェイのUビットが1の場合 5.
3. キャッシュヒット
ヒットしたウェイが最新となるようにLRUビットを更新します。
4. キャッシュミス(書き戻しなし)

仮想アドレスに対する物理アドレス空間から、置換対象ウェイのキャッシュラインヘデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことはなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスにタグを登録し、Vビットに1を、Uビットに0を、Sビットに0を書き込みます。また置換したウェイが最新となるようにLRUを更新します。

5. キャッシュミス (書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータをライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスにタグを登録し、Vビットに1を、Uビットに0を、Sビットに0を書き込みます。また置換したウェイが最新となるようにLRUを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

(4) プリフェッチ動作 (コヒーレンシ制御有効)

オペランドキャッシュ (OC) が有効 (CCR.OCE=1)、コヒーレンシ制御有効 (CCR.CCD=0) かつキャッシング可能な領域からデータを OC にプリフェッチする場合は、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、Uビット、SビットおよびLRUを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象のウェイのUビットが0の場合 4.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象のウェイのUビットが1の場合 5.
3. キャッシュヒット
ヒットしたウェイが最新となるようにLRUビットを更新します。
4. キャッシュミス (書き戻しなし)
コヒーレンシ制御有効 (CCR.CCD=0) になっているCPUのキャッシュを検索し、
 - キャッシングしているCPUが存在しかつUビットが1の場合 6.
 - キャッシングしているCPUが存在しかつUビットが0、または、キャッシングしているCPUが存在しない場合 7.
5. キャッシュミス (書き戻しあり)
キャッシュラインのデータを外部メモリへ書き戻します。それと同時に、コヒーレンシ有効 (CCR.CCD=0) になっているCPUのキャッシュを検索し、
 - キャッシングしているCPUが存在しかつUビットが1の場合 6.
 - キャッシングしているCPUが存在しかつUビットが0、または、キャッシングしているCPUが存在しない場合 7.

6. スヌープ動作 (他CPUがダーティデータを持っている場合)

キャッシングしているCPUの該当ライン・該当ウェイのUビットに0、Sビットに1を書き込みます。キャッシングしているCPUからデータを読み込み、置換対象ウェイのキャッシュラインへデータを書き込むと同時に、データを外部メモリへ書き戻します。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスにタグを登録し、Vビットに1を、Uビットに0を、Sビットに1を書き込みます。また置換したウェイが最新となるようにLRUを更新します。

7. スヌープ動作 (他CPUがダーティデータを持っていない場合)

キャッシングしているCPUが存在している場合は、キャッシングしているCPUの該当ライン・該当ウェイのSビットに1を書き込みます。仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、タグに物理アドレスを登録し、Vビットに1を、Uビットに0を書き込みます。他CPUがキャッシングしていた場合はSビットに1を、他CPUがキャッシングしていなかった場合はSビットに0を書き込みます。また置換したウェイが最新となるようにLRUを更新します。

(5) 書き込み動作 (コヒーレンシ制御無効)

オペランドキャッシュ (OC) が有効 (CCR.OCE=1)、コヒーレンシ制御無効 (CCR.CCD=1) かつキャッシング可能な領域に対してデータが書き込まれる場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、Uビット、SビットおよびLRUを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較、および対象となる領域の属性から、

	コピーバック	ライトスルー
• タグが一致かつVビットが1のウェイが存在する場合	3.	4.
• タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象のウェイのUビットが0の場合	5.	7.
• タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象のウェイのUビットが1の場合	6.	7.

3. キャッシュヒット (コピーバック)

ヒットしたウェイのデータ部における仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。またUビットに1を書き込み、ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュヒット (ライトスルー)

ヒットしたウェイのデータ部における仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込むとともに、仮想アドレスに対応する外部メモリに対しても書き込みを行います。またヒットしたウェイが最新となるようにLRUビットを更新します。この場合、Uビットは更新されません。

5. キャッシュミス (コピーバック、書き戻しなし)

置換対象ウェイのデータ部の、仮想アドレス[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます (ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスにタグを登録し、Vビットに1を、Uビットに1を、Sビットに0を書き込みます。また置換したウェイが最新となるようにLRUを更新します。

6. キャッシュミス (コピーバック、書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータをライトバックバッファへ退避します。その後、置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます (ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスにタグを登録し、Vビットに1を、Uビットに1を、Sビットに0を書き込みます。また置換したウェイが最新となるようにLRUを更新します。その後、ライトバックバッファのデータを外部メモリを書き戻します。

7. キャッシュミス (ライトスルー)

仮想アドレスに対応した外部メモリへ、指定されたアクセスサイズで書き込みを行います。この場合、キャッシュへの書き込みは行われません。タグ、Vビット、Uビット、Sビット、LRUビットも更新されません。

(6) 書き込み動作 (コヒーレンシ制御有効)

オペランドキャッシュ (OC) が有効 (CCR.OCE=1)、コヒーレンシ有効 (CCR.CCD=0) かつキャッシング可能な領域に対してデータが書き込まれる場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、Uビット、SビットおよびLRUを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較、および対象となる領域の属性から、

	MESI プロトコル	ESI プロトコル
• タグが一致、Vビットが1かつSビットが0のウェイが存在する場合	3.	4.
• タグが一致、Vビットが1かつSビットが1のウェイが存在する場合	5.	6.
• タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象のウェイのUビットが0の場合	7.	9.
• タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象のウェイのUビットが1の場合	8.	9.
3. キャッシュヒット (Sビット=0) (MESIプロトコル)		
ヒットしたウェイのデータ部における仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。またUビットに1を書き込み、ヒットしたウェイが最新となるようにLRUビットを更新します。		
4. キャッシュヒット (Sビット=0) (ESIプロトコル)		
ヒットしたウェイのデータ部における仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込むとともに、仮想アドレスに対応する外部メモリに対しても書き込みを行います。またヒットしたウェイが最新となるようにLRUビットを更新します。この場合、Uビットは更新されません。		
5. キャッシュヒット (Sビット=1) (MESIプロトコル)		
ヒットしたウェイのデータ部における仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。またUビットに1、Sビットに0を書き込み、ヒットしたウェイが最新となるようにLRUビットを更新します。コヒーレンシ制御有効 (CCR.CCD=0) になっている他CPUがキャッシングしている場合は、キャッシングしているCPUの該当ライン・該当ウェイのVビットとSビットに0を書き込みます。		
6. キャッシュヒット (Sビット=1) (ESIプロトコル)		
ヒットしたウェイのデータ部における仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込むとともに、仮想アドレスに対応する外部メモリに対しても書き込みを行います。また、Sビットに0を書き込み、ヒットしたウェイが最新となるようにLRUビットを更新します。この場合、Uビットは更新されません。コヒーレンシ制御有効 (CCR.CCD=0) になっている他CPUがキャッシングしている場合は、キャッシングしているCPUの該当ライン・該当ウェイのVビットとSビットに0を書き込みます。		
7. キャッシュミス (MESIプロトコル、書き戻しなし)		
コヒーレンシ制御有効 (CCR.CCD=0) になっているCPUのキャッシュを検索し、		
• キャッシングしているCPUが存在しかつUビットが1の場合	10.	
• キャッシングしているCPUが存在し、かつ、Uビットが0、または、キャッシングしているCPUが存在しない場合	11.	
8. キャッシュミス (MESIプロトコル、書き戻しあり)		
キャッシュラインのデータを外部メモリへ書き戻します。それと同時に、コヒーレンシ制御有効 (CCR.CCD		

=0) になっているCPUのキャッシュを検索し、

- キャッシングしているCPUが存在しかつUビットが1の場合 10.
- キャッシングしているCPUが存在しかつUビットが0、または、キャッシングしているCPUが存在しない場合 11.

9. キャッシュミス (ライトスルー)

仮想アドレスに対応した外部メモリへ、指定されたアクセスサイズで書き込みを行います。この場合、キャッシュへの書き込みは行われません。タグ、Vビット、Uビット、Sビット、LRUビットも更新されません。キャッシングしているCPUが存在している場合は、キャッシングしているCPUの該当ライン・該当ウェイのVビットとSビットに0を書き込みます。(コヒーレンシプロトコル混在状態 (CCR.MCP=1) のときは、他CPUがダーティデータを持っていることがあります。この場合、ダーティデータを外部メモリに書き戻します。

10. スヌープ動作 (他CPUがダーティデータを持っている場合)

キャッシングしているCPUの該当ライン・該当ウェイのVビットとUビットに0を書き込みます。キャッシングしているCPUからデータを読み込み、置換対象ウェイのキャッシュラインへデータを書き込むと同時に、データを外部メモリへ書き戻します。置換対象ウェイのデータ部における仮想アドレス[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。

置換対象ウェイのデータ部における仮想アドレス[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。

データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスにタグを登録し、Vビットに1を、Uビットに1を、Sビットに0を書き込みます。また置換したウェイが最新となるようにLRUを更新します。

11. スヌープ動作 (他CPUがダーティデータを持っていない場合)

キャッシングしているCPUが存在している場合は、キャッシングしているCPUの該当ライン・該当ウェイのVビットとSビットに0を書き込みます。置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます (ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスにタグを登録し、Vビットに1を、Uビットに1を、Sビットに0を書き込みます。また置換したウェイが最新となるようにLRUを更新します。

(7) キャッシュ操作命令の動作説明

コヒーレンシ制御有効 (CCR.CCD=0) になっている CPU の OC 間のコヒーレンシはハードウェアで保証します。コヒーレンシ制御無効 (CCR.CCD=1) になっている CPU の OC とすべての CPU の IC 間のコヒーレンシはソフトウェアで保証してください。また、キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。

SH-4A ではキャッシュを操作する命令として次の 6 命令をサポートしています。各命令の詳細は「A.6 各命令の説明」および「SH-4A 拡張機能ソフトウェアマニュアル」を参照してください。

- オペランドキャッシュインバリデイト命令 : OCBI @Rn (オペランドキャッシュの無効化 (書き戻しなし))
OCBI命令を発行したCPUがコヒーレンシ無効 (CCR.CCD=1) の場合は、OCBI命令を発行したCPUのOCのみがキャッシュ操作の対象です。OCBI命令を発行したCPUがキャッシュコヒーレンシ制御有効 (CCR.CCD=0) の場合は、キャッシュコヒーレンシ制御有効 (CCR.CCD=0) のすべてのCPUのOCがキャッシュ操作の対象です。
また、OCBI命令をOCアドレスアレイ領域に発行した場合、コヒーレンシ制御にかかわらずOCBI命令を発行したCPUのOCがキャッシュ操作の対象になります。
- オペランドキャッシュバージ命令 : OCBP @Rn (オペランドキャッシュの無効化 (書き戻しあり))
OCBP命令を発行したCPUがコヒーレンシ制御無効 (CCR.CCD=1) の場合は、OCBP命令を発行したCPUのOCのみがキャッシュ操作の対象です。OCBP命令を発行したCPUがキャッシュコヒーレンシ制御有効 (CCR.CCD=0) の場合は、キャッシュコヒーレンシ制御有効 (CCR.CCD=0) のすべてのCPUのOCがキャッシュ操作の対象です。
また、OCBP命令をOCアドレスアレイ領域に発行した場合、コヒーレンシ制御にかかわらずOCBP命令を発行したCPUのOCがキャッシュ操作の対象になります。
- オペランドキャッシュライトバック命令 : OCBWB @Rn (オペランドキャッシュの書き戻し)
OCBWB命令を発行したCPUがコヒーレンシ制御無効 (CCR.CCD=1) の場合は、OCBWB命令を発行したCPUのOCのみがキャッシュ操作の対象です。OCBWB命令を発行したCPUがコヒーレンシ制御有効 (CCR.CCD=0) の場合は、コヒーレンシ制御有効 (CCR.CCD=0) のすべてのCPUのOCがキャッシュ操作の対象です。
また、OCBWB命令をOCアドレスアレイ領域に発行した場合、コヒーレンシ制御にかかわらずOCBWB命令を発行したCPUのOCがキャッシュ操作の対象になります。
- オペランドキャッシュアロケート命令 : MOVCA.L R0, @Rn (オペランドキャッシュの確保)
MOVCA.L命令を発行したCPUがコヒーレンシ制御無効 (CCR.CCD=1) の場合は、MOVCA.L命令を発行したCPUのOCのみがキャッシュ操作の対象です。MOVCA.L命令を発行したCPUがコヒーレンシ有効 (CCR.CCD=0) の場合は、コヒーレンシ制御有効 (CCR.CCD=0) のすべてのCPUのOCを検索し、MOVCA.Lを発行したCPU以外のOCが持っていた場合はそのラインを無効にし、MOVCA.L命令を発行したCPUのOCを確保します。
- 命令キャッシュインバリデイト命令 : ICBI @Rn (命令キャッシュの無効化)
ICBI命令を発行したCPUがICBI命令ブロードキャスト有効 (CCR.IBE=1) でかつキャッシュコヒーレンシ制御有効 (CCR.CCD=0) の場合、コヒーレンシ制御有効 (CCR.CCD=0) のすべてのCPUのICがキャッシュ操作命令の対象です。

- オペランドキャッシュ同期命令 : SYNCO (データ転送完了待ち)

SYNCO命令を発行したCPUがコヒーレンシ制御無効(CCR.CCD=1)またはコヒーレンシ制御有効(CCR.CCD=0)に関係なく、SYNCO命令を発行したCPUのバスアクセスのみが対象です。

また、オペランドキャッシュのコヒーレンシ制御のため、コヒーレンシ制御有効(CCR.CCD=0)のCPUのみ SuperHyway バスからの PURGE および FLUSH トランザクションを受け付けることが可能です。キャッシュコヒーレンシ無効(CCR.CCD=1)のCPUはPURGE/FLUSH トランザクションを受け付けられないので注意してください。また、SuperHyway バスからの PURGE および FLUSH トランザクションは、コヒーレンシ制御有効(CCR.CCD=0)のCPUですべて同時に受け付けられます。

A.3.5 メモリ割り付けキャッシュの構成

(1) IC アドレスアレイ

IC のアドレスアレイは P4 領域の H'F000 0000 ~ H'F0FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むタグと V ビットを指定します。

アドレス部は[31:24]が IC アドレスアレイを示す H'F0 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[3]の連想ビット (A ビット) は IC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部は[31:10]がタグを、[0]が V ビットを示します。

IC アドレスアレイに対しては次の 3 種類の操作が可能です。

(a) IC アドレスアレイ読み出し

アドレス部に設定されたウェイとエントリに対応する IC エントリからデータ部へタグと V ビットを読み出します。読み出す場合、アドレス部の A ビットは 0 にしてください。

(b) IC アドレスアレイ書き込み (連想なし)

アドレス部に設定されたウェイとエントリに対応する IC エントリに対して、データ部で指定されたタグと V ビットを書き込みます。アドレス部の A ビットは 0 にしてください。

(c) IC アドレスアレイ書き込み (連想あり)

アドレス部の A ビットが 1 で書き込んだとき、アドレス部に設定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。ビット[14:13]のウェイ番号は使用されません。このとき、MMU がイネーブルなら、データ部[31:10]で指定した仮想アドレスを ITLB を用いて物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイの V ビットが 1 であったなら、データ部で指定した V ビットを IC のエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作は IC の特定のエントリ無効化に用いられます。アドレス変換の際に ITLB ミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

【注】 本機能は今後の SuperH ファミリではサポートされない可能性があります。ITLB ミスハンドリングや命令 TLB ミス例
外の通知を行い、確実に IC の操作が可能な ICBI 命令の使用を推奨します。

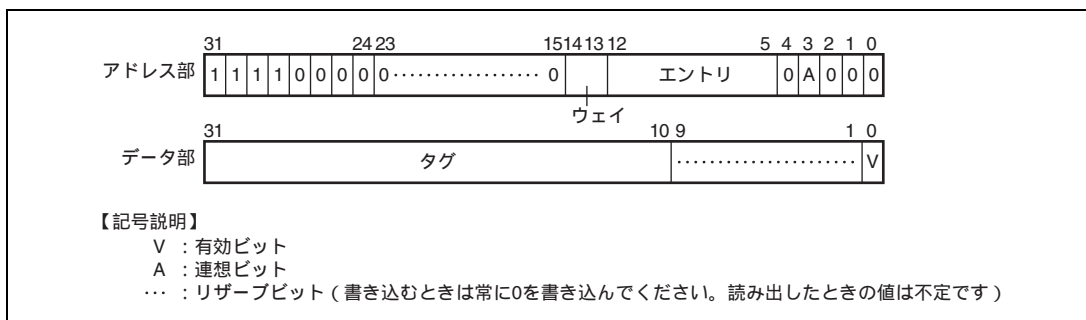


図 A.8 メモリ割り付け IC アドレスアレイ

(2) IC データアレイ

IC のデータアレイは P4 領域の H'F100 0000 ~ H'F1FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は [31:24] が IC データアレイを示す H'F1 になっており、[14:13] でウェイ、[12:5] でエントリを指定するようになっています。アドレス部 [4:2] はエントリ内のロングワードデータの指定に用います。アクセスサイズはロングワード固定なのでアドレス部 [1:0] は 0 を指定してください。

データ部はロングワードデータの指定に用います。

IC データアレイに対しては次の 2 種類の操作が可能です。

(a) IC データアレイ読み出し

アドレス部に設定されたウェイとエントリに対応する IC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(b) IC データアレイ書き込み

アドレス部に設定されたウェイとエントリに対応する IC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。

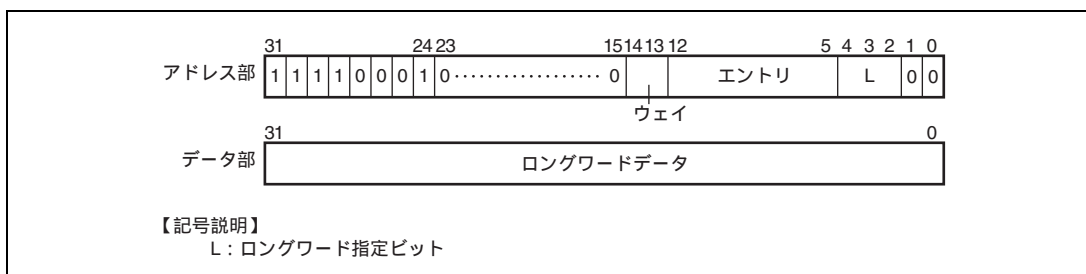


図 A.9 メモリ割り付け IC データアレイ

(3) OC アドレスアレイ

OC のアドレスアレイは P4 領域の H'F400 0000 ~ H'F4FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイトとエントリを指定し、データ部には書き込むタグと S ビット、U ビット、V ビットを指定します。

アドレス部は[31:24]が OC アドレスアレイを示す H'F4 になっており、[14:13]でウェイト、[12:5]でエントリを指定するようになっています。アドレス部[3]の連想ビット (A ビット) は OC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部は[31:10]がタグを、[2]が S ビットを、[1]が U ビットを、[0]が V ビットを示します。

OC アドレスアレイに対しては次の 3 種類の操作が可能です。

(a) OC アドレスアレイ読み出し

アドレス部に設定されたウェイトエントリに対応する OC エントリからデータ部へタグと S ビット・U ビット・V ビットを読み出します。読み出す場合、アドレス部の A ビットは 0 にしてください。

(b) OC アドレスアレイ書き込み (連想なし)

アドレス部に設定されたウェイトエントリに対応する OC エントリに対して、データ部で指定されたタグと S ビット・U ビット・V ビットを書き込みます。アドレス部の A ビットは 0 にしてください。

書き込みを U ビットが 1、かつ V ビットが 1 のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データ部で指定されたタグと S ビット・U ビット・V ビットを書き込みます。

(c) OC アドレスアレイ書き込み (連想あり)

アドレス部の A ビットが 1 で書き込んだとき、アドレス部に設定されたエントリに格納されている各ウェイトのタグとデータ部で指定されたタグとの間で一致判定が行われます。ビット[14:13]のウェイト番号は使用されません。このとき、MMU がイネーブルなら、データ部[31:10]で指定した仮想アドレスを UTLB を用いて物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイトの V ビットが 1 であったなら、データ部で指定した S ビット・U ビット・V ビットを OC のエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作は OC の特定のエントリ無効化に用いられます。このとき OC のエントリの U ビットが 1 で、V ビットに 0 もしくは U ビットに 0 を書き込んだ場合、書き戻しが発生します。アドレス変換の際に UTLB ミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

【注】 本機能は今後の SuperH ファミリーではサポートされない可能性があります。データ TLB ミス例外の通知を行い、確実に OC の操作が可能な OCBI/OCBP/OCBWB 命令の使用を推奨します。

A.3.6 使用上の注意

(1) スリープモード

コヒーレンシ有効の CPU がスリープモードに入る前は、OC の全エントリパーズと IC の全エントリ無効化を行ってください。コヒーレンシ有効の CPU がライトスリープモードに入る場合は、OC の全エントリパーズと IC の全エントリ無効化は不要です。ライトスリープ中も他 CPU の OC とのコヒーレンシは維持されます。また、CCR.IBE=1 で ICBI 命令を実行した場合、ライトスリープ中の CPU に対しても IC の無効化の処理を行います。

(2) データ共有

コヒーレンシ無効の CPU 間、または、コヒーレンシ有効の CPU とコヒーレンシ無効の CPU 間でデータを共有する場合は、非キャッシュ領域を使用してください。

A.4 内蔵メモリ

A.4.1 内蔵メモリ変更点

- 物理アドレスを変更
- CPU/FPUから物理アドレスによりSuperHyway経由のアクセスを追加
- 内蔵メモリのSuperHywayバスマスタからのアクセスが可能なライトスリープモードを追加

A.4.2 特長

- メモリマップ：

OLメモリ、ILメモリは、表A.6、表A.7に示される仮想アドレス空間および物理アドレス空間に配置されています。

【注】 物理アドレス空間は、製品により異なる場合があります。

CPUから、仮想アドレス空間のP4領域 (SR.MD = 1の場合)、あるいは仮想アドレス空間の内蔵メモリ領域 (SR.MD = 0かつRAMCR.RMD = 1の場合) からアクセス可能です。このアドレスを用いたアクセスは常に非キャッシュアクセスとなります。また、自CPUの内蔵メモリのみへのアクセスが可能です。

物理アドレス空間のアドレスには、U0、P0、P1、P2またはP3領域からアクセス可能です。このアドレスを用いたアクセスが、キャッシュアクセスとなるか非キャッシュアクセスとなるかは、CCRレジスタ、MMUCRレジスタ、TLBおよびPMBの設定に従います。また、すべてのCPUから同じアドレスで同じ内蔵メモリにアクセスできます。

表 A.6 OL メモリアドレス

アドレス空間		ページ	メモリサイズ
			16KB
仮想アドレス		ページ 0	H'E500 E000 ~ H'E500 FFFF
		ページ 1	H'E501 0000 ~ H'E501 1FFF
物理アドレス	CPU0	ページ 0	H'1400 E000 ~ H'1400 FFFF
		ページ 1	H'1401 0000 ~ H'1401 1FFF
	CPU1	ページ 0	H'1480 E000 ~ H'1480 FFFF
		ページ 1	H'1481 0000 ~ H'1481 1FFF

表 A.7 IL メモリアドレス

アドレス空間		メモリサイズ
		8KB
仮想アドレス	ページ 0	H'E520 0000 ~ H'E520 0FFF
	ページ 1	H'E520 1000 ~ H'E520 1FFF
物理アドレス	CPU0	H'1420 0000 ~ H'1420 1FFF
	CPU1	H'14A0 0000 ~ H'14A0 1FFF

A.4.3 動作説明

(1) CPU からのオペランドアクセスまたは FPU からアクセス

(a) OL メモリ

CPU からのオペランドアクセスおよび FPU からのアクセス手段として、仮想アドレスによりオペランドバスから直接アクセスを行う方法と、物理アドレスにより SuperHyway 経由のアクセスを行う方法があります。

オペランドバスからのアクセスは、ページ競合が発生しない限り 1 サイクルアクセスになりますが、他 CPU の OL メモリにアクセスすることはできません。

SuperHyway 経由のアクセスは、OL メモリの内容を OC にキャッシングするキャッシュャブルアクセスと、非キャッシュャブルアクセスがあります。キャッシュャブルアクセスの場合、OC と OL メモリのコヒーレンシはソフトウェアにより保証してください。たとえばキャッシュャブルのライトアクセスを行った領域を DMAC により読み出す場合には、あらかじめ OCBP 命令または OCBWB 命令によりライトバックを行っておくか、DMAC から PURGE または FLUSH トランザクションを発行することによりコヒーレンシを保証してください。

CPU からのオペランドアクセスが、非キャッシュャブルアクセスになるかキャッシュャブルアクセスになるかは外部メモリの場合と同様です。詳細は「A.2 メモリマネジメントユニット (MMU)」を参照してください。

(b) IL メモリ

CPU からのオペランドアクセスおよび FPU からのアクセスは、仮想アドレスによりキャッシュ・RAM 内蔵バス経由のアクセスと、物理アドレスにより SuperHyway バス経由のアクセスを行う方法があります。

キャッシュ・RAM 内蔵バス経由のアクセスは複数サイクルかかります。また、他 CPU の IL メモリにアクセスすることはできません。

SuperHyway バス経由のアクセスは、IL メモリの内容を OC にキャッシングするキャッシュャブルアクセスと、非キャッシュャブルアクセスがあります。キャッシュャブルアクセスの場合、OC と IL メモリのコヒーレンシはソフトウェアにより保証してください。たとえばキャッシュャブルのライトアクセスを行った領域を DMAC により読み出す場合には、あらかじめ OCBP 命令または OCBWB 命令によりライトバックを行っておくか、DMAC から PURGE または FLUSH トランザクションを発行することによりコヒーレンシを保証してください。

CPU からのオペランドアクセスが、非キャッシュャブルアクセスになるか、キャッシュャブルアクセスになるかは外部メモリの場合と同様です。詳細は「A.2 メモリマネジメントユニット (MMU)」を参照してください。

(2) CPU からの命令フェッチアクセス

(a) OL メモリ

CPU からの命令フェッチアクセスは、仮想アドレスによりキャッシュ・RAM 内蔵バス経由のアクセスと、物理アドレスにより SuperHyway 経由のアクセスを行う方法があります。

キャッシュ・RAM 内蔵バス経由のアクセスは複数サイクルかかります。また、他 CPU の OL メモリにアクセスすることはできません。

SuperHyway バス経由のアクセスは、OL メモリの内容を IC にキャッシングするキャッシュャブルアクセスと、非キャッシュャブルアクセスがあります。キャッシュャブルアクセスの場合、IC と OL メモリのコヒーレンシはソフトウェアにより保証してください。たとえばキャッシュャブルで走行するプログラムを書き換える場合には、書き換え後に ICBI 命令により該当部分を無効化するか、または CCR.ICI=1 書き込みにより IC 全部を無効化してから該

当プログラムへ分岐するようにしてください。

CPU からの命令フェッチが、非キャッシュャブルアクセスになるか、キャッシュャブルアクセスになるかは外部メモリの場合と同様です。詳細は「A.2 メモリマネジメントユニット (MMU)」を参照してください。

(b) IL メモリ

CPU からの命令フェッチアクセス手段として、仮想アドレスにより命令バスから直接アクセスを行う方法と、物理アドレスにより SuperHyway 経由のアクセスを行う方法があります。

命令バスからのアクセスは、ページ競合が発生しない限り 1 サイクルアクセスになりますが、他の CPU の IL メモリにアクセスすることはできません。

SuperHyway バス経由のアクセスは、IL メモリの内容を IC にキャッシングするキャッシュャブルアクセスと、非キャッシュャブルアクセスがあります。キャッシュャブルアクセスの場合、IC と IL メモリのコヒーレンシはソフトウェアにより保証してください。たとえばキャッシュャブルで走行するプログラムを書き換える場合には、書き換え後に ICBI 命令により該当部分を無効化するか、または CCR.ICI=1 書き込みにより IC 全部を無効化してから該当プログラムへ分岐するようにしてください。

CPU からの命令フェッチが、非キャッシュャブルアクセスになるかキャッシュャブルアクセスになるかは外部メモリの場合と同様です。詳細は「A.2 メモリマネジメントユニット (MMU)」を参照してください。

A.4.4 使用上の注意

(1) 内蔵メモリのコヒーレンシ

内蔵メモリに命令を配置する場合は、内蔵メモリに命令を書き込んだ後、以下のシーケンスを実行してから書き換え後の命令への分岐を行ってください。

- SYNCO
- ICBI @Rn

この場合、ICBI 命令の対象はアドレスエラー例外にならない範囲で任意のアドレスでよく (内蔵メモリのアドレスでもよい)、キャッシュヒット/キャッシュミスどちらでもかまいません。

同一アドレスに対して、キャッシュ・RAM 内蔵バスから直接アクセスと、SuperHyway バス経由でのアクセスを同時に行わないでください。同時に行った場合の内蔵メモリのコヒーレンシは保証されません。

(2) スリープモード

(a) OL メモリ、IL メモリ

スリープモード中は、DMAC などの SuperHyway バスマスタモジュールから OL メモリあるいは IL メモリへのアクセスは行えません。ライトスリープモード中は、DMAC などの SuperHyway バスマスタモジュールから OL メモリあるいは IL メモリへのアクセスが行えます。

(3) 32 ビットアドレス拡張モード使用時の注意事項

UTLB、ITLB または PMB の PPN フィールドに内蔵メモリの仮想アドレスを設定しないでください。MMU または PMB のアドレス変換を用いて内蔵メモリをアクセスしたい場合は、必ず PPN に内蔵メモリの物理アドレスを設定してください。PPN に内蔵メモリの仮想アドレスを設定した場合の動作は保証しません。

A.5 2次キャッシュ

マルチプロセッサ対応 SH-4A は命令 / データ混在の 256K バイトの 2 次キャッシュを内蔵しています。

【注】 * キャッシュサイズが変わると、図 A.12 で示されるウェイおよびエントリを表すビット位置とタグのサイズが変わります。表 A.8 にキャッシュサイズとウェイ、エントリのビット位置およびタグのサイズの対応を示します。

表 A.8 キャッシュサイズとウェイ、エントリのビット位置、タグサイズの対応

キャッシュサイズ	ウェイ	エントリ	タグのビット幅
128K バイト	ビット[16:15]	ビット[14:5]	18 ビット (ビット[31:14])
256K バイト	ビット[17:16]	ビット[15:5]	17 ビット (ビット[31:15])

A.5.1 特長

2 次キャッシュの特長を表 A.9 に示します。

表 A.9 2 次キャッシュの特長

項目	2 次キャッシュ
容量	256K バイト
方式	4 ウェイセットアソシアティブ、物理アドレスインデックス / 物理アドレスタグ
ラインサイズ	32 バイト
エントリ数	2048 エントリ / ウェイ
ライト方式	ライトスルー
置換方式	LRU (Least Recently Used) アルゴリズム
動作クロック	システムクロック
その他の機能	<p>コヒーレンシ有効の CPU 間で 2 次キャッシュを共有する。</p> <p>コヒーレンシ無効の CPU 間または、コヒーレンシ有効の CPU とコヒーレンシ無効の CPU 間では 2 次キャッシュを排他的に使用。</p> <p>IC/OC 共通、IC のみ、OC のみの 2 次キャッシュから選択可能</p> <p>容量の半分または全部を共有メモリとして使用可能*</p>

【注】 * 仮想アドレス、物理アドレスとも、H'E4000000 ~ H'E403FFFF(256KB 時)、H'E4000000 ~ H'E401FFFF(128KB 時) に配置され、それぞれのアドレスのみ RAM としてアクセス可能になります。

A.5.2 レジスタの説明

CCR レジスタに、2次キャッシュの有効/無効を選択するビットを設けます。L2CR レジスタを追加し、2次キャッシュの制御を行います。CCR レジスタはCPU ごとにあります。L2CR レジスタはすべてのCPU に共通のレジスタです。

表 A.10 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	サイズ
キャッシュ制御レジスタ	CCR	R/W	H'FF00 001C	H'1F00 001C	32
2次キャッシュ制御レジスタ	L2CR	R/W	H'FBF0 0000	-	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7 からアクセスするものです。

表 A.11 各処理モードにおけるレジスタの状態

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
キャッシュ制御レジスタ	CCR	H'0000 0000	H'0000 0000	保持	保持
2次キャッシュ制御レジスタ	L2CR	H'0000 0000	-	-	-

(1) キャッシュ制御レジスタ (CCR)

CCR は、キャッシュの動作モードの選択、キャッシュの全エントリの無効化、キャッシュへの書き込みモードの選択を行います。

CCR への書き換えは、キャッシング不可の P2 領域のプログラムで行われなければなりません。CCR 更新後、キャッシング可能領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. CCR更新の前にあらかじめIRMCR.R2=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、CCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後のSuperHファミリでは保証されない可能性があります。今後のSuperHファミリでの互換性を保証するためには、1または2を用いることを推奨します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	IBE	—	—	—	—	—	SNM	MCP	CCD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	L2IE	ICI	—	—	ICE	—	—	—	L2OE	OCI	CB	WT	OCE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~25	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	IBE	0	R/W	ICBI 命令ブロードキャスト有効ビット ICBI 命令を他の CPU にブロードキャストするかどうかを選択します。このビットは ICE=1 かつ CCD=0 の場合のみ有効です。 0 : IC 無効化の対象は、ICBI 命令を実行した CPU の IC のみです。 1 : IC 無効化の対象は、CCD=0 の CPU すべての IC です。
23~19	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18	SNM	0	R/W	シノニム問題対策ビット シノニム問題をハードウェア対策するかどうかを選択します。シノニム問題が発生する可能性のあるプログラムで、SNM=0 としたときの動作は保証しません。 0 : ハードウェア対策しません 1 : ハードウェア対策します シノニム問題については「A.2 メモリマネジメントユニット (MMU)」を参照してください。
17	MCP	0	R/W	コピーレンシプロトコル混在ビット 同じ物理領域に対して異なるコピーレンシプロトコルを使用する場合に設定します (CCD=0 のときのみ有効です)。1CPU でも、複数 CPU で共有しても、異なるコピーレンシプロトコルを使用する場合は 1 を設定してください。異なるコピーレンシプロトコルを使用し、MCP=0 を設定したときの動作は保証しません。 0 : 同じコピーレンシプロトコルを設定 1 : 異なるコピーレンシプロトコルを設定
16	CCD	0	R/W	キャッシュコピーレンシ無効ビット CPU が複数 CPU 間のキャッシュコピーレンシ制御を行うかどうかを選択します。 0 : キャッシュコピーレンシ制御有効 1 : キャッシュコピーレンシ制御無効
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
12	L2IE	0	R/W	命令 2 次キャッシュ有効ビット 0: 命令フェッチで、2 次キャッシュを使用しません。 1: 命令フェッチで、2 次キャッシュを使用します。
11	ICI	0	R/W	IC 無効化ビット このビットに 1 を書き込むと IC の全エントリの V ビットを 0 にします。読み出すと常に 0 が読まれます。
10、9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	ICE	0	R/W	IC 有効ビット IC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報の C ビットも 1 でなければ IC を使用できません。 0: IC を使用しない。 1: IC を使用する。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	L2OE	0	R/W	オペランド 2 次キャッシュ有効ビット 0: オペランドアクセスで、2 次キャッシュを使用しません。 1: オペランドアクセスで、2 次キャッシュを使用します。
3	OCI	0	R/W	OC 無効化ビット このビットに 1 を書き込むと OC の全エントリの V ビットを 0 にします。読み出すと常に 0 が読まれます。
2	CB	0	R/W	キャッシュコヒーレンシ制御ビット 1 29 ビットアドレスモードでの P1 領域のキャッシュコヒーレンシプロトコルを示します。32 ビットアドレスモードでは本ビットは無効になり、PMB エントリの WT ビットの値を参照します。 キャッシュコヒーレンシ制御無効 (CCD=1) のとき 0: EI (ライトスルー) プロトコル 1: MEI (コピーバック) プロトコル キャッシュコヒーレンシ制御有効 (CCD=0) のとき 0: ESI (ライトスルー) プロトコル 1: MESI (コピーバック) プロトコル

ビット	ビット名	初期値	R/W	説明
1	WT	0	R/W	キャッシュコヒーレンシ制御ビット 0 P0、U0、P3 領域のキャッシュコヒーレンシプロトコルを示します。アドレス変換が行われる場合、本ビットは無効になり、ページ管理情報の WT ビットの値を参照します。 キャッシュコヒーレンシ制御無効 (CCD=1) のとき 0 : MEI (コピーバック) プロトコル 1 : EI (ライトスルー) プロトコル キャッシュコヒーレンシ制御有効 (CCD=0) のとき 0 : MESI (コピーバック) プロトコル 1 : ESI (ライトスルー) プロトコル
0	OCE	0	R/W	OC 有効ビット OC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報の C ビットも 1 でなければ IC を使用できません。 0 : OC を使用しない。 1 : OC を使用する。

(2) 2次キャッシュ制御レジスタ (L2CR)

L2CR は、2次キャッシュの動作モードの選択、キャッシュの全エントリの無効化を行います。L2CI に 1 を書き込んで L2C 無効化後には、直後に L2CR を 1 度リードしてください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	L2CI	—	—	SMS
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	L2CI	0	W	L2C 無効化 1 を書き込むと 2 次キャッシュの全エントリの V ビットがクリアされます。読み出しは常に 0 です。
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
1, 0	SMS	すべて 0	R/W	<p>共有メモリ選択</p> <p>2次キャッシュとして使用するか共有メモリとして使用するかを選択します。</p> <p>00: すべてのエントリを2次キャッシュとして使用します。</p> <p>01: 設定禁止</p> <p>10: すべてのエントリを共有メモリとして使用します。</p> <p>11: エントリ 1024~2047 を共有メモリとして使用します。</p> <p>SMS ビットを書き換える場合は、すべての CPU の IC と OC が無効の状態で行い、L2Cl ビットに 1 を指定して2次キャッシュの全エントリの内容を無効化してください。</p> <p>10 または 11 に設定後、共有メモリにアクセスをする前に SYNCO 命令を実行してください。</p>

A.5.3 2次キャッシュの構成と動作

(1) 構成

図 A.12 に 2 次キャッシュの構成を示します。

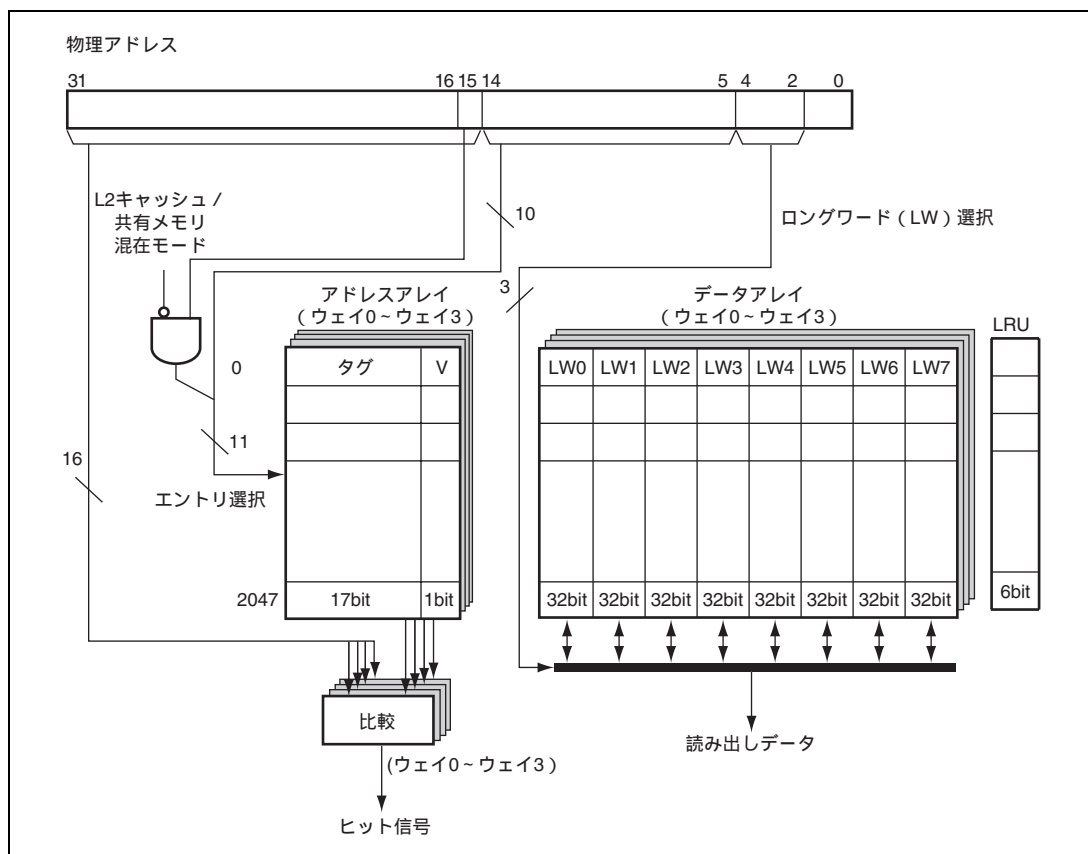


図 A.12 2次キャッシュの構成

2次キャッシュは 2048 本のキャッシュラインから構成され、それぞれのラインは 17 ビットのタグ、V ビット、6 ビットの LRU ビットおよび 32 バイトのデータから成ります。

(a) タグ

キャッシュされるデータラインの物理アドレス 32 ビットの上位 17 ビットを格納します。

(b) V ビット (有効ビット)

キャッシュラインに有効なデータが格納されているかを示します。このビットが 1 のとき、そのキャッシュラインのデータは有効となります。V ビットはパワーオンリセットおよび L2CR.L2CI への書き込みで 0 に初期化されます。

(c) LRU 部

4ウェイセットアソシアティブ方式では、エントリアドレスが同じデータを4つまでキャッシュに登録できます。エントリアドレスを登録するとき、4つのウェイのうちどのウェイに登録するかをLRUビットが示します。LRUビットは各エントリアドレス6ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、もっとも以前にアクセスされたウェイを選ぶLRU (Least Recently Used) アルゴリズムを使用しています。LRUビットはパワーオンリセットおよびL2CR.L2CIへの書き込みですべて0に初期化されます。

(d) データ部

データ部には1キャッシュラインあたり32バイト (256ビット) のデータが格納されます。データ部はパワーオンリセットで初期化されません。

(2) 2次キャッシュの動作

マルチプロセッサ対応 SH-4A では、命令キャッシュ (IC) やオペランドキャッシュ (OC) がイネーブルの場合に2次キャッシュを使用することが可能です。2次キャッシュのVビットとLRUビットの初期化は、パワーオンリセット、L2CR.L2CI=1の書き込みによるL2Cインバリデートのどちらかの場合にハードウェアで行います。ICインバリデートやOCインバリデートでは2次キャッシュのVビットとLRUビットの初期化は行われません。VビットとLRUビットの初期化にはエントリアドレス数の4分の1のクロックサイクルを要し、その間のCPUからのメモリアクセスで2次キャッシュをアクセスする場合は、初期化完了まで待たされます。

2次キャッシュへのアクセスは、

- CPUからの命令フェッチによるICを介した動作 (a)
 - CPUからのオペランドアクセスによるOCを介した動作 (b)
 - CPUからのキャッシュ操作命令による動作 (c)
 - SuperHywayからのコヒーレンシアクセス (d)
- があります。

(a) CPUからの命令フェッチによるICを介した動作

CPUからの命令フェッチによるICを介した動作は、CCR.ICE=1かつCCR.L2IE=1の場合に2次キャッシュを動作します。その動作には、

- ICからのリード
- があります。

- ICからのリード

ICでキャッシュミスを起こした場合のブロックリードで、常に1ライン分 (32バイト) のデータ転送となります。ICから送られたICミスアドレスである物理アドレスのビット[15:5] (2次キャッシュ / 共有メモリ混在モードの場合は、[14:5]) でインデックスされる各ウェイの2次キャッシュラインからタグとVビットを読み出します。

物理アドレスのビット[31:15]とタグを比較し、

- タグが一致かつVビットが1の場合 1.

- それ以外の場合

2.

1. 2次キャッシュヒット

物理アドレスのビット[15:5](2次キャッシュ / 共有メモリ混在モードの場合は、[14:5])でインデックスされ、ヒットしたウェイの2次キャッシュラインのデータ部から、32バイトデータを読み出し、ICにフィルします。

2. 2次キャッシュミス

物理アドレスに対応する外部メモリから、2次キャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスした物理アドレスに対応するデータから順にラップアラウンド方式で行い、先頭のデータが2次キャッシュへ到着した時点で、ICにも読み出しデータを返します。2次キャッシュは1ライン分のデータの書き込みとともに、物理アドレスに対応するタグを登録し、Vビットに1を書き込みます。

(b) CPU からのオペランドアクセスによる OC を介した動作

CPU からのオペランドアクセスによる OC を介した動作は、CCR.OCE=1 かつ CCR.L2OE=1 の場合に 2 次キャッシュを動作します。その動作には、

- OC からのリード
 - OC からのライトスルーライト
 - OC からのライトバックライト
- があります。

• OC からのリード

OC でキャッシュミスを起こした場合のブロックリードで、常に 1 ライン分 (32 バイト) のデータ転送となります。OC から送られた OC キャッシュミスアドレスである物理アドレスのビット[15:5](2 次キャッシュ / 共有メモリ混在モードの場合は、[14:5])でインデックスされる各ウェイの 2 次キャッシュラインからタグと V ビットを読み出します。物理アドレスのビット[31:15]とタグを比較し、

- タグが一致かつ V ビットが 1 の場合 1.
- それ以外の場合 2.

1. 2次キャッシュヒット

物理アドレスのビット[15:5](2次キャッシュ / 共有メモリ混在モードの場合は、[14:5])でインデックスされ、ヒットしたウェイの2次キャッシュラインのデータ部から32バイトデータを読み出し、OCへフィルします。

2. 2次キャッシュミス

物理アドレスに対応する外部メモリから、2次キャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスした物理アドレスに対応するデータから順にラップアラウンド方式で行い、先頭のデータが2次キャッシュへ到着した時点でOCにも読み出しデータを返します。2次キャッシュは1ライン分のデータの書き込みとともに、物理アドレスに対応するタグを登録し、Vビットに1を書き込みます。

- OC からのライトスルーライト

OCでライトスルーライトが起きた場合のシングルライト（クワッドワード/ロングワード/ワード/バイト）です。OCから送られた物理アドレスのビット[15:5]（2次キャッシュ/共有メモリ混在モードの場合は、[14:5]）でインデックスされる各ウェイの2次キャッシュラインからタグとVビットを読み出します。

物理アドレスのビット[31:15]とタグを比較し、

- タグが一致かつ V ビットが 1 の場合 1.
- それ以外の場合 2.

1. 2次キャッシュヒット

物理アドレスのビット[15:5]（2次キャッシュ/共有メモリ混在モードの場合は、[14:5]）でインデックスされ、ヒットしたウェイの2次キャッシュラインのデータ部の、物理アドレスのビット[4:0]で指定されるデータ位置に対し、指定されたアクセスサイズ（クワッドワード/ロングワード/ワード/バイト）によりデータの書き込みを行います。書き込みは指定されたアクセスサイズで外部メモリにも行います。

2. 2次キャッシュミス

物理アドレスに対応した外部メモリへ、指定されたアクセスサイズのライトを行います。この場合、2次キャッシュへの書き込みは行われません。

- OC からのライトバックライト

OCで書き戻しが起きた場合のブロックライトで常に1ライン分（32バイト）のデータ転送です。OCから送られた物理アドレスのビット[15:5]（2次キャッシュ/共有メモリ混在モードの場合は、[14:5]）でインデックスされる各ウェイの2次キャッシュラインからタグとVビットを読み出します。

物理アドレスのビット[31:15]とタグを比較し、

- タグが一致かつ V ビットが 1 の場合 1.
- それ以外の場合 2.

1. 2次キャッシュヒット

物理アドレスのビット[15:5]（2次キャッシュ/共有メモリ混在モードの場合は、[14:5]）でインデックスされるキャッシュラインのヒットしたウェイのデータに対し、32バイトデータの書き込みを行います。32バイトの書き込みを外部メモリにも行います。

2. 2次キャッシュミス

物理アドレスに対応した外部メモリへ、32バイトの書き込みを行います。この場合、2次キャッシュへの書き込みは行われません。

(c) CPU からのキャッシュ操作命令による動作

CPU からのキャッシュ操作命令による動作には、

- ICBI @Rn 命令による場合
- OCBI @Rn 命令および OCBP @Rn 命令による場合
- OCBWB @Rn 命令による場合

があります。

- ICBI @Rn 命令

CCR.IBE=1、CCR.CCD=0、CCR.L2IE=1、かつRnで指示される仮想アドレスがキャッシュابل空間の場合、Rnで指示される仮想アドレスに対応する物理アドレスを含む2次キャッシュラインを無効化します。2次キャッシュはライトスルーであり、ダーティになることはないため、書き戻しは発生しません。

- OCBI @Rn 命令および OCBP @Rn 命令

CCR.L2OE=1かつ、Rnで指示される仮想アドレスがキャッシュابل空間の場合、Rnで指示される仮想アドレスに対応する物理アドレスを含む2次キャッシュラインを無効化します。2次キャッシュはライトスルーであり、ダーティになることはないため、書き戻しは発生しません。

Rnで指定されるアドレスのビット[31:24]がH'F8の場合、アドレス[17:16]で指定されるウェイとアドレス[15:5]で指定されるインデックス(2次キャッシュ/共有メモリ混在モードの場合は、アドレス[16:15]で指定されるウェイとアドレス[14:5]で指定されるインデックス)を無効化します。2次キャッシュはライトスルーであり、ダーティになることはないため、書き戻しは発生しません。

- OCBWB @Rn 命令

2次キャッシュはライトスルーであり、ダーティになることはないため、ノーオペレーションです。

(d) SuperHyway バスからのコヒーレンシアクセス

SuperHyway バスからのコヒーレンシアクセスには、

- PURGE トランザクションを受けた場合

- FLUSH トランザクションを受けた場合

があります。

- PURGE トランザクションを受けた場合

コヒーレンシ有効のCPUが使用している2次キャッシュラインのうち、指示された物理アドレスを含むラインを無効化します

- FLUSH トランザクションを受けた場合

2次キャッシュはライトスルーであり、ダーティになることはないため、ノーオペレーションです。

A.6 各命令の説明

A.6.1 CPU 命令の変更点

(1) MOVCO MOVe COnditional データ転送命令

Read-Modify-Write が
アトミックに完了した
場合にストアする条件付ストア

書式	動作概略	命令コード	実行ステート	T ビット
MOVCO.L R0,@Rn	LDST T if (T==1) R0 (Rn) 0 LDST	0000nnnn01110011	3	LDST

(a) 説明

MOVLI 命令と MOVCO 命令を組み合わせることにより、キャッシュコヒーレントな状態を保つマルチプロセッサシステム上において、アトミックな Read-Modify-Write を実現できます。

本命令は LDST フラグの値を T ビットにコピーし、T が 1 の場合のみ R0 の値をアドレス Rn にストアします。その後、LDST フラグを 0 にクリアします。

コヒーレンシ制御が有効な場合、LDST フラグは、MOVLI 命令実行以降に割り込みや例外が発生した場合、MOCLI 命令実行時に指定したアドレスを含んだキャッシュラインがスヌープバスを介して無効化された場合、MOVCO 命令実行時に指定したアドレス Rn が MOVLI 命令実行時に指定したアドレスを含むキャッシュラインに含まれていなかった場合、キャッシュリプレースにより MOVLI 命令実行時に確保したキャッシュラインが存在しなくなった場合に先立ってクリアされます。

コヒーレンシ制御が無効な場合、LDST フラグは、MOVLI 命令実行以降に割り込みや例外が発生した場合に上記動作に先立ってクリアされます。

(b) 注意

非キャッシュابل領域においてアトミック Read-Modify-Write を実現したい場合は、TAS.B 命令を使用してください。非キャッシュابل領域における MOVLI-MOVCO 命令では、アトミックな動作を保証できません。また、コヒーレンシ制御無効の場合、他プロセッサが MOVLI 命令実行時に指定したアドレスを操作しても、LDST フラグはクリアされません。

(c) 動作内容

```
MOVCO(long n) /* MOVCO Rn,@Rn */
{
    T = LDST;
    if (T==1)
        Write_Long(R[n],R[0]);
    LDST = 0;
    PC += 2
}
```

(d) 使用例

```
Retry:  MOVL.L @Rn,R0 ; アトミックなインクリメント
        ADD #1,R0
        MOVCO.L R0,@Rn
        BF Retry ; MOVLI-MOVCO 間に LDST フラグがクリアされる事象が発生すると、再実行
        NOP
```

(e) 発生する可能性がある例外

- データTLB多重ヒット例外
- データTLBミス例外
- データTLB保護違反例外
- 初期ページ書き込み例外
- データアドレスエラー

(2) MOVLI MOVe Linked データ転送命令
 アトミックな Read-Modify-Write
 を開始するロード

書式	動作概略	命令コード	実行ステート	T ビット
MOVLI.L @Rm,R0	1 LDST, (Rm) R0 以後、(Rm) を含むキャッシュライン へのストア / 割り込み / 例外の発生 時 0 LDST	0000mmmm01100011	1	-

(a) 説明

MOVLI 命令と MOVCO 命令を組み合わせることにより、キャッシュコヒーレントな状態を保つマルチプロセッサシステム上において、アトミックな Read-Modify-Write を実現できます。

本命令は LDST フラグに 1 をセットし、アドレス Rm から 4 バイトデータを R0 に読み込みます。

コヒーレンシ制御が有効な場合、LDST フラグは、MOVLI 命令実行以降に割り込みや例外が発生した場合、MOVLI 命令実行時に指定したアドレスを含んだキャッシュラインがスヌープバスを介して無効化された場合、MOVCO 命令実行時に指定したアドレス Rn が MOVLI 命令実行時に指定したアドレスを含むキャッシュラインに含まれていなかった場合、キャッシュリブレースにより MOVLI 命令実行時に確保したキャッシュラインが存在しなくなった場合に上記動作に先立ってクリアされます。

コヒーレンシ制御が無効な場合、LDST フラグは、MOVLI 命令実行以降に割り込みや例外が発生した場合に上記動作に先立ってクリアされます。

LDST フラグが 1 の状態で MOVCO 命令を実行すると、MOVCO 命令はストアを実行し、T ビットに 1 をセットします。LDST フラグが 0 の状態で MOVCO 命令を実行すると、ストアは実行されず、T ビットが 0 に設定されます。

(b) 注意

非キャッシュابل領域においてアトミック Read-Modify-Write を実現したい場合は、TAS.B 命令を使用してください。非キャッシュابل領域における MOVLI-MOVCO 命令では、アトミックな動作を保証できません。また、コヒーレンシ制御無効の場合、他プロセッサが MOVLI 命令実行時に指定したアドレスを操作しても、LDST フラグはクリアされません。

(c) 動作内容

```
MOVLINK(long m) /* MOVLI Rm,@Rn */
{
    LDST = 1;
    R[0] = Read_Long(R[m]);
    PC += 2
}
```

(d) 使用例

MOVCO 命令を参照してください。

(e) 発生する可能性がある例外

- データTLB多重ヒット例外
- データTLBミス例外
- データTLB保護違反例外
- データアドレスエラー

(d) 発生する可能性がある例外

- データTLB多重ヒット例外
- データTLBミス例外
- データTLB保護違反例外
- 初期ページ書き込み例外
- データアドレスエラー

例外処理において、本命令によるデータアクセスはバイトロード、バイトストアとして扱われます。

(4) OCBI Operand Cache Block Invalidate データ転送命令
 キャッシュブロックの無効化

書式	動作概略	命令コード	実行ステート	Tビット
OCBI @Rn	オペランドキャッシュブロックを無効にする	0000nnnn10010011	1	-

(a) 説明

実効アドレス Rn で示されている内容を使用して、データをアクセスします。キャッシュにヒットした場合、対応するキャッシュブロックを無効 (Vbit=0) にします。このとき、たとえコピーバック方式で、未書き込み情報あり (Ubit=1) の場合でも、書き戻しはしません。本命令はコピーレンシ制御有効設定しているすべての CPU に対して、スヌープバスを介して実行されます。

CCR.L2OE=1 の場合、対応する 2 次キャッシュのキャッシュブロックを無効 (Vビット=0) にします。

Rn が指し示すアドレスが非キャッシュ領域の場合、Rn[31:24]が HF8 (L2C アドレスアレイ領域)、ウェイ =Rn[17:16]、エントリ=Rn[15:5]で示されるオペランドキャッシュラインを無効化します。この非キャッシュ領域における操作は特権モードのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。TLB 関連例外は発生しません。

Rn が指し示すアドレスが非キャッシュ領域の場合、Rn[31:24]が HF4 (OC アドレスアレイ領域)、ウェイ =Rn[14:13]、エントリ=Rn[12:5]で示されるオペランドキャッシュラインを無効化します。この非キャッシュ領域における操作は特権モードのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。TLB 関連例外は発生しません。

Rn が指し示すアドレスが非キャッシュ領域の場合、Rn[31:24]が HF8 (L2C アドレスアレイ領域) でウェイ =Rn[17:16]、エントリ =Rn[15:5]で示される 2 次キャッシュラインを無効化します。この非キャッシュ領域における操作は特権モードのみ実行可能です。

Rn[31:24]が HF4、および、HF8 以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびそのリザーブ領域 (HF0~HF3、HF5~HF7、HF9~HFF) への本命令の実行は行わないでください。なお、メモリ割り付けアレイ領域、制御レジスタ領域以外の非キャッシュ領域アクセスは NOP として動作します。

(b) 注意

SH-4A 拡張機能 (PVR.VER=H'40) より、キャッシュアブル領域に対して本命令を実行した場合、コピーレンシ制御有効設定しているすべての CPU に対して、スヌープバス経由で無効化処理が行われます。キャッシュコピーレンシ状態を保つマルチプロセッサシステム上において、プロセスマイグレーション (CPU 間プロセス移動) が発生した場合でも、本命令によるキャッシュ操作を適切に実行するための拡張機能です。

(c) 動作内容

```
OCBI(int n) /* OCBI @Rn */
{
    int temp;

    invalidate_operand_cache_block(R[n]);
    PC += 2;
}
```

(d) 発生する可能性がある例外

- データTLB多重ヒット例外
- データTLBミス例外
- データTLB保護違反例外
- 初期ページ書き込み例外
- データアドレスエラー

キャッシュヒットしない場合でも、上記例外が発生しますので注意してください。

(5) OCBP Operand Cache Block Purge
 キャッシュブロックのパージ

データ転送命令

書式	動作概略	命令コード	実行ステート	T ビット
OCBP @Rn	オペランドキャッシュブロックをライトバックし無効にする	0000nnnn10100011	1	-

(a) 説明

実効アドレス Rn で示されている内容を使用して、データをアクセスします。キャッシュにヒットして未書き込み情報あり (Ubit = 1) の場合、対応するキャッシュブロックを外部メモリに書き戻して、そのブロックを無効 (Vbit = 0) にします。このとき、未書き込み情報なし (Ubit = 0) の場合、単にそのブロックを無効にします。本命令はコヒーレンシ制御有効設定しているすべての CPU に対して、スヌープバスを介して実行されます。

CCR.L2OE = 1 の場合、対応する 2 次キャッシュのキャッシュブロックを無効 (V ビット = 0) にします。

Rn が指し示すアドレスが非キャッシュ領域の場合、Rn[31:24] が HF8 (L2C アドレスアレイ領域)、ウェイ = Rn[17:16]、エントリ = Rn[15:5] で示されるオペランドキャッシュラインを無効化します。このとき無効化されるラインがダーティであれば書き戻しを行います。この非キャッシュ領域における操作は特権モードのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。TLB 関連例外は発生しません。

Rn が指し示すアドレスが非キャッシュ領域の場合、Rn[31:24] が HF4 (OC アドレスアレイ領域)、ウェイ = Rn[14:13]、エントリ = Rn[12:5] で示されるオペランドキャッシュラインを無効化します。このとき無効化されるラインがダーティであれば書き戻しを行います。この非キャッシュ領域における操作は特権モードのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。TLB 関連例外は発生しません。

Rn が指し示すアドレスが非キャッシュ領域の場合、Rn[31:24] が HF8 (L2C アドレスアレイ領域) でウェイ = Rn[17:16]、エントリ = Rn[15:5] で示される 2 次キャッシュラインを無効化します。この非キャッシュ領域における操作は特権モードのみ実行可能です。

Rn[31:24] が HF4、および、HF8 以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびそのリザーブ領域 (HF0 ~ HF3、HF5 ~ HF7、HF9 ~ HFF) への本命令の実行は行わないでください。なお、メモリ割り付けアレイ領域、制御レジスタ領域、内蔵メモリ領域以外の非キャッシュ領域アクセスは NOP として動作します。

(b) 注意

SH-4A 拡張機能 (PVR.VER=H'40) より、キャッシュアブル領域に対して本命令を実行した場合、コヒーレンシ制御有効設定しているすべての CPU に対して、スヌープバス経由で書き戻し、および、無効化処理が行われます。キャッシュコヒーレントな状態を保つマルチプロセッサシステム上において、プロセスマイグレーション (CPU 間プロセス移動) が発生した場合でも、本命令によるキャッシュ操作を適切に実行するための拡張機能です。

(c) 動作内容

```
OCBP(int n) /* OCBP @Rn */
{
    int temp;

    if(is_dirty_block(R[n])) write_back(R[n]);
    invalidate_operand_cache_block(R[n]);
    PC += 2;
}
```

(d) 発生する可能性がある例外

- データTLB多重ヒット例外
- データTLBミス例外
- データTLB保護違反例外
- 初期ページ書き込み例外
- データアドレスエラー

キャッシュヒットしない場合でも、上記例外が発生しますので注意してください。

(6) OCBWB Operand Cache Block Write Back データ転送命令

 キャッシュブロックの
 書き戻し

書式	動作概略	命令コード	実行ステート	Tビット
OCBWB @Rn	オペランドキャッシュブロックを ライトバックする	0000nnnn10110011	1	-

(a) 説明

実効アドレス Rn で示されている内容を使用して、データをアクセスします。キャッシュにヒットして未書き込み情報あり (Ubit=1) の場合、対応するキャッシュブロックを外部メモリに書き戻して、そのブロックをクリーン (Ubit=0) にします。キャッシュミスの場合やクリーンな場合はキャッシュブロックを操作しません。本命令はコヒーレンシ制御有効設定しているすべての CPU に対して、スヌープバスを介して実行されます。

2次キャッシュはライトスルーのみのため、CCR.L2OE=1 の場合でも2次キャッシュは影響を受けません。

Rn が指し示すアドレスが非キャッシュ領域の場合、Rn[31:24]が HF4 (OC アドレスアレイ領域)、ウェイ = Rn[14:13]、エントリ = Rn[12:5]で示されるオペランドキャッシュラインがダーティであれば書き戻しを行い、ダーティビットを0にクリアします。この非キャッシュ領域における操作は特権モードのみ実行可能で、ユーザーモードではアドレスエラー例外を発生します。TLB 関連例外は発生しません。

Rn が指し示すアドレスが非キャッシュ領域の場合、Rn[31:24]が HF8 (L2C アドレスアレイ領域)のときは NOP として動作します。この非キャッシュ領域における操作は特権モードのみ実行可能です。

Rn[31:24]が HF4、および、HF8 以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびそのリザーブ領域 (HF0~HF3、HF5~HF7、HF9~H'FF) への本命令の実行は行わないでください。なお、メモリ割り付けアレイ領域、制御レジスタ領域、内蔵メモリ領域以外の非キャッシュ領域アクセスは NOP として動作します。

(b) 注意

SH-4A 拡張機能 (PVR.VER=H'40) より、キャッシュアブル領域に対して本命令を実行した場合、コヒーレンシ制御有効設定しているすべての CPU に対して、スヌープバス経由で書き戻し処理が行われます。キャッシュコヒーレントな状態を保つマルチプロセッサシステム上において、プロセスマイグレーション (CPU 間プロセス移動) が発生した場合でも、本命令によるキャッシュ操作を適切に実行するための拡張機能です。

(c) 動作内容

```
OCBWB(int n) /* OCBWB @Rn */
{
    int temp;

    if(is_dirty_block(R[n])) write_back(R[n]);
    PC += 2;
}
```

(d) 発生する可能性がある例外

- データTLB多重ヒット例外
- データTLBミス例外
- データTLB保護違反例外
- 初期ページ書き込み例外
- データアドレスエラー

キャッシュヒットしない場合でも、上記例外が発生しますので注意してください。

A.7 レジスタ一覧 (追加変更分)

マルチプロセッサ対応 SH-4A では、次のレジスタが追加変更になります。

A.7.1 レジスタ一覧

モジュール名	名称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	サイズ
MMU	ページテーブルエントリ 上位レジスタ	PTEH	R/W	H'FF00 0000	H'1F00 0000	32
	MMU 制御レジスタ	MMUCR	R/W	H'FF00 0010	H'1F00 0010	32
	ページテーブルエントリアドレス 空間識別子レジスタ	PTEAEX	R/W	H'FF00 007C	H'1F00 007C	32
キャッシュ	キャッシュ制御レジスタ	CCR	R/W	H'FF00 001C	H'1F00 001C	32
2次キャッシュ	2次キャッシュ制御レジスタ	L2CR	R/W	H'FBF0 0000	-	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

A.7.2 各動作モードにおけるレジスタの状態

モジュール名	名称	略称	パワーオンリセット	マニュアルリセット	スリープ
MMU	ページテーブルエントリ上位レジスタ	PTEH	不定	不定	保持
	MMU 制御レジスタ	MMUCR	H'0000 0000	H'0000 0000	保持
	ページテーブルエントリアドレス空間 識別子レジスタ	PTEAEX	不定	不定	保持
キャッシュ	キャッシュ制御レジスタ	CCR	H'0000 0000	H'0000 0000	保持
2次キャッシュ	2次キャッシュ制御レジスタ	L2CR	H'0000 0000	-	-

A.8 CPU コア ID レジスタ (CPIDR)

CPU コア ID レジスタ (CPIDR) はマルチ CPU 構成時に CPU コアを識別するためのレジスタです。値は CPU ごとに異なります。

名 称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	サイズ
CPU コア ID レジスタ	CPIDR	R	H'FF00 0048	H'1F00 0048	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	CPUID								—
初期値 :	0	0	0	0	0	0	0	0	—	—	—	—	—	—	—	—	
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット	ビット名	初期値	R/W	説 明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	CPUID	不定	R	CPU コア ID マルチ CPU 構成時に CPU コアを識別するためのレジスタです。値は CPU ごとに異なります。 CPU0 : 00000000 CPU1 : 00000001

A.9 バリア同期レジスタ

バリア同期レジスタは複数 CPU 間で同期を取るためのレジスタです。

名称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	サイズ
バリアライトレジスタ 0	BARW0	W	H'FF00 0100	H'1F00 0100	32
バリアリードレジスタ 0	BARR0	R	H'FF00 0104	H'1F00 0104	32
バリアライトレジスタ 1	BARW1	W	H'FF00 0110	H'1F00 0110	32
バリアリードレジスタ 1	BARR1	R	H'FF00 0114	H'1F00 0114	32
バリアライトレジスタ 2	BARW2	W	H'FF00 0120	H'1F00 0120	32
バリアリードレジスタ 2	BARR2	R	H'FF00 0124	H'1F00 0124	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

• BARW0、BARW1、BARW2

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	BR	0	W	バリアビット バリアビット[012]への 0 ライト、1 ライトが可能。 リード時は常に 0 が読まれます。

- BARR0、BARR1、BARR2

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	BR3	BR2	BR1	BR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	BR3	0	R	CPU3 バリアビット (未サポート) CPU3 のバリアビット[012]の値が読まれます。
2	BR2	0	R	CPU2 バリアビット (未サポート) CPU2 のバリアビット[012]の値が読まれます。
1	BR1	0	R	CPU1 バリアビット CPU1 のバリアビット[012]の値が読まれます。
0	BR0	0	R	CPU0 バリアビット CPU0 のバリアビット[012]の値が読まれます。

【注】 スリープ中の CPU の BR ビットは不定です。

付録 B モード端子の設定

MODE14 ~ MODE0 端子の設定値は、 $\overline{\text{PRESET}}$ 端子によるパワーオンリセット時に入力されます。

【注】 下記の表以外の組み合わせは設定禁止です。

【記号説明】

H: ハイレベル入力

L: ローレベル入力

表 B.1 クロック動作モード

クロック 動作 モード	端子の値				OSC / 外部 クロック入力 周波数[MHz]	PLL1	PLL2	周波数 (対入力クロック)					
	MODE 端子番号							lck	SHck	DUck	Bck	Pck	DDRck
	3	2	1	0									
0	L	L	L	L	16.7	×64	×1	×32	×16	×8	×16/3	×8/3	×32
1	L	L	L	H				×32	×16	×8	×4	×4	×32
2	L	L	H	L				×32	×16	×8	×2	×2	×32
3	L	L	H	H	33.3	×32		×16	×8	×4	×8/3	×4/3	×16
4	L	H	L	L				×16	×8	×4	×2	×2	×16
5	L	H	L	H				×16	×8	×4	×1	×1	×16

表 B.2 エリア 0 のメモリタイプ・バス幅

端子の設定			メモリタイプ	バス幅
MODE6	MODE5	MODE4		
L	L	L	MPX インタフェース	32 ビット
		H	SRAM インタフェース	8 ビット
	H	L	SRAM インタフェース	16 ビット
		H	SRAM インタフェース	32 ビット

表 B.3 エリア 0 領域拡張モード

端子の設定	エリア 0 領域
MODE7	
L	エリア 0 (CS0) は 128M バイト空間 (CS1 端子は A26 として使用)
H	通常モード (CS0 は 64M バイト空間)

表 B.4 エンディアン

端子の設定	エンディアン
MODE8	
L	ビッグエンディアン
H	リトルエンディアン

表 B.5 クロック入力

端子の設定	クロック入力
MODE9	
L	外部入力クロック
H	水晶発振子

表 B.6 アドレス拡張モード

端子の設定	アドレスモード
MODE10	
L	29 ビットアドレスモード
H	32 ビットアドレス拡張モード

表 B.7 PCIeexpress モード

端子の設定	PCIexpress インタフェース
MODE11	
L	ルートポイントモード
H	エンドポイントモード

表 B.8 PCIeexpress PHY モード

端子の設定	PCIexpress インタフェース
MODE12	
L	4 レーン+1 レーン
H	2 レーン+1 レーン+1 レーン

表 B.9 AUD モード

端子の設定	EXAUD モード
MODE13	
L	AUD 有効
H	AUD 無効 (AUD 端子使用不可)

表 B.10 動作 モード

端子の設定	動作モード
MODE14	
L	通常動作
H	設定禁止

表 B.11 モード制御

端子の設定	モード
MPMD	
L	エミュレーションサポートモード
H	本体チップモード (通常動作モード)

付録 C バージョンレジスタ

製品バージョンレジスタに関するレジスタ構成を以下に示します。

表 C.1 バージョンレジスタの構成

名称	略称	R/W	初期値	P4 アドレス	エリア7 アドレス	サイズ
プロセッサバージョンレジスタ	PVR	R	H'1040 05xx	H'FF00 0030	H'1F00 0030	32
プロダクトレジスタ	PRR	R	H'0000 04xx	H'FF00 0044	H'1F00 0044	32

【記号説明】x：不定

(1) プロセッサバージョンレジスタ (PVR)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	バージョン情報															
初期値：	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	バージョン情報															
初期値：	0	0	0	0	0	1	0	1	—	—	—	—	—	—	—	—
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(2) プロダクトレジスタ (PRR)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	バージョン情報															
初期値：	0	0	0	0	0	1	0	0	—	—	—	—	—	—	—	—
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

付録 D 電源投入および切断順序

D.1 異電位電源間および同電位電源間の電源投入および切断順序について

1.25V 系電源(端子名: VDD、VDD-PCIE、VDDAI、AV12)、1.5V 系電源(端子名: VCCQ-DDR15、VCCQ-PCI15)、および 3.3V 系電源(端子名: VCCQ、VCCQ-PCI、AV33) 間の電源投入切断順序について規定します。

(1) 電源の投入順序について

投入順序の制約はありません。VSS**レベルから 1 つの電源が立ち上がった後、300ms 以内に VSS**レベルからすべての電源を立ち上げてください。

(2) 電源の切断順序について

切断順序の制約はありません。1 つの電源が立ち下がった後、300ms 以内にすべての電源を立ち下げてください。

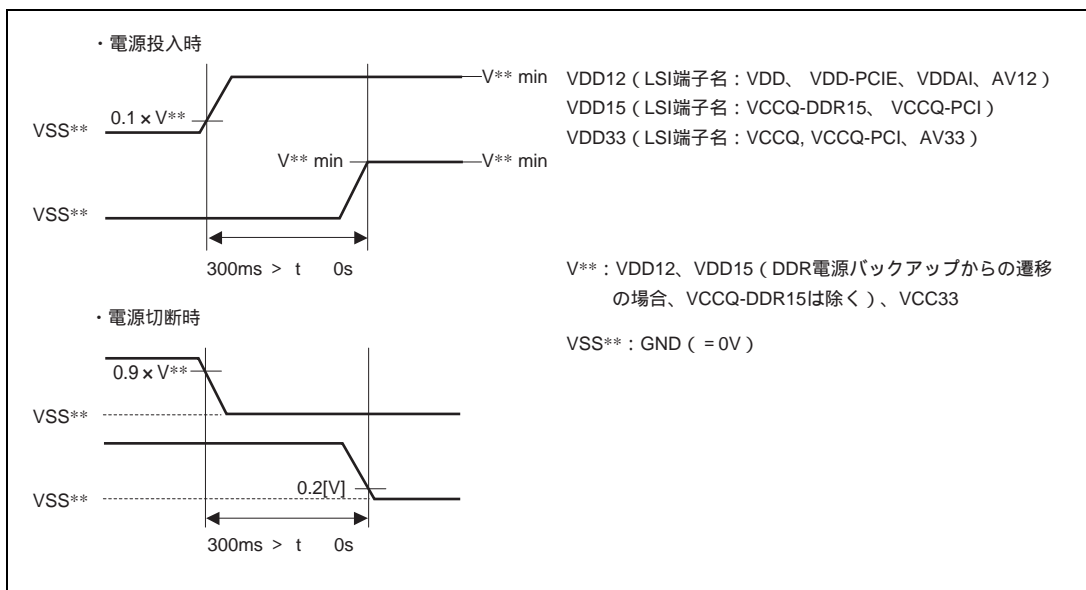


図 D.1 異電位間および同電位間の電源投入 / 切断シーケンス

D.2 DDR3-SDRAM 電源バックアップモード時の異電位電源間および同電位電源間の電源投入および切断順序について

DDR3-SDRAM 電源バックアップモード時の 1.25V 系電源（端子名：VDD、VDD-PCIE、VDDAI、AV12）、1.5V 系電源（端子名：VCCQ-DDR15、VCCQ-PCI）、および 3.3V 系電源（端子名：VCCQ、VCCQ-PCI、AV33）間の電源投入切断順序について規定します。

（1）電源の投入順序について

投入順序の制約はありません。VSS**レベルから VCCQ-DDR15 電源以外の 1 つの電源が立ち上がった後、300ms 以内にすべての電源を立ち上げてください。

（2）電源の切断順序について

切断順序の制約はありません。VCCQ-DDR15 電源以外の 1 つの電源が立ち下がった後、300ms 以内にすべての電源を立ち下げてください。

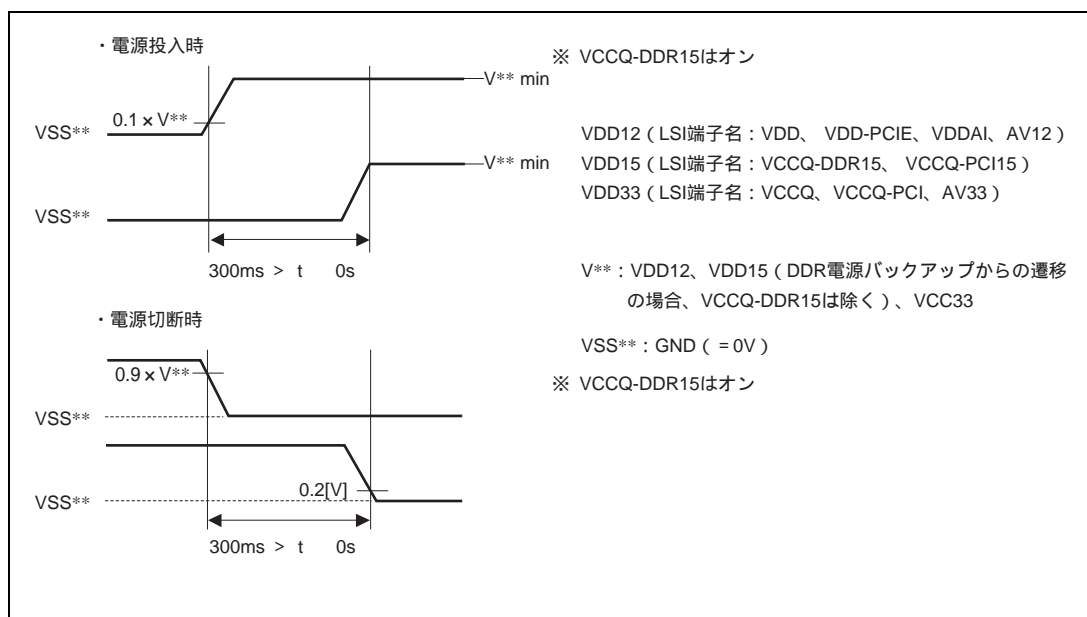
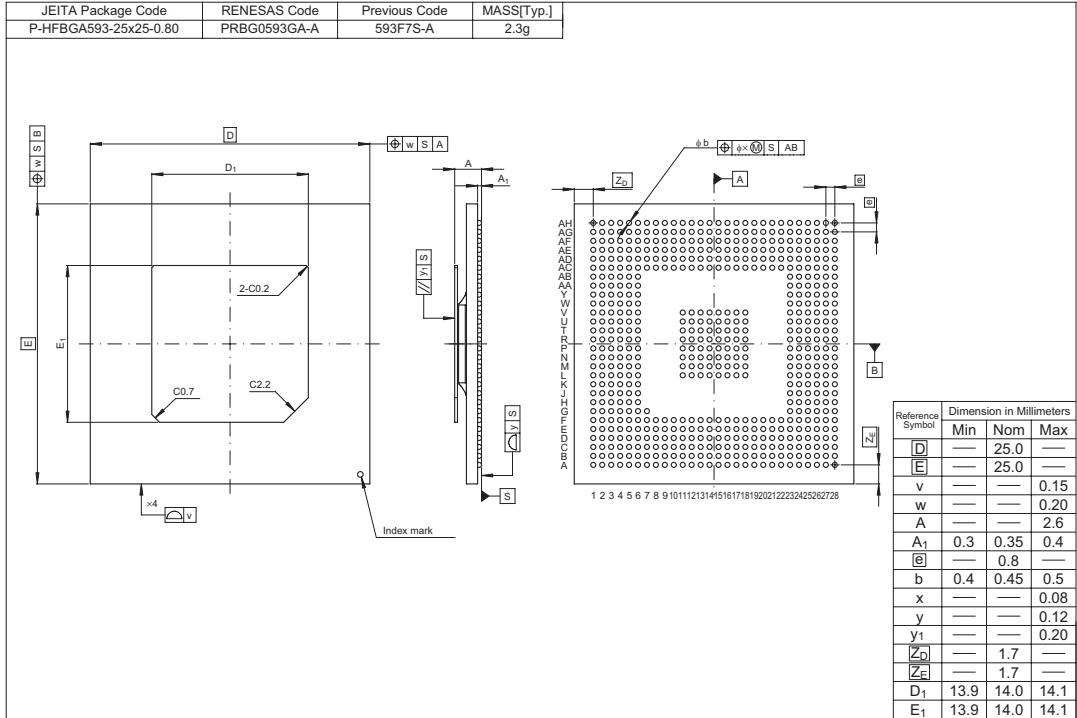


図 D.2 DDR3-SDRAM 電源バックアップモード時の異電位間および同電位間の電源投入 / 切断シーケンス

付録 E 外形寸法図



付録 F 製品一覧

型名	電圧	動作周波数	品名	動作温度	パッケージ
SH7786	1.2V	533MHz	R8A77860NBGV	-20 ~ +85	593ピンBGA (鉛フリー)

ルネサス32ビットRISCマイクロコンピュータ
SH7786グループ
ユーザーズマニュアル ハードウェア編

発行年月日 2010年11月30日 Rev.1.00
発行 ルネサスエレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

SH7786 グループ
ユーザーズマニュアル ハードウェア編